

CMOS 8-BIT MICROCONTROLLER

# LC872C00 シリーズ ユーザーズマニュアル

REV : 1.00



**ON Semiconductor**<sup>®</sup>

<http://onsemi.jp>

オン・セミコンダクター  
Digital Solution 事業部  
マイコン・フラッシュビジネスユニット

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

---

# 目次

---

## 第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-6
1-4	システムブロック図	1-7
1-5	端子機能表	1-8
1-6	ポート出力形態	1-10
1-7	ユーザーオプション一覧表	1-11

## 第2章 内部システム構成

2-1	メモリ空間	2-1
2-2	プログラムカウンタ (PC)	2-1
2-3	プログラムメモリ (ROM)	2-2
2-4	内部データメモリ (RAM)	2-2
2-5	アキュムレータ/Aレジスタ (ACC/A)	2-3
2-6	Bレジスタ (B)	2-3
2-7	Cレジスタ (C)	2-4
2-8	プログラムステータスワード (PSW)	2-4
2-9	スタックポインタ (SP)	2-5
2-10	間接アドレスレジスタ	2-5
2-11	アドレッシング・モード	2-6
2-11-1	イミディエイト・アドレッシング (#)	2-6
2-11-2	間接レジスタ・インダイレクト・アドレッシング ([Rn])	2-7
2-11-3	間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])	2-7
2-11-4	間接レジスタ (R0) +オフセット値・インダイレクト・アドレッシング ([off])	2-8
2-11-5	ダイレクト・アドレッシング (dst)	2-8
2-11-6	ROMテーブル参照・アドレッシング	2-9
2-11-7	外部データ・メモリ・アドレッシング	2-9
2-12	WAIT動作	2-10
2-12-1	WAIT動作の発生	2-10
2-12-2	WAIT動作とは	2-10

## 第3章 周辺システム構成

3-1	ポート0	3-1
3-1-1	概要	3-1
3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	オプション	3-3

---

## 目 次

---

3-1-5	HALT, HOLD時の動作	3-3
3-2	ポート1	3-4
3-2-1	概要	3-4
3-2-2	機能	3-4
3-2-3	関連レジスタ	3-4
3-2-4	オプション	3-7
3-2-5	HALT, HOLD時の動作	3-7
3-3	ポート2	3-8
3-3-1	概要	3-8
3-3-2	機能	3-8
3-3-3	関連レジスタ	3-9
3-3-4	オプション	3-11
3-3-5	HALT, HOLD時の動作	3-11
3-4	ポート3	3-12
3-4-1	概要	3-12
3-4-2	機能	3-12
3-4-3	関連レジスタ	3-12
3-4-4	オプション	3-13
3-4-5	HALT, HOLD時の動作	3-13
3-5	ポート7	3-14
3-5-1	概要	3-14
3-5-2	機能	3-14
3-5-3	関連レジスタ	3-15
3-5-4	オプション	3-20
3-5-5	HALT, HOLD時の動作	3-20
3-6	ポート8	3-21
3-6-1	概要	3-21
3-6-2	機能	3-21
3-6-3	関連レジスタ	3-21
3-6-4	HALT, HOLD時の動作	3-21
3-7	ポートA	3-22
3-7-1	概要	3-22
3-7-2	機能	3-22
3-7-3	関連レジスタ	3-22
3-7-4	オプション	3-23
3-7-5	HALT, HOLD時の動作	3-23

---

## 目 次

---

3-8	ポートB	3-24
3-8-1	概要	3-24
3-8-2	機能	3-24
3-8-3	関連レジスタ	3-24
3-8-4	オプション	3-25
3-8-5	HALT, HOLD時の動作	3-25
3-9	ポートC	3-26
3-9-1	概要	3-26
3-9-2	機能	3-26
3-9-3	関連レジスタ	3-26
3-9-4	オプション	3-27
3-9-5	HALT, HOLD時の動作	3-27
3-10	ポートE	3-28
3-10-1	概要	3-28
3-10-2	機能	3-28
3-10-3	関連レジスタ	3-28
3-10-4	オプション	3-29
3-10-5	HALT, HOLD時の動作	3-29
3-11	タイマ/カウンタ0 (T0)	3-30
3-11-1	概要	3-30
3-11-2	機能	3-30
3-11-3	回路構成	3-31
3-11-4	関連レジスタ	3-36
3-12	高速クロックカウンタ	3-39
3-12-1	概要	3-39
3-12-2	機能	3-39
3-12-3	回路構成	3-40
3-12-4	関連レジスタ	3-41
3-13	タイマ/カウンタ (T1)	3-43
3-13-1	概要	3-43
3-13-2	機能	3-43
3-13-3	回路構成	3-45
3-13-4	関連レジスタ	3-50
3-14	タイマ4, 5 (T4, T5)	3-54
3-14-1	概要	3-54
3-14-2	機能	3-54
3-14-3	回路構成	3-54
3-14-4	関連レジスタ	3-56

---

## 目次

---

3-15	タイマ6, 7 (T6, T7)	3-58
3-15-1	概要	3-58
3-15-2	機能	3-58
3-15-3	回路構成	3-58
3-15-4	関連レジスタ	3-60
3-16	ベースタイマ (BT)	3-62
3-16-1	概要	3-62
3-16-2	機能	3-62
3-16-3	回路構成	3-63
3-16-4	関連レジスタ	3-64
3-17	リアルタイムクロック (RTC)	3-67
3-17-1	概要	3-67
3-17-2	機能	3-67
3-17-3	回路構成	3-68
3-17-4	関連レジスタ	3-71
3-17-5	RTCの動作	3-75
3-18	シリアルインタフェース0 (SIO0)	3-77
3-18-1	概要	3-77
3-18-2	機能	3-77
3-18-3	回路構成	3-78
3-18-4	関連レジスタ	3-83
3-18-5	SIO0通信の具体例	3-87
3-18-6	SIO0のHALTモード時の動作	3-92
3-19	シリアルインタフェース1 (SIO1)	3-93
3-19-1	概要	3-93
3-19-2	機能	3-93
3-19-3	回路構成	3-94
3-19-4	SIO1通信の具体例	3-98
3-19-5	関連レジスタ	3-102
3-20	非同期シリアルインタフェース1 (UART1)	3-104
3-20-1	概要	3-104
3-20-2	機能	3-104
3-20-3	回路構成	3-105
3-20-4	関連レジスタ	3-107
3-20-5	UART1連続通信の具体例	3-111
3-20-6	UART1のHALTモード時の動作	3-113

---

## 目次

---

3-2 1	非同期シリアルインタフェース 2 (UART 2)	3-114
3-2 1-1	概要	3-114
3-2 1-2	機能	3-114
3-2 1-3	回路構成	3-115
3-2 1-4	関連レジスタ	3-117
3-2 1-5	UART 2 連続通信の具体例	3-121
3-2 1-6	UART 2 の HAL T モード時の動作	3-123
3-2 2	PWM 0 / PWM 1	3-124
3-2 2-1	概要	3-124
3-2 2-2	機能	3-124
3-2 2-3	回路構成	3-125
3-2 2-4	関連レジスタ	3-126
3-2 2-5	PWM 0 / PWM 1 出力ポート設定	3-128
3-2 3	PWM 4 / PWM 5	3-132
3-2 3-1	概要	3-132
3-2 3-2	機能	3-132
3-2 3-3	回路構成	3-133
3-2 3-4	関連レジスタ	3-134
3-2 3-5	PWM 4 / PWM 5 出力ポート設定	3-135
3-2 4	AD コンバータ (ADC 1 2)	3-140
3-2 4-1	概要	3-140
3-2 4-2	機能	3-140
3-2 4-3	回路構成	3-141
3-2 4-4	関連レジスタ	3-141
3-2 4-5	ADC 動作の具体例	3-145
3-2 4-6	ADC 使用上の留意点	3-146

### 第 4 章 制御機能

4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	回路構成	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-6
4-2-1	概要	4-6
4-2-2	機能	4-6
4-2-3	回路構成	4-7
4-2-4	関連レジスタ	4-9

---

## 目次

---

4-3	周波数可変RC発振回路 (VMRC)	4-15
4-3-1	概要	4-15
4-3-2	機能	4-15
4-3-3	回路構成	4-16
4-3-4	関連レジスタ	4-18
4-3-5	VMRCに関する補足	4-20
4-4	スタンバイ機能	4-22
4-4-1	概要	4-22
4-4-2	機能	4-22
4-4-3	関連レジスタ	4-22
4-5	リセット機能	4-28
4-5-1	概要	4-28
4-5-2	機能	4-28
4-5-3	リセット時の状態	4-29
4-6	ウォッチドッグタイマ機能	4-30
4-6-1	概要 (RC外付け)	4-30
4-6-2	機能	4-30
4-6-3	回路構成	4-30
4-6-4	関連レジスタ	4-31
4-6-5	ウォッチドッグタイマの使い方	4-33
4-6-6	概要 (ベースタイマ)	4-36
4-6-7	機能	4-36
4-6-8	回路構成	4-36
4-6-9	関連レジスタ	4-37
4-6-10	ウォッチドッグタイマの使い方	4-38
4-7	内蔵リセット機能	4-40
4-7-1	概要	4-40
4-7-2	機能	4-40
4-7-3	回路構成	4-40
4-7-4	オプション	4-41
4-7-5	内蔵リセット回路の動作波形例	4-43
4-7-6	内蔵リセット回路使用上の留意点	4-44
4-7-7	内蔵リセット回路未使用上の留意点	4-46

## APPENDIX

A-I	スペシャルファンクションレジスタ (SFR) マップ	A I-(1-9)
A-II	ポートブロック図	A II-(1-10)

# 1 概説

## 1-1 概要

LC87F2C64A は、最小バスサイクル83.3nsで動作するCPU部を中心にして、64KバイトのフラッシュROM(オンボード書き換え可能)、2048バイトRAM、オンチップデバッグ機能、高機能16ビットタイマ/カウンタ(8ビット×2に分割可)、16ビットタイマ/カウンタ(8ビット×2に分割可、8ビットPWM可)、プリスケアラ付き8ビットタイマ×4、時計用ベースタイマ、リアルタイムクロック、高速クロックカウンタ、自動転送機能付き同期式SIO、非同期/同期式SIO、UART(全二重)×2、12ビットPWM×4、12/8ビット分解能切り替え付き12ビット16チャンネルADコンバータ、システムクロック分周機能、内蔵リセット回路、28要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

## 1-2 特徴

### ■ROM

#### LC872C00シリーズ

LC87F2C64A : 65536×8ビット(フラッシュROM)

- ・電源電圧3.0～5.5Vの幅広いオンボード書き込み可能
- ・128バイト単位でのブロック消去可能
- ・2バイト単位での書き込み

### ■RAM

#### LC872C00シリーズ

LC87F2C64A : 2048×9ビット

### ■最小バスサイクルタイム

- ・83.3ns(12MHz) : VDD=3.0～5.5V
- ・250ns(4MHz) : VDD=2.4～5.5V

(注)バスサイクルタイムはROMの読み出し速度を表します。

### ■最小命令サイクルタイム(Tcyc)

- ・250ns(12MHz) : VDD=3.0～5.5V
- ・750ns(4MHz) : VDD=2.4～5.5V

### ■温度範囲

- ・-30～+70℃

### ■ポート

- ・ノーマル耐圧入出力ポート  
1ビット単位で入出力指定可能 71(P0n, P1n, P2n, P30～P34, P70～P73, P8n, PAn, PBn, PCn, PEn, XT2, CF2)
- ・ノーマル耐圧入力ポート(発振兼用) 2(XT1, CF1)
- ・リセット端子 1(RES#)
- ・電源端子 6(VSS1～3, VDD1～3)

## ■ タイマ

- タイマ0: キャプチャレジスタ付きの16ビットのタイマ/カウンタ
  - モード0: 8ビットプログラマブルプリスケアラ付 8ビットタイマ(8ビットキャプチャレジスタ付) × 2チャンネル
  - モード1: 8ビットプログラマブルプリスケアラ付 8ビットタイマ(8ビットキャプチャレジスタ付) + 8ビットカウンタ(8ビットキャプチャレジスタ付)
  - モード2: 8ビットプログラマブルプリスケアラ付 16ビットタイマ(16ビットキャプチャレジスタ付)
  - モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付)
  
- タイマ1: PWM/トグル出力可能な16ビットのタイマ/カウンタ
  - モード0: 8ビットプリスケアラ付 8ビットタイマ(トグル出力付) + 8ビットタイマ/カウンタ(トグル出力付)
  - モード1: 8ビットプリスケアラ付 8ビットPWM × 2チャンネル
  - モード2: 8ビットプリスケアラ付 16ビットタイマ/カウンタ(トグル出力付)(下位8ビットからもトグル出力可能)
  - モード3: 8ビットプリスケアラ付 16ビットタイマ(トグル出力付)(下位8ビットはPWMとして使用可能)
  
- タイマ4: 6ビットプリスケアラ付 8ビットタイマ
- タイマ5: 6ビットプリスケアラ付 8ビットタイマ
- タイマ6: 6ビットプリスケアラ付 8ビットタイマ(トグル出力付)
- タイマ7: 6ビットプリスケアラ付 8ビットタイマ(トグル出力付)
  
- ベースタイマ
  - ①クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
  - ②5種類の時間での割り込み発生が可能。
  
- リアルタイムクロック(RTC)
  - ①サブクロックを選択したベースタイマと連結して2000年1月1日から2799年12月31日までを秒単位でカウントするカレンダー機能(うるう年含む)
  - ②約1ppm単位でのカウントクロック補正機能(max. 約±129ppm範囲)
  - ③日、時間、分、又は秒周期での割り込み発生が可能

## ■ 高速クロックカウンタ

- ①最高24MHzのクロックをカウントできる。(メインクロック12MHz使用時)
- ②リアルタイム出力

## ■ シリアルインタフェース

- SIO0: 8ビット同期式シリアルインタフェース
  - ①LSB先頭/MSB先頭切り替え可能
  - ②8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3T<sub>cyc</sub>)
  - ③連続自動データ通信(1~256ビット)
  - ④1バイト受信によりHOLD/X'tal HOLDモード解除可能(SPI)

- ・SIO1: 8ビット非同期 / 同期式シリアルインタフェース
  - モード0: 同期式8ビットシリアルIO  
(2線式または3線式, 転送クロック2~512Tcyc)
  - モード1: 非同期シリアルIO  
(半二重, データ8ビット, ストップビット1, ボーレート8~2048Tcyc)
  - モード2: バスモード1(スタートビット, データ8ビット, 転送クロック2~512Tcyc)
  - モード3: バスモード2(スタート検出, データ8ビット, ストップ検出)

■UART: 2チャンネル

- ①全二重通信
- ②データ長7/8/9ビット切り替え
- ③ストップビット1ビット(連続送信時は2ビット)
- ④ビットボーレートジェネレータ内蔵

■リモコン受信回路(P73/INT3/T0IN端子と共用)

- ・ノイズ除去機能(ノイズ除去フィルタの時定数選択1Tcyc/32Tcyc/128Tcyc)
- ・ノイズ除去機能はP73のINT3信号及びT0IN信号, T0HCP信号に対して有効です。P73を命令で読み込むとノイズ除去機能に関係なく端子レベルを読み込みます。

■ADコンバータ: 12ビット×16チャンネル

- ・12/8ビット分解能切り替え
- ・基準電圧自動発生制御

■PWM: 4チャンネル

- ・周波数可変12ビットPWM

■クロック出力機能

- ①システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を出力可能
- ②サブクロックの源発振クロックを出力可能

■ブザー出力機能

- ・ベースタイマによる2kHz/4kHzのブザー出力可能

■ウォッチドッグタイマ

- ・割り込み, リセットの選択可能
- ・2種類のウォッチドッグタイマを内蔵
  - ①RC外付けによるウォッチドッグタイマ
  - ②ベースタイマによるウォッチドッグタイマ
- ・ベースタイマによるウォッチドッグタイマを使用する場合、1種類の周期(1, 2, 4, 8秒)のみユーザーオプションにより選択可能です。プログラムスタート後にこの周期を変更することはできません。

■ 割り込み

・28要因10ベクタ

- ① 割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
- ② 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4
4	0001BH	HまたはL	INT3/INT5/ベースタイマ0/ベースタイマ1/RTC
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	SIO0/UART1受信/UART2受信
8	0003BH	HまたはL	SIO1/UART1送信/UART2送信
9	00043H	HまたはL	ADC/T6/T7/PWM4, 5/SPI
10	0004BH	HまたはL	ポート0/T4/T5/PWM0, 1

・優先レベル X>H>L

・同一レベルではベクタアドレスの小さいものが優先

■ サブルーチンスタックレベル: 最大1024レベル(スタックはRAMの中に設定)

■ 高速乗除算命令

- ・16ビット× 8ビット (実行時間: 5Tcyc)
- ・24ビット×16ビット (実行時間: 12Tcyc)
- ・16ビット÷ 8ビット (実行時間: 8Tcyc)
- ・24ビット÷16ビット (実行時間: 12Tcyc)

■ 発振回路

- ・高速RC発振回路(内蔵) : システムクロック用
- ・低速RC発振回路(内蔵) : システムクロック用
- ・CF発振回路 : システムクロック用, Rf内蔵
- ・水晶発振回路 : 低速システムクロック用
- ・周波数可変RC発振回路(内蔵) : システムクロック用
  - ① センター周波数から±4%(typ.)STEPで調整可能
  - ② XT1端子からの入力信号をリファレンスとして源発振周波数を測定可能

■ システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで250ns, 500ns, 1.0μs, 2.0μs, 4.0μs, 8.0μs, 16.0μs, 32.0μs, 64.0μsの選択が可能(メインクロック12MHz使用時)

## ■内蔵リセット回路

### ・パワーオンリセット(POR)機能

- ①PORは電源投入時のみリセットがかかります。
- ②PORの解除レベルをオプションにて切り替え可能。

### ・低電圧検知リセット(LVD)機能

- ①LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかります。
- ②LVD機能を使用／不使用と低電圧検知レベルをオプションにて切り替え可能。

## ■スタンバイ機能

### ・HALTモード:命令実行停止,周辺回路動作継続

- ①発振の停止は自動的には行いません。
- ②HALTモードを解除するには、次の3つの方法があります。
  - 1)リセット端子に「L」レベルを入力する。
  - 2)ウォッチドッグタイマによるリセットが発生する。
  - 3)割り込みが発生する。

### ・HOLDモード:命令実行停止,周辺回路動作停止

- ①CF発振,RC発振,水晶発振,周波数可変RC発振のいずれも自動的に停止します。
- ②HOLDモードを解除するには次の5つの方法があります。
  - 1)リセット端子に「L」レベルを入力する。
  - 2)ウォッチドッグタイマによるリセットが発生する。
  - 3)INT0, INT1, INT2, INT3, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
  - 4)ポート0で割り込み要因が成立する。
  - 5)SPIで割り込み要因が成立する。

### ・X'tal HOLDモード:命令実行停止,ベースタイマとRTC以外の周辺回路動作停止

- ①CF発振,RC発振,周波数可変RC発振は自動的に停止します。
- ②水晶発振は突入時の状態を維持します。
- ③X'tal HOLDモードを解除するには次の7つの方法があります。
  - 1)リセット端子に「L」レベルを入力する。
  - 2)ウォッチドッグタイマによるリセットが発生する。
  - 3)INT0, INT1, INT2, INT3, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
  - 4)ポート0で割り込み要因が成立する。
  - 5)ベースタイマ回路で割り込み要因が成立する。
  - 6)RTCで割り込み要因が成立する。
  - 7)SPIで割り込み要因が成立する。

## ■オンチップデバッガ機能(フラッシュROM版)

- ・ターゲット基盤に実装状態でのソフトデバッグ可能

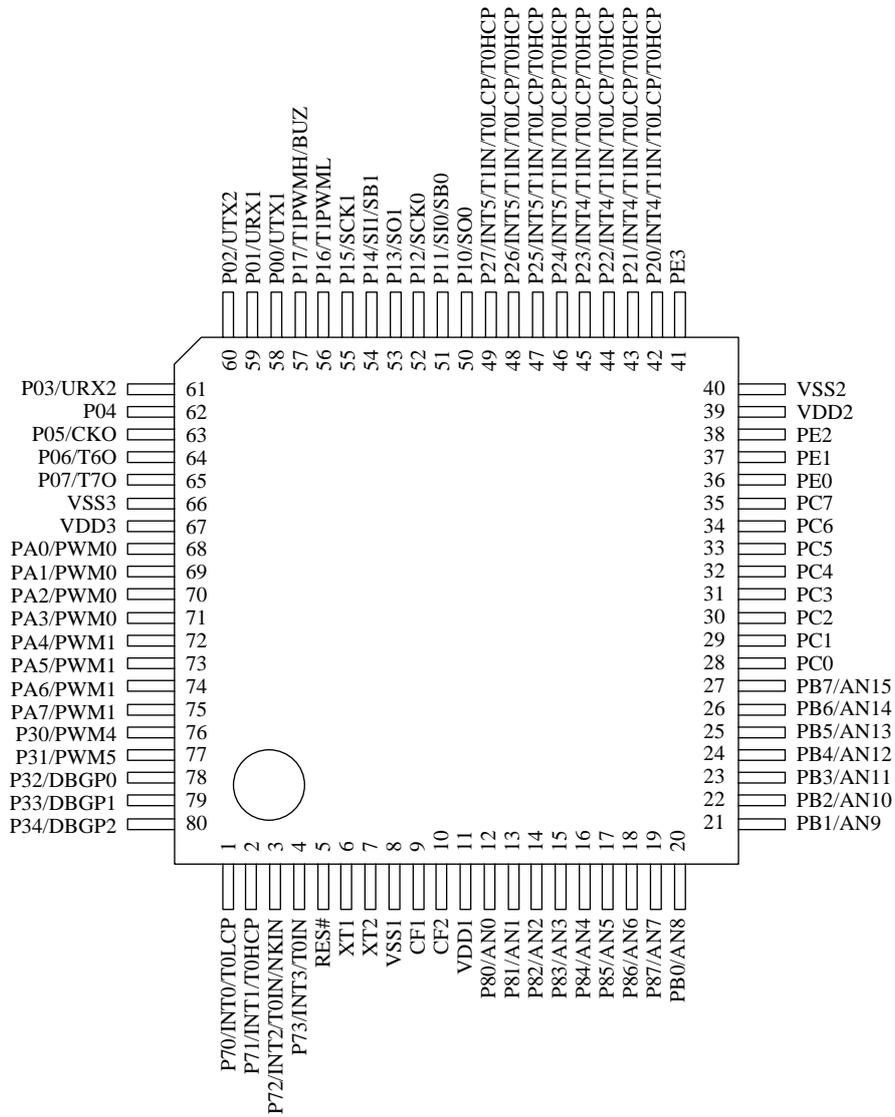
## ■出荷形態

- ・QFP80(14×14) (鉛フリー仕様品)
- ・TQFP80J(12×12) (鉛フリー仕様品)
- ・チップ

## ■開発ツール

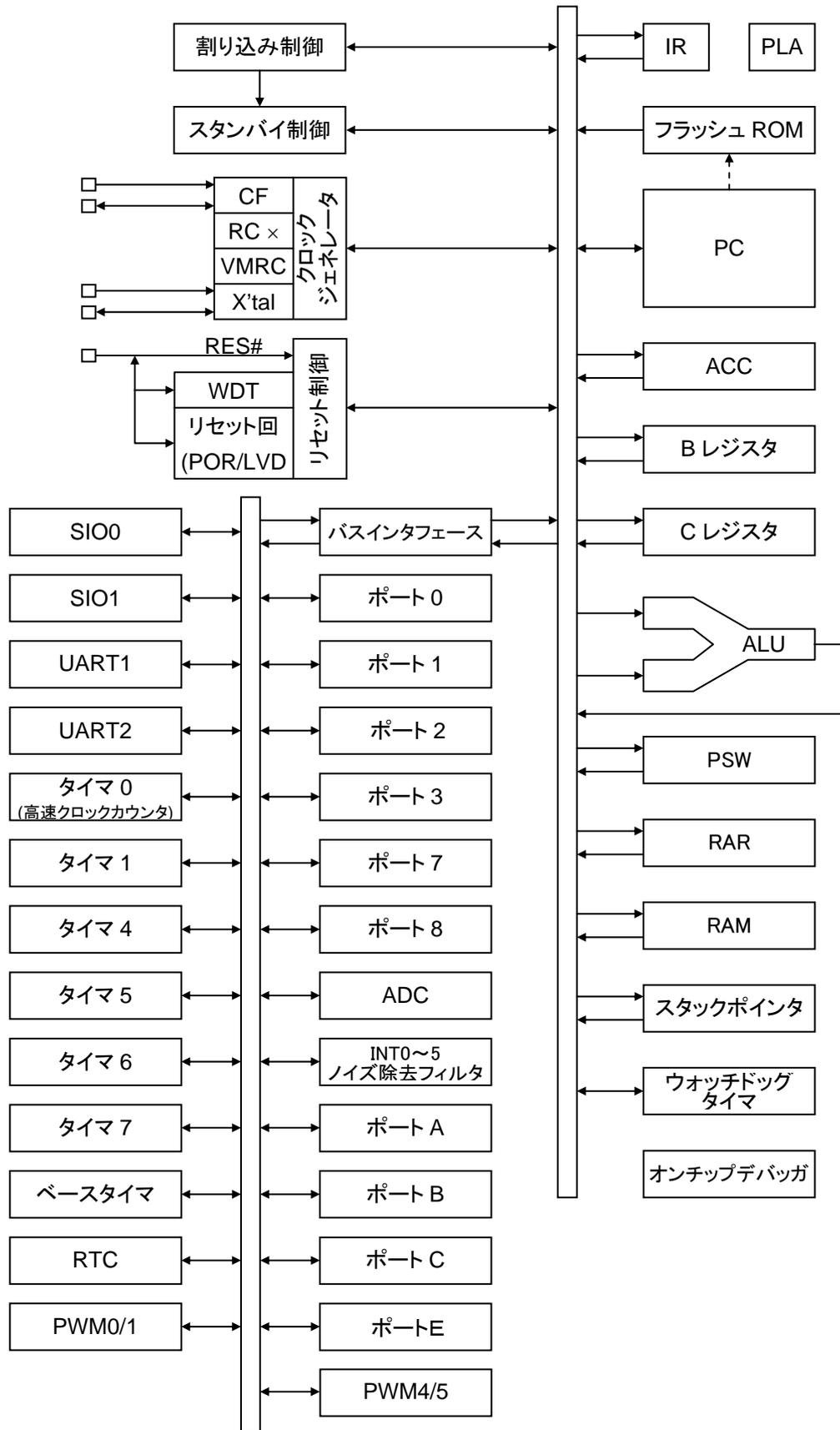
- ・オンチップデバッガ:TCB87-TypeB+LC87F2C64Z

1-3 ピン配置図



SANYO:QFP80(14×14)(鉛フリー仕様品)  
 SANYO:TQFP80J(12×12)(鉛フリー仕様品)

1-4 システムブロック図



## 1-5 端子機能表

端子名	入出力	機能説明	オプション																		
VSS1~VSS3	—	電源の-端子	なし																		
VDD1~VDD3	—	電源の+端子	なし																		
V1	—	オープンにしてください。	なし																		
VDC	—	オープンにしてください。	なし																		
CUP1,CUP2	—	オープンにしてください。	なし																		
PORT0 P00~P07	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・ポート0割り込み入力</li> <li>・HOLD解除入力</li> <li>・兼用機能 P00:UART1送信 P01:UART1受信 P02:UART2送信 P03:UART2受信 P05:クロック出力(システムクロック/サブクロック選択可能) P06:タイマ6トグル出力 P07:タイマ7トグル出力</li> </ul>	あり																		
PORT1 P10~P17	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能 P10:SIO0データ出力 P11:SIO0データ入力/バス入出力 P12:SIO0クロック入出力 P13:SIO1データ出力 P14:SIO1データ入力/バス入出力 P15:SIO1クロック入出力 P16:タイマ1PWML出力 P17:タイマ1PWMH出力/ブザー出力</li> </ul>	あり																		
PORT2 P20~P27	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能 P20~P23 :INT4入力/HOLD解除入力/タイマ1イベント入力 /タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 P24~P27 :INT5入力/HOLD解除入力/タイマ1イベント入力 /タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力</li> <li>・インタラプト受付形式</li> </ul> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり &amp; 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>INT5</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル	INT4	○	○	○	×	×	INT5	○	○	○	×	×	あり
	立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル																
INT4	○	○	○	×	×																
INT5	○	○	○	×	×																
PORT3 P30~P34	入出力	<ul style="list-style-type: none"> <li>・5ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能 P30:PWM4出力 P31:PWM5出力 DBGP0(P32)~DBGP2(P34) デバッグ用端子 (FLASH版のみ)</li> </ul>	あり																		

(次 ページへ)

端子名	入出力	機能説明	オプション																														
PORT7 P70~P73	入出力	<ul style="list-style-type: none"> <li>・4ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能</li> </ul> <p>P70:INT0入力/HOLD解除入力/タイマ0Lキャプチャ入力 /ウォッチドッグタイマ用出力</p> <p>P71:INT1入力/HOLD解除入力/タイマ0Hキャプチャ入力</p> <p>P72:INT2入力/HOLD解除入力/タイマ0イベント入力 /タイマ0Lキャプチャ入力/高速クロックカウンタ入力</p> <p>P73:INT3入力(ノイズフィルタ付入力)/HOLD解除入力 /タイマ0イベント入力/タイマ0Hキャプチャ入力</p> <p>・インタラプト受付形式</p> <table border="1"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり &amp; 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> </tr> <tr> <td>INT1</td> <td>○</td> <td>○</td> <td>×</td> <td>○</td> <td>○</td> </tr> <tr> <td>INT2</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> <tr> <td>INT3</td> <td>○</td> <td>○</td> <td>○</td> <td>×</td> <td>×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル	INT0	○	○	×	○	○	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×	なし
	立ち上がり	立ち下がり	立ち上がり & 立ち下がり	Hレベル	Lレベル																												
INT0	○	○	×	○	○																												
INT1	○	○	×	○	○																												
INT2	○	○	○	×	×																												
INT3	○	○	○	×	×																												
PORT8 P80~P87	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・兼用機能</li> </ul> <p>AD変換入力ポート: AN0(P80)~AN7(P87)</p>	なし																														
PORTA PA0~PA7	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能</li> </ul> <p>PA0~PA3:PWM0出力</p> <p>PA4~PA7:PWM1出力</p>	あり																														
PORTB PB0~PB7	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能</li> </ul> <p>AD変換入力ポート: AN8(PB0)~AN15(PB7)</p>	あり																														
PORTC PC0~PC7	入出力	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> </ul>	あり																														
PORTE PE0~PE3	入出力	<ul style="list-style-type: none"> <li>・4ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> </ul>	あり																														
RES#	入出力	外部リセット入力/内部リセット出力端子	なし																														
XT1	入力	<ul style="list-style-type: none"> <li>・32.768kHz水晶発振子用入力端子</li> <li>・兼用機能</li> </ul> <p>汎用入力ポート</p> <p>使用しない場合はVDD1に接続してください。</p>	なし																														
XT2	入出力	<ul style="list-style-type: none"> <li>・32.768kHz水晶発振子用出力端子</li> <li>・兼用機能</li> </ul> <p>汎用入出力ポート</p> <p>使用しない場合は、発振仕様にしてオープンにしてください。</p>	なし																														
CF1	入力	<ul style="list-style-type: none"> <li>・セラミック発振子用入力端子</li> <li>・兼用機能</li> </ul> <p>汎用入力ポート</p> <p>使用しない場合はVDD1に接続してください。</p>	なし																														
CF2	入出力	<ul style="list-style-type: none"> <li>・セラミック発振子用出力端子</li> <li>・兼用機能</li> </ul> <p>汎用入出力ポート</p> <p>使用しない場合は、発振仕様にしてオープンにしてください。</p>	なし																														

## 1-6 ポート出力形態

ポートの出力形態とプルアップ抵抗の有無を以下に示します。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切替単位	オプション 種類	出力形式	プルアップ抵抗
P00~P07	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P10~P17	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P20~P27	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P30~P34	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	—	なし	Nch-オープンドレイン	プログラマブル
P71~P73	—	なし	CMOS	プログラマブル
P80~P87	—	なし	Nch-オープンドレイン	なし
PA0~PA7	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PB0~PB7	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PC0~PC7	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PE0~PE3	1ビット 単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
XT2	—	なし	32.768kHz水晶発振子用出力 (汎用ポート選択時は Nch-オープンドレイン)	なし
CF2	—	なし	セラミック発振子用出力 (汎用ポート選択時は Nch-オープンドレイン)	なし

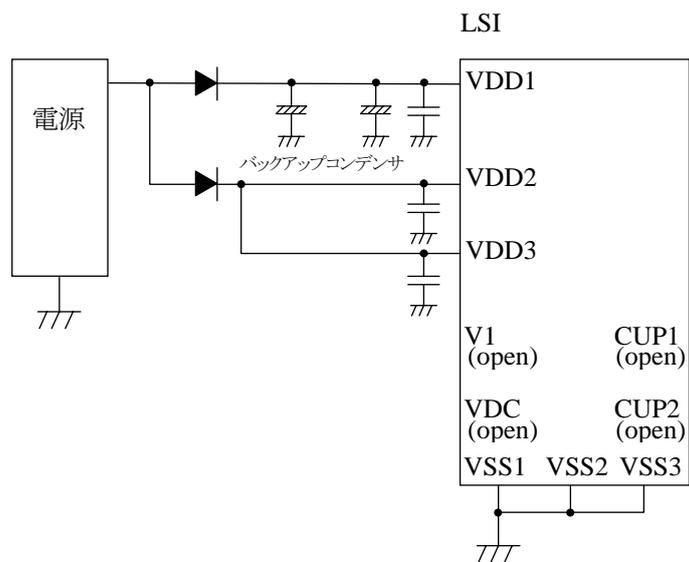
## 1-7 ユーザーオプション一覧表

\*1: マスクオプションとしての選択になりますのでマスク完成後の変更は出来ません。

\*2: マスク版のプログラムスタート番地は00000Hになります。

オプション名	オプション種類	マスク版 *1	フラッシュ版	オプション 切替単位	指定する内容
ポート出力形式	P00~P07	○	○	1ビット単位	CMOS Nch-オープンドレイン
	P10~P17	○	○	1ビット単位	CMOS Nch-オープンドレイン
	P20~P27	○	○	1ビット単位	CMOS Nch-オープンドレイン
	P30~P34	○	○	1ビット単位	CMOS Nch-オープンドレイン
	PA0~PA7	○	○	1ビット単位	CMOS Nch-オープンドレイン
	PB0~PB7	○	○	1ビット単位	CMOS Nch-オープンドレイン
	PC0~PC7	○	○	1ビット単位	CMOS Nch-オープンドレイン
	PE0~PE3	○	○	1ビット単位	CMOS Nch-オープンドレイン
プログラム スタート番地	—	× *2	○	—	0000H FE00H
ベースタイム ウォッチドッグタイム	ウォッチドッグタイム 周期	○	○	—	1秒 2秒 4秒 8秒
低電圧検知機能	検知レベル (許可)	—	○	—	
	パワーオンリセット レベル(禁止)	—	○	—	

- \*1 VDD1端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続してください。またVSS1端子、VSS2端子、VSS3端子は必ず電氣的にショートしてください。
- \*2 内部メモリの保持電源はVDD1ですが、VDD2とVDD3をバックアップしない場合、HOLDバックアップ時のポートの‘H’レベル出力は不定となり、入力バッファに貫通電流が流れてバックアップ時間が短くなります。HOLDバックアップ時はポートの状態が‘L’レベルになるように設定してください。

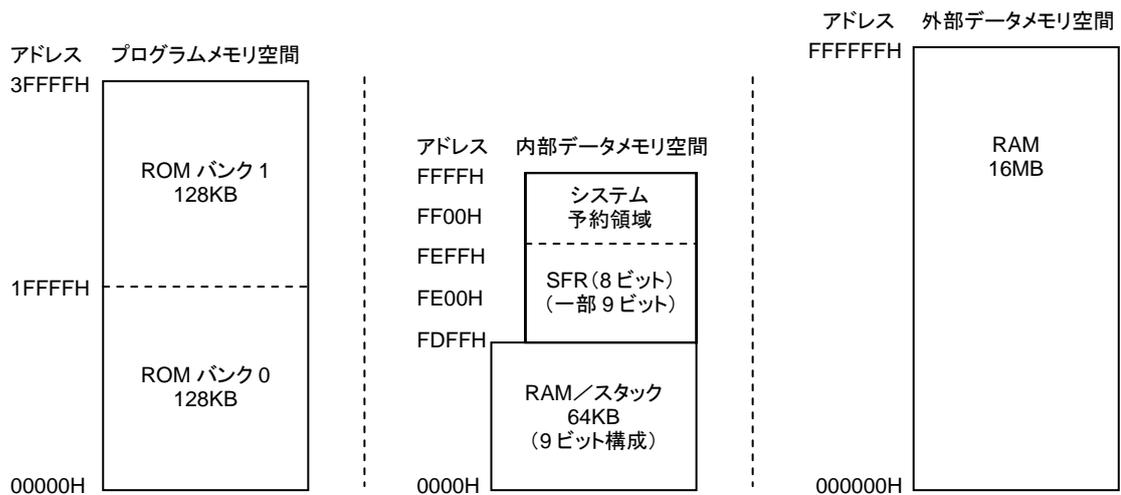


## 2 内部システム構成

### 2-1 メモリ空間

LC870000シリーズは、次の3種類のメモリ空間を持ちます。

- ①プログラムメモリ空間 256Kバイト(128Kバイト×2バンク)
- ②内部データメモリ空間 64Kバイト(0000H~FFFFHのうち0000H~FDFFHがスタックエリア兼用)。
- ③外部データメモリ空間 16Mバイト



(注) SFR: アキュムレータ等の特殊機能レジスタの配置されている領域 (APPENDIX A-I参照)

図 2-1-1 メモリ空間

### 2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は17ビットで構成されて、そのほかにバンクフラグBNKがあり、BNKの値でバンクが変化します。PCの下位17ビットにより、バンク内の128KのROM空間がリニアにアクセスできます。

通常、PCは命令実行毎にバンク内で自動的に進みます。バンクの切替はスタックにアドレスをプッシュして、リターン命令を実行することで行います。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表2-2-1に示します。

表 2-2-1 PC設定値

動作の種類		PCの値	BNKの値
割り込み	リセット	00000H	0
	INT0	00003H	0
	INT1	0000BH	0
	INT2/INT4/T0L	00013H	0
	INT3/INT5/ベースタイマ 0/ベースタイマ 1/ RTC	0001BH	0
	T0H	00023H	0
	T1L/T1H	0002BH	0
	SIO0/UART1受信/UART2受信	00033H	0
	SIO1/UART1送信/UART2送信	0003BH	0
	ADC/T6/T7/PWM4, 5/SPI	00043H	0
	ポート0/T4/T5/PWM0, 1	0004BH	0
無条件分岐命令	JUMP a17	PC=a17	不変
	BR r12	PC=PC+2+r12[-2048 ~ +2047]	不変
条件分岐命令	BE,BNE,DBNZ,DBZ,BZ,BNZ,BZW ,BNZW,BP,BN,BPC	PC=PC+nb+r8[-128~+127] nb:命令のバイト数	不変
CALL命令	CALL a17	PC=a17	不変
	RCALL r12	PC=PC+2+r12[-2048 ~ +2047]	不変
	RCALLA	PC=PC+1+Areg[0~+255]	不変
リターン命令	RET,RETI	PC16~08=(SP), PC07~00=(SP-1) (SP)はスタックポインタの値SP で指示されるRAMの内容。	BNKは (SP-1)の ビット8
通常命令	NOP,MOV,ADD,...	PC=PC+nb nb:命令のバイト数	不変

## 2-3 プログラムメモリ (ROM)

プログラムメモリ空間は256Kバイトありますが、実際に内蔵しているROMは機種により異なります。ROMテーブル参照命令 (LDC) でバンク内の全てのROMデータを参照できます。ROM空間のうちROMバンク0の256バイト(本シリーズ:FF00H~FFFFH)をオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

## 2-4 内部データメモリ (RAM)

内部データメモリ空間は64Kバイトありますが、実際に内蔵しているRAMは機種により異なります。RAMのビット長は、128KのROM空間を実現するために0000H~FDF FHでは9ビットで、FE00H~FFFFHでは8ビットまたは9ビットです。なお、RAMの9ビット目はPSWのビット1を使用し、読み書きできます。

RAMの0000H~007FHの128バイトは2バイトずつペアになり64個の間接アドレスレジスタとしても使用できます。これら間接レジスタのビット長は通常16ビット(8ビット×2)として扱われますが、ROMテーブル参照命令 (LDC) で使用する時は17ビット(9ビット(上位)+8ビット(下位))となります。

表2-4-1に示すように、RAMのアドレスにより使用できる命令が異なります。これらの命令を使い分けることによって、使用ROM/実行スピードの効率化が図れます。

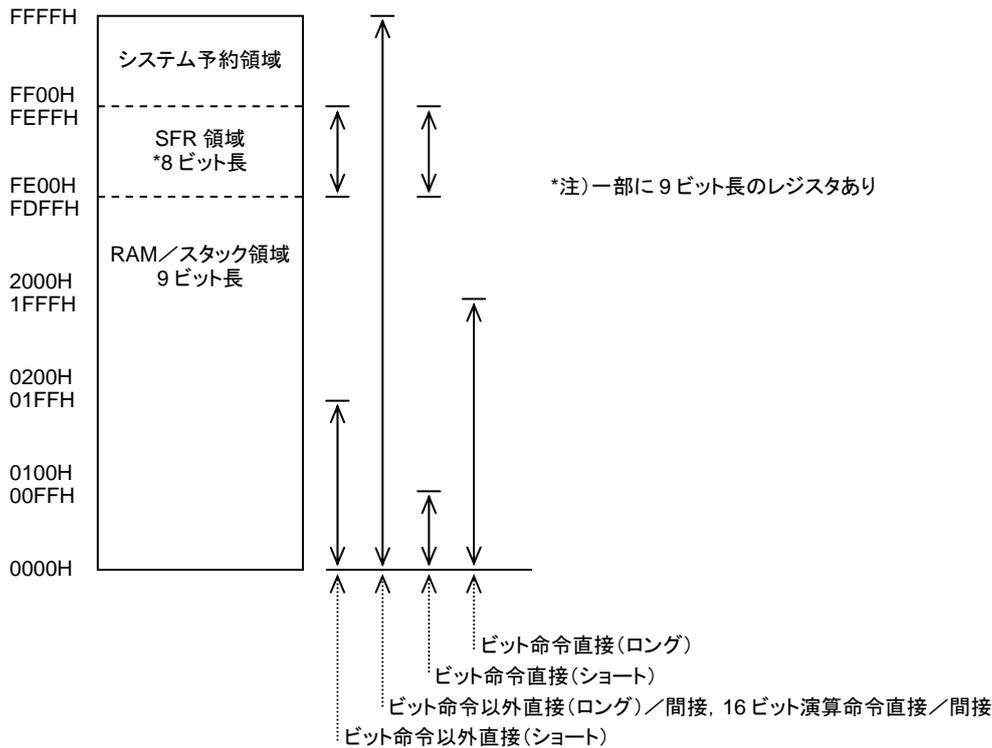


図2-4-1 RAMアドレッシングマップ

また、サブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSP+1にBNKの値とPC(17ビット)の下位8ビットが、SP+2にPCの上位9ビットが格納され、SP=SP+2となります。

## 2-5 アキュムレータ/Aレジスタ(ACC/A)

アキュムレータ(ACC)はAレジスタとも呼ばれ、データの演算、転送、入出力の処理が行われるのに使用される8ビットのレジスタです。内部データメモリ空間のFE00H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE00	0000 0000	R/W	AREG	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0

## 2-6 Bレジスタ(B)

Bレジスタは16ビット演算命令では、ACCと組み合わせて16ビットの演算用レジスタとなります。また、乗除算命令では、ACC、Cレジスタとともに、結果の格納に使われます。さらに、外部メモリアクセス命令(LDX, STX)では、24ビットアドレスの上位8ビットの指定を行います。

Bレジスタは内部データメモリ空間のFE01H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE01	0000 0000	R/W	BREG	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0

## 2-7 Cレジスタ(C)

Cレジスタは、乗除算命令では、ACC, Bレジスタとともに、結果の格納に使われます。さらに、Cレジスタ・オフセット間接命令では、間接レジスタの内容に対するオフセットデータ(-128~+127)を格納します。

Cレジスタは内部データメモリ空間のFE02H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE02	0000 0000	R/W	CREG	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0

## 2-8 プログラムステータスワード(PSW)

プログラムステータスワード(PSW)は、演算結果の状態を示すフラグとRAMの9ビット目をアクセスするフラグとLDCW命令時のバンク指定のフラグから構成されています。

PSWは内部データメモリ空間のFE06H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE06	0000 0000	R/W	PSW	CY	AC	PSWB5	PSWB4	LDCBNK	OV	PI	PARITY

CY(ビット7): キャリーフラグ

CYは、演算の実行によりキャリーが生じた時セット(1)され、生じなかった時クリア(0)されます。キャリーには次の種類があります。

- ①加算結果のキャリー
- ②減算結果のボロー
- ③比較結果のボロー
- ④ローテートのキャリー

但し、命令によってはフラグが変化しない場合があります。

AC(ビット6): 補助キャリーフラグ

ACは、加減算の実行によりビット3(16ビット演算では上位バイトのビット3)にキャリーまたはボローが生じた時セット(1)され、生じなかった時クリア(0)されます。

但し、命令によってはフラグが変化しない場合があります。

PSWB5, 4(ビット5, 4): ユーザビット

命令でリード/ライトできますので、ご自由にお使ください。

LDCBNK(ビット3): テーブル参照命令(LDCW)用バンクフラグ

テーブル参照命令でプログラムROMを読む時のROMバンクを指定します。  
(0:ROM-ADR=0~1FFFF 1:ROM-ADR=20000~3FFFF)

OV(ビット2): オーバフローフラグ

OVは、算術演算の実行によりオーバフローが生じた時セット(1)され、生じなかった時クリア(0)されます。オーバフローが生じる場合には次の種類があります。

- ①MSBを符号ビットとした時、負数+負数または負数-正数の結果が正数となった時
- ②MSBを符号ビットとした時、正数+正数または正数-負数の結果が負数となった時

- ③ 16ビット×8ビットの乗算結果の上位8ビットの値が0でない時
- ④ 24ビット×16ビットの乗算結果の上位16ビットの値が0でない時
- ⑤ 除算で除数が0の時

但し、命令によってはフラグが変化しない場合があります。

P1(ビット1):RAMビット8データフラグ

P1は、9ビットで構成される内部データRAM(0000H~FDFFH)のビット8を操作するのに使います。命令により動作が異なります。詳しくは、表2-4-1を参照してください。

PARITY(ビット0):パリティフラグ

アキュムレータ(Aレジスタ)のパリティを示します。

Aレジスタのビット状態が、“1”が奇数個の場合にパリティフラグがセット(1)されます。また、“1”が偶数個の場合には、パリティフラグがリセット(0)されます。

## 2-9 スタックポインタ(SP)

LC870000シリーズはRAMの0000H~FDFFHをスタック領域として使用できます。但し、内蔵しているRAMサイズは機種により異なります。

SPは16ビット長で、SPL(FE0A番地)とSPH(FE0B番地)の2つのレジスタで構成され、リセット時には0000Hに初期化されます。

SPは、スタックメモリにデータを待避する前に+1され、データをスタックメモリから復帰した後で-1されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0A	0000 0000	R/W	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

SPの値は以下のように変化します。

- ① PUSH命令実行時 :  $SP = SP + 1$ ,  $RAM(SP) = DATA$
- ② CALL命令実行時 :  $SP = SP + 1$ ,  $RAM(SP) = ROMBANK + ADL$   
 $SP = SP + 1$ ,  $RAM(SP) = ADH$
- ③ POP命令実行時 :  $DATA = RAM(SP)$ ,  $SP = SP - 1$
- ④ RET命令実行時 :  $ADH = RAM(SP)$ ,  $SP = SP - 1$   
 $ROMBANK + ADL = RAM(SP)$ ,  $SP = SP - 1$

## 2-10 間接アドレスレジスタ

LC870000シリーズは、間接レジスタの内容を用いた番地指定機能(インダイレクト・アドレッシング・モード)を3種類([Rn], [Rn+C], [off])持っています。(アドレッシング・モードについては2.11項参照)この時使用されるのが、RAMの0~7EH番地に2バイト構成で64個(R0~R63)存在する間接レジスタです。間接レジスタは、汎用レジスタ(2バイトデータの待避用等)としても使用できます。もちろん、間接レジスタとして使用しない場合には、通常RAM(1バイト(9ビット)データ単位)として使用できます。R0~R63は、アセンブラにて「システム予約語」となっておりユーザが定義する必要はありません。

	RAM	システム予約データ
アドレス	・	
7FH	R63(上位)	
7EH	R63(下位)	R63=7EH
・	・	・
・	・	・
03H	R1(上位)	
02H	R1(下位)	R1=2
01H	R0(上位)	
00H	R0(下位)	R0=0

図 2-10-1 間接レジスタ配置

## 2-11 アドレッシング・モード

LC870000シリーズは、以下の7種類のアドレッシング・モードがあります。

- ①イミディエイト(即値:プログラム作成(アセンブル)時に値が確定しているデータ)
- ②間接レジスタ(Rn)・インダイレクト(間接) (0 ≤ n ≤ 63)
- ③間接レジスタ(Rn) + Cレジスタ・インダイレクト(間接) (0 ≤ n ≤ 63)
- ④間接レジスタ(R0) + オフセット値・インダイレクト(間接)
- ⑤ダイレクト(直接)
- ⑥ROMテーブル参照
- ⑦外部データメモリ・アクセス

次項より、各アドレッシング・モードの説明を行います。

### 2-11-1 イミディエイト・アドレッシング(#)

イミディエイト・アドレッシングでは、8ビット(1バイト)または16ビット(1ワード)のイミディエイト(即値)データを扱うことができます。以下に例を示します。

例:

```

LD      #12H      ;アキュムレータにバイトデータ(12H)を設定
L1: LDW  #1234H   ;BAペアレジスタにワードデータ(1234H)を設定
PUSH   #34H      ;スタックにバイトデータ(34H)を設定
ADD    #56H      ;アキュムレータとバイトデータ(56H)の加算
BE     #78H, L1  ;アキュムレータとバイトデータ(78H)の比較・分岐

```

### 2-11-2 間接レジスタ・インダイレクト・アドレッシング ([Rn])

間接レジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つを選択し、そのレジスタの内容でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容が例えば“FE02H”であった場合、「Cレジスタ」を示す事になります。

例：

```
R3の内容が“123H”の場合 (RAM6番地:23H, RAM7番地:01H)
LD      [R3]          ;RAMの123H番地の内容をアキュムレータに転送
L1: STW  [R3]          ;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH   [R3]          ;RAMの123H番地の内容をスタックに待避
SUB    [R3]          ;アキュムレータからRAMの123H番地の内容を減算
DBZ   [R3], L1      ;RAMの123H番地の内容を“-1”し「ゼロ」なら分岐
```

### 2-11-3 間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])

間接レジスタ+Cレジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つの内容とCレジスタの内容(MSBを符号とする-128～+127)を加算した結果でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容を“FE02H”とし、Cレジスタの内容が“FFH(-1)”であったので「Bレジスタ(FE02H+(-1)=FE01H)」を示す事になります。

例：

```
R3の内容が“123H”、Cレジスタの内容が“02H”の場合
LD      [R3, C]       ;RAMの125H番地の内容をアキュムレータに転送
L1: STW  [R3, C]       ;BAペア・レジスタの内容をRAMの125H番地に転送
PUSH   [R3, C]       ;RAMの125H番地の内容をスタックに待避
SUB    [R3, C]       ;アキュムレータからRAMの125H番地の内容を減算
DBZ   [R3, C], L1    ;RAMの125H番地の内容を“-1”し「ゼロ」なら分岐
```

<このアドレッシング・モードの注意事項>

内部データメモリ空間は、前述(2.1項)のように①システム予約領域(FF00-FFFF)②SFR領域(FE00-FEFF)③RAM/スタック領域(0000-FDFE)の3つの機能領域に分かれて閉じています。よって、基本となるRnの内容が示す領域からCレジスタの値によって別領域を示すということはできません。例えば、R5の内容が“0FDFEH”で、Cレジスタの内容が“1”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は③RAM/スタック領域(0000-FDFE)であるため、アドレッシングしようとした“0FDFEH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R5の内容が“0FEFFH”でCレジスタの内容が“2”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は②SFR領域(FE00-FEFF)であるため、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01”となり0FE01H(Bレジスタ)の内容がACCに入ります。

## 2-11-4 間接レジスタ(R0) + オフセット値・インダイレクト・アドレッシング ([off])

このアドレッシング・モードでは、間接レジスタ「R0」の内容と符号付き7ビットオフセットデータoff(-64~+63)を加算した結果で、RAMまたはSFRの番地を指定することができます。つまり、R0の内容が“FE02H”でありoff値を“7EH(-2)”とした場合、「Aレジスタ(FE02H+(-2)=FE00H)」を示す事になります。

例：

```
R0の内容が“123H”の場合 (RAM0番地:23H, RAM1番地:01H)
LD      [10H]          ;RAMの133H番地の内容をアキュムレータに転送
L1: STW  [10H]          ;BAペア・レジスタの内容をRAMの133H番地に転送
PUSH   [10H]          ;RAMの133H番地の内容をスタックに待避
SUB    [10H]          ;アキュムレータからRAMの133H番地の内容を減算
DBZ   [10H], L1      ;RAMの133H番地の内容を“-1”し「ゼロ」なら分岐
```

<このアドレッシング・モードの注意事項>

内部データメモリ空間は、前述(2.1項)のように①システム予約領域(FF00-FFFF)②SFR領域(FE00-FEFF)③RAM/スタック領域(0000-FDFE)の3つの機能領域に分かれて閉じています。よって、基本となるR0の内容が示す領域からオフセット値によって別領域を示すということはできません。例えば、R0の内容が“0FDFEH”である場合に「LD [1]」命令を実行すると、基本となる領域は③RAM/スタック領域(0000-FDFE)であるため、アドレッシングしようとした“0FDFEH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R0の内容が“0FEFFH”である場合に「LD [2]」命令を実行すると、基本となる領域は②SFR領域(FE00-FEFF)であるため、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01”となり0FE01H(Bレジスタ)の内容がACCに入ります。

## 2-11-5 ダイレクト・アドレッシング(dst)

ダイレクト・アドレッシングでは、RAMまたはSFRの番地をオペランドに記述し直接指定する事が可能です。このアドレッシング・モードでは、記述されたオペランドの番地からアセンブラが自動的に最適な命令コードを生成します(オペランドの番地により命令のバイト数が異なる)。また、命令のバイト数を一定(バイト数の多い方)としたい場合のために、ロング(ミドル)・レンジ命令も用意しました(ニーモニックの最後に“L(M)”が付いているもの)。

例：

```
LD      123H          ;RAMの123H番地の内容をアキュムレータに転送
                          (2バイト命令)
LDL    123H          ;RAMの123H番地の内容をアキュムレータに転送
                          (3バイト命令)
L1: STW  123H          ;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH   123H          ;RAMの123H番地の内容をスタックに待避
SUB    123H          ;アキュムレータからRAMの123H番地の内容を減算
DBZ   123H, L1      ;RAMの123H番地の内容を“-1”し「ゼロ」なら分岐
```

## 2-11-6 ROMテーブル参照・アドレッシング

LC870000シリーズは、「LDCW」命令を用いる事によりROM上の2バイトデータをBAレジスタペアに一度に読み出す事ができます。この時のアドレッシング・モードは、[Rn], [Rn, C], [off]の3種類が使用できます。(この場合に限り、Rnは17ビット構成(128Kバイト空間)となります。)

ROMにバンクがある機種では、PSW内の“LDCBNK”フラグ(bit3)が示すROMバンク内(128Kバイト)のROMデータを参照する事ができます。よって、ROMバンクの存在する機種でのROMテーブル参照時には、ROMテーブルが存在するROMバンクを“LDCBNK”フラグが示すように「SET1, CLR1等」の命令で切り替えてから「LDCW」命令を実行してください。

例：

```
TBL: DB      34H
      DB      12H
      DW      5678H
      .
      .
      LDW     #TBL      ;BAレジスタペアに“TBLアドレス”を設定
```

(注1) CHGP3 (TBL >> 17) & 1 ; PSWのLDCBNKにTBLアドレスbit17を設定する。

CHGP1 (TBL >> 16) & 1 ; PSWのP1に“TBLアドレスbit16を設定する。

```
STW   R0      ;間接レジスタR0へのTBLアドレス設定(bit16～bit0)
LDCW  [1]     ;ROMテーブル読み出し(B=78H, ACC=12H)
MOV   #1, C   ;Cレジスタに“01H”を設定
LDCW  [R0, C] ;ROMテーブル読み出し(B=78H, ACC=12H)
INC   C       ;Cレジスタをインクリメント(+1)
LDCW  [R0, C] ;ROMテーブル読み出し(B=56H, ACC=78H)
```

(注1) ROMにバンクがある機種のみ、PSWのLDCBNK(bit3)の設定が必要。

## 2-11-7 外部データ・メモリ・アドレッシング

LC870000シリーズは、「LDX, STX」命令を用いる事により、16Mバイト(24ビット)の外部データメモリ空間をアクセスする事が可能です。24ビットの空間指定には、Bレジスタ(8ビット)の内容を最上位に、また、(Rn), (Rn) + (C), (R0) + off(のどれか一つ)の内容(16ビット)を下位に用います。

例：

```
LDW   #3456H   ;下位16ビット設定
STW   R5       ;間接レジスタR5にアドレス下位16ビットを設定
MOV   #12H, B  ;アドレス上位8ビット設定
LDX   [1]     ;外部データメモリ(123456H番地)の内容をアキュムレータに転送
```

注意：本シリーズには外部メモリにアクセスする機能は搭載されていません。

## 2-12 WAIT動作

### 2-12-1 WAIT動作の発生

本シリーズでは、自動的に命令の実行を中断するWAIT動作が以下の場合に発生します。

- ①SIO0でSIOCTR(SCON0のビット4)をセットした連続データ転送を行う時、8ビットのデータ転送毎に、先行してWAIT要求が発生し、1サイクルのWAIT動作(RAMデータの転送)を行います。
- ②SIO2でデータ転送を行う時、8ビットのデータ転送毎に、先行してWAIT要求が発生し、1サイクルのWAIT動作(RAMデータの転送)を行います。

### 2-12-2 WAIT動作とは

- ①2.12.1に示したような要因で、WAIT要求が発生すると、CPUは命令の実行を1サイクル中断し、この間に所定のデータ転送を行います。これがWAIT動作です。
- ②タイマやPWMなどの周辺の回路は、WAIT動作中も変わりなく動作します。
- ③WAIT動作は2サイクル以上連続して行われることはありません。
- ④ホルト、ホールドモード時、WAIT動作は行われません。
- ⑤WAIT動作が1回発生すると、プログラムカウンタの進行と時間の進行の間にずれが1サイクル生じますので、注意してください。

表 2-4-1 BIT8 (RAM/SFR) と P1 の状態変化表

命令	BIT8 (RAM/SFR)	P1 (PSW の BIT1)	備考
LD#/LDW#	—	—	
LD	—	P1←REG8	
LDW	—	P1←REGH8	
ST	REG8←P1	—	
STW	REGL8,REGH8←P1	—	
MOV	REG8←P1	—	
PUSH#	RAM8←P1	—	
PUSH	RAM8←REG8	P1←REG8	
PUSHW	RAMH8←REGH8,RAML8←REGL8	P1←REGH8	
PUSH_P	RAM8←P1	—	
PUSH_BA	RAMH8←P1,RAML8←P1	—	
POP	REG8←RAM8	P1←RAM8	PSW 対象の場合、P1←bit1
POPW	REGH8←RAMH8,REGL8←RAML8	P1←RAMH8	上位アドレス PSW 対象時、P1←bit1
POP_P	—	P1←RAM1(bit1)	BIT8 は無視
POP_BA	—	P1←RAMH8	
XCH	REG8<->P1	同左	
XCHW	REGH8←P1,REGL8←P1,P1←REGH8	同左	
INC	9bit の INC	演算後,P1←REG8	9bit の INC
INCW	17bit の INC,REGL8←下位バイトの CY	演算後,P1←REGH8	17bit の INC
DEC	9bit の DEC	演算後,P1←REG8	9bit の DEC
DECW	17bit の DEC, REGL8←下位バイトの CY の反転	演算後,P1←REGH8	17bit の DEC
DBNZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
DBZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
SET1	—	—	
NOT1	—	—	
CLR1	—	—	
BPC	—	—	
BP	—	—	
BN	—	—	
MUL24/DIV24	RAM8←“1”	—	演算結果の入る RAM の BIT8 は 1
FUNC	—	—	

(注) 対象が 8bit レジスタ (bit8 なし) の場合 “1” が読み込まれて処理されます。

(記号) REG8 : RAM または SFR の bit8。

REGH8/REGL8 : RAM または SFR の上位バイトの bit8/下位バイトの bit8。

RAM8 : RAM の bit8。

RAMH8/RAML8 : RAM の上位バイトの bit8/下位バイトの bit8。



## 3 周辺システム構成

この章では、CPUコア、RAM、ROM以外の内蔵されている機能ブロック(周辺システム)について説明します。

また、ポートのブロック図をAPPENDIX(A-II)に添付しましたので、ご参照ください。

### 3-1 ポート0

#### 3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタによりビット毎に設定できます。ポート0はUART1, 2入出力や外部割り込み端子としても使用でき、ホールドモードの解除も可能です。ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはNチャンネルオープンドレイン出力のどちらかをビット毎に選択できます。

#### 3-1-2 機能

##### ①入出力ポート (8ビット:P00~P07)

- ・ポート0データラッチ(P0:FE40)でポート出力データの制御、ポート0データディレクションレジスタ(P0DDR:FE41)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

##### ②割り込み端子機能

入力ポート指定され、対応するポート0データラッチ(P0:FE40)のビットが“1”のポートのどれか1つに“0”レベルのデータが入力されると、P0FLG(P0FCR:FE42のビット5)がセットされます。

このとき、P0IE(P0FCR:FE42のビット4)が“1”であれば、ホールドモード解除と、ベクタアドレス004BHへの割り込み要求を行います。

注意:割り込み機能を使用する際、『プルアップ抵抗付き入力』に設定したポートは全て割り込み端子として扱われます。

##### ③兼用機能

P00, P01でUART1、P02, P03でUART2、P05でシステムクロック出力、P06でタイマ6トグル出力、P07でタイマ7トグル出力機能を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	P07	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	P0DDR	P07DDR	P06DDR	P05DDR	P04DDR	P03DDR	P02DDR	P01DDR	P00DDR
FE42	0000 0000	R/W	P0FCR	T7OE	T6OE	P0FLG	P0IE	CLKOEN	CKODV2	CKODV1	CKODV0

## PORTS

### 3-1-3 関連レジスタ

#### 3-1-3-1 ポート0データラッチ(P0)

- ①ポート0の出力データ、プルアップ抵抗の制御、ポート0割り込みの制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとP00～P07の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP0(FE40)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	P07	P06	P05	P04	P03	P02	P01	P00

#### 3-1-3-2 ポート0データディレクションレジスタ(P0DDR)

- ①ポート0の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP0nDDRが“1”の時、ポートP0nは出力モードになり、ビットP0nDDRが“0”の時、ポートP0nは入力モードになります。
- ②ビットP0nDDRが“0”で、ポート0データラッチのビットP0nが“1”の時、ポートP0nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE41	0000 0000	R/W	P0DDR	P07DDR	P06DDR	P05DDR	P04DDR	P03DDR	P02DDR	P01DDR	P00DDR

#### 3-1-3-3 ポート0機能制御レジスタ(P0FCR)

- ①ポート0の兼用出力の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	0000 0000	R/W	P0FCR	T7OE	T6OE	P0FLG	P0IE	CLKOEN	CKODV2	CKODV1	CKODV0

##### T7OE(ビット7)

P07端子の出力データの制御を行います。

P07が入力モードの時、このビットは無効です。

P07が出力モードの時、“0”：ポートデータラッチの値を出力します。

“1”：タイマ7周期でトグルする波形とポートデータラッチのORを出力します。

##### T6OE(ビット6)

P06端子の出力データの制御を行います。

P06が入力モードの時、このビットは無効です。

P06が出力モードの時、“0”：ポートデータラッチの値を出力します。

“1”：タイマ6周期でトグルする波形とポートデータラッチのORを出力します。

##### P0FLG(ビット5)：P0割り込み要因フラグ

入力ポート指定されたポート0で、対応するP0(FE40)のビットがセットされているポートに“L”レベルが印可されるとセットされます。

このビットと割り込み要求許可ビット(P0IE)がともに“1”のとき、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので、命令でクリアしてください。

##### P0IE(ビット4)：P0割り込み要求許可

このビットとP0FLGがともに“1”の時、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。

## CLKOEN (ビット3)

P05端子の出力データの制御を行います。

P05が入力モードの時、このビットは無効です。

P05が出力モードの時、“0”：ポートデータラッチの値を出力します。

“1”：システムクロック出力とポートデータラッチのORを出力します。

## CKODV2 (ビット2)

## CKODV1 (ビット1)

## CKODV0 (ビット0)

P05に出力するシステムクロックの周波数を設定します。

000 : システムクロック選択の源発振クロック周波数

001 : システムクロック選択の源発振クロック周波数の2分周周波数

010 : システムクロック選択の源発振クロック周波数の4分周周波数

011 : システムクロック選択の源発振クロック周波数の8分周周波数

100 : システムクロック選択の源発振クロック周波数の16分周周波数

101 : システムクロック選択の源発振クロック周波数の32分周周波数

110 : システムクロック選択の源発振クロック周波数の64分周周波数

111 : サブクロックの源発振クロック周波数

#### <クロック出力機能仕様上の注意点>

クロック出力機能使用の際は下記①～③を守ってください。

下記に違反した場合、ポートの出力波形に異常が生じる場合があります。

①CLKOEN (BIT3) = 1の設定時にクロック出力分周設定を変更しない。

→CKODV2～CKODV0 (BIT2～BIT0)の設定を変更しない。

②CLKOEN (BIT3) = 1の設定時にシステムクロック選択を変更しない。

→OCRレジスタのCLKB5～CLKB4 (BIT5～BIT4)の設定を変更しない。

③CLKOEN = 1の状態からCLKOEN = 0となるデータをPOFCRレジスタに書き込む命令を実行した場合、CLKOENはすぐに0にはなりません。

出力中のクロックが終了(クロック立ち上がり検出)してからCLKOEN = 0となります。従って、命令でCLKOEN = 0とした後にクロック分周設定変更及びシステムクロック選択変更を行う場合は、CLKOENの値を読み出して0であることを確認した後に行ってください。

### 3-1-4 オプション

ユーザオプションとして次の2通りの選択ができます。

①CMOS出力(プログラマブルプルアップ抵抗付き)

②Nチャネルオープンドレイン出力

### 3-1-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## PORTS

### 3-2 ポート1

#### 3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。また、機能制御レジスタを操作することにより、シリアルインタフェース用入出力、PWM出力ポートとして使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャンネルオープンドレイン出力のどちらかをビット毎に選択できます。

#### 3-2-2 機能

##### ①入出力ポート（8ビット:P10~P17）

- ・ポート1データラッチ(P1:FE44)でポート出力データの制御、ポート1データディレクションレジスタ(P1DDR:FE45)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

##### ②兼用機能

P17でタイマ1PWMH/ベースタイマBUZ出力、P16でタイマ1PWML出力、P15~P13でSIO1入出力、P12~P10でSIO0入出力機能を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	0HHH H0H0	R/W	P1TST	FIX0	-	-	-	-	DSNKOT	-	FIX0

P1TST(FE47)のbit7, bit0はテスト用です。設定値は“0”で使用してください。

P1TST(FE47)のbit2は高速クロックカウンタのリアルタイム出力を制御するビットです。説明は高速クロックカウンタの章で行います。

#### 3-2-3 関連レジスタ

##### 3-2-3-1 ポート1データラッチ(P1)

- ①ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとP10~P17の端子のデータが読み込まれます。但し、N0T1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP1(FE44)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10

### 3-2-3-2 ポート1データディレクションレジスタ(P1DDR)

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP1nDDRが“1”の時、ポートP1nは出力モードになり、ビットP1nDDRが“0”の時、ポートP1nは入力モードになります。

②ビットP1nDDRが“0”で、ポート1データラッチのビットP1nが“1”の時、ポートP1nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR

レジスタデータ		ポートP1nの状態		内蔵プルアップ抵抗
P1n	P1nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

### 3-2-3-3 ポート1機能制御レジスタ(P1FCR)

①ポート1の兼用出力の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR

n	P1nFCR	P1n	出力モード(P1nDDR=1)の時のP1n端子データ
7	0	—	ポートデータラッチ(P17)の値
	1	0	タイマ1PWMHまたはベースタイマのBUZデータ
	1	1	タイマ1PWMHまたはベースタイマのBUZの反転データ
6	0	—	ポートデータラッチ(P16)の値
	1	0	タイマ1PWMLのデータ
	1	1	タイマ1PWML反転データ
5	0	—	ポートデータラッチ(P15)の値
	1	0	SIO1クロック出力データ
	1	1	HIGH出力
4	0	—	ポートデータラッチ(P14)の値
	1	0	SIO1出力データ
	1	1	HIGH出力
3	0	—	ポートデータラッチ(P13)の値
	1	0	SIO1出力データ
	1	1	HIGH出力
2	0	—	ポートデータラッチ(P12)の値
	1	0	SIO0クロック出力データ
	1	1	HIGH出力
1	0	—	ポートデータラッチ(P11)の値
	1	0	SIO0出力データ
	1	1	HIGH出力
0	0	—	ポートデータラッチ(P10)の値
	1	0	SIO0出力データ
	1	1	HIGH出力

尚、オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

## PORTS

- P17FCR(ビット7):P17機能制御(タイマ1PWMH&ベースタイマBUZ出力制御)  
P17端子の出力データの制御を行います。  
P17が出力モード(P17DDR=1)で、P17FCRが“1”の時、タイマ1のPWMH出力とベースタイマからのBUZ出力のANDデータとポートデータラッチのEORをP17端子は出力します。
- P16FCR(ビット6):P16機能制御(タイマ1PWML出力制御)  
P16端子の出力データの制御を行います。  
P16が出力モード(P16DDR=1)で、P16FCRが“1”の時、タイマ1のPWML出力データとポートデータラッチのEORをP16端子は出力します。
- P15FCR(ビット5):P15機能制御(SIO1クロック出力制御)  
P15端子の出力データの制御を行います。  
P15が出力モード(P15DDR=1)で、P15FCRが“1”の時、SIO1のクロック出力データとポートデータラッチのORをP15端子は出力します。
- P14FCR(ビット4):P14機能制御(SIO1データ出力制御)  
P14端子の出力データの制御を行います。  
P14が出力モード(P14DDR=1)で、P14FCRが“1”の時、SIO1出力データとポートデータラッチのORをP14端子は出力します。  
尚、P14の入出力状態に関係なく、P14からはSIO1動作時、SIO1入力データが取り込まれます。
- P13FCR(ビット3):P13機能制御(SIO1データ出力制御)  
P13端子の出力データの制御を行います。  
P13が出力モード(P13DDR=1)で、P13FCRが“1”の時、SIO1出力データとポートデータラッチのORをP13端子は出力します。
- P12FCR(ビット2):P12機能制御(SIO0クロック出力制御)  
P12端子の出力データの制御を行います。  
P12が出力モード(P12DDR=1)で、P12FCRが“1”の時、SIO0のクロック出力データとポートデータラッチのORをP12端子は出力します。
- P11FCR(ビット1):P11機能制御(SIO0データ出力制御)  
P11端子の出力データの制御を行います。  
P11が出力モード(P11DDR=1)で、P11FCRが“1”の時、SIO0出力データとポートデータラッチのORをP11端子は出力します。  
尚、P11の入出力状態に関係なく、P11からはSIO0動作時、SIO0入力データが取り込まれます。
- P10FCR(ビット0):P10機能制御(SIO0データ出力制御)  
P10端子の出力データの制御を行います。  
P10が出力モード(P10DDR=1)で、P10FCRが“1”の時、SIO0出力データとポートデータラッチのORをP10端子は出力します。

### **3-2-4 オプション**

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブルプルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブルプルアップ抵抗付き)

### **3-2-5 HALT, HOLD時の動作**

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## 3-3 ポート2

### 3-3-1 概要

ポート2は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

ポート2は、外部割り込み用入力ポートとしても使用できます。また、タイマ1のカウントクロック入力、タイマ0のキャプチャ信号入力、タイマ0のキャプチャ1信号入力やホールドモード解除信号入力ポートとしても使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャンネルオープンドレイン出力のどちらかをビット毎に選択できます。

### 3-3-2 機能

#### ①入出力ポート（8ビット:P20～P27）

- ・ポート2データラッチ（P2:FE48）でポート出力データの制御、ポート2データディレクションレジスタ（P2DDR:FE49）で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

#### ②割り込み入力端子機能

- ・P20～P23から選択された1ポート（INT4）とP24～P27から選択された1ポート（INT5）には、端子割り込み機能があり、Lエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。さらに選択されたこれら2ポートはタイマ1のカウントクロック入力、タイマ0のキャプチャ信号入力としても使用できます。

#### ③ホールドモード解除機能

- ・INT4またはINT5で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード（メイン発振＝CR）に移行します。さらに割り込みが受け付けられると、ホルトモードから通常動作モードへ移行します。
  - ・ホールドモード時にINT4またはINT5に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていればホールドモードが解除されます。
- 但し、ホールドモード突入時のINT4またはINT5のデータが“H”の時のHエッジと、ホールドモード突入時のINT4またはINT5のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4またはINT5でホールドモードを解除する時は、INT4またはINT5を両エッジ割り込みモードで使用することを薦めます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE48	0000 0000	R/W	P2	P27	P26	P25	P24	P23	P22	P21	P20
FE49	0000 0000	R/W	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
FE4A	0000 0000	R/W	145CR	INT5HEG	INT5LEG	INT5IF	INT5IE	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	145SL	15SL3	15SL2	15SL1	15SL0	14SL3	14SL2	14SL1	14SL0
FE4E	0000 0000	R/W	167CR	INT7HEG	INT7LEG	INT7IF	INT7IE	INT6HEG	INT6LEG	INT6IF	INT6IE

### 3-3-3 関連レジスタ

#### 3-3-3-1 ポート2データラッチ(P2)

- ①ポート2の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとP20～P27の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP2(FE48)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート2のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE48	0000 0000	R/W	P2	P27	P26	P25	P24	P23	P22	P21	P20

#### 3-3-3-2 ポート2データディレクションレジスタ(P2DDR)

- ①ポート2の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP2nDDRが“1”の時、ポートP2nは出力モードになり、ビットP2nDDRが“0”の時、ポートP2nは入力モードになります。
- ②ビットP2nDDRが“0”で、ポート2データラッチのビットP2nが“1”の時、ポートP2nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE49	0000 0000	R/W	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR

レジスタデータ		ポートP2nの状態		内蔵プルアップ抵抗
P2n	P2nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャンネルオープンドレイン)	OFF

#### 3-3-3-3 外部割り込み4, 5制御レジスタ(I45CR)

- ①外部割り込み4, 5の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4A	0000 0000	R/W	I45CR	INT5HEG	INT5LEG	INT5IF	INT5IE	INT4HEG	INT4LEG	INT4IF	INT4IE

INT5HEG(ビット7):INT5立ち上がりエッジ検出制御

INT5LEG(ビット6):INT5立ち下がりエッジ検出制御

INT5HEG	INT5LEG	INT5割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT5IF(ビット5):INT5割り込み要因フラグ

INT5HEG, INT5LEGで指定された条件が満たされるとセットされます。このビットとINT5の割り込み要求許可ビット(INT5IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。

但し、ホールドモード突入時のINT5のデータが“H”の時のHエッジと、ホールドモード突入時のINT5のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT5でホールドモードを解除する時は、INT5を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

## PORTS

INT5IE (ビット4) : INT5 割り込み要求許可

このビットとINT5IFがともに“1”の時、ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。

INT4HEG (ビット3) : INT4 立ち上がりエッジ検出制御

INT4LEG (ビット2) : INT4 立ち下がりエッジ検出制御

INT4HEG	INT4LEG	INT4 割り込み条件 (端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT4IF (ビット1) : INT4 割り込み要因フラグ

INT4HEG, INT4LEGで指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット (INT4IE) がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のINT4のデータが“H”の時のHエッジと、ホールドモード突入時のINT4のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4でホールドモードを解除する時は、INT4を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT4IE (ビット0) : INT4 割り込み要求許可

このビットとINT4IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

### 3-3-3-4 外部割り込み4, 5端子選択レジスタ (I45SL)

①外部割り込み4, 5の端子を選択する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4B	0000 0000	R/W	I45SL	I5SL3	I5SL2	I5SL1	I5SL0	I4SL3	I4SL2	I4SL1	I4SL0

I5SL3 (ビット7) : INT5用端子選択

I5SL2 (ビット6) : INT5用端子選択

I5SL3	I5SL2	INT5として使用する端子
0	0	ポートP24
0	1	ポートP25
1	0	ポートP26
1	1	ポートP27

I5SL1 (ビット5) : INT5用端子機能選択

I5SL0 (ビット4) : INT5用端子機能選択

INT5として選択された端子に、外部割り込み4, 5制御レジスタ (I45CR) で指定されたデータ変化が与えられると、タイマ1のカウントクロック入力やタイマ0のキャプチャ信号が発生します。

I5SL1	I5SL0	INT5の割り込み以外の機能
0	0	なし
0	1	タイマ1のカウントクロック入力
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

I4SL3(ビット3):INT4用端子選択

I4SL2(ビット2):INT4用端子選択

I4SL3	I4SL2	INT4として使用する端子
0	0	ポートP20
0	1	ポートP21
1	0	ポートP22
1	1	ポートP23

I4SL1(ビット1):INT4用端子機能選択

I4SL0(ビット0):INT4用端子機能選択

INT4として選択された端子に、外部割り込み4,5制御レジスタ(I45CR)で指定されたデータ変化が与えられると、タイマ1のカウントクロック入力やタイマ0のキャプチャ信号を発生します。

I4SL1	I4SL0	INT4の割り込み以外の機能
0	0	なし
0	1	タイマ1のカウントクロック入力
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

注意:

- ①INT4またはINT5で、タイマ0Lのキャプチャ信号入力、タイマ0Hのキャプチャ信号入力がポート7と重複して指定された場合、ポート7からの信号は無視されます。
- ②INT4とINT5が、タイマ1のカウントクロック入力、タイマ0Lのキャプチャ信号入力、タイマ0Hのキャプチャ信号入力として、重複して指定された場合、両方とも受け付けます。但し、INT4とINT5のイベントが同時に起こった場合は、1つのイベントとみなします。
- ③INT4とINT5の少なくとも一方で、タイマ1のカウントクロック入力が指定された場合、タイマ1Lはイベントカウンタとなります。また、INT4とINT5の両方でタイマ1のカウントクロック入力が指定されない場合、タイマ1Lのカウントは2T<sub>cyc</sub>毎に行われます。

### 3-3-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブルプルアップ抵抗付き)
- ②Nチャンネルオープンドレイン出力 (プログラマブルプルアップ抵抗付き)

### 3-3-5 HALT, HOLD時の動作

HALT, HOLD時のポートの入出力状態は、HALT, HOLDの突入時の状態を保持します。

## PORTS

### 3-4 ポート3

#### 3-4-1 概要

ポート3は、プログラマブル・プルアップ抵抗付きの5ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。またPWM4, 5出力として使用できます。ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

##### <フラッシュ版の注意点>

マイコンにリセットが掛かるとポートP32は一時的にLowを出力します。また、リセット期間中のポートP34には、クロックや中間電位(Hi-Z含む)を印加しないでください。

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC87T000 シリーズ 端子処理資料】をご参照ください。

#### 3-4-2 機能

##### ①入出力ポート（5ビット:P30～P34）

- ・ポート3データラッチ(P3:FE4C)でポート出力データの制御、ポート3データディレクションレジスタ(P3DDR:FE4D)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

##### ②兼用機能

- ・P30でPWM4出力、P31でPWM5出力機能を兼用します。説明は各章で行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4C	HHH0 0000	R/W	P3	-	-	-	P34	P33	P32	P31	P30
FE4D	HHH0 0000	R/W	P3DDR	-	-	-	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR

#### 3-4-3 関連レジスタ

##### 3-4-3-1 ポート3データラッチ(P3)

- ①ポート3の出力データとプルアップ抵抗の制御を行う5ビットのレジスタです。
- ②このレジスタを命令で読むとP30～P34の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP3(FE4C)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート3のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4C	HHH0 0000	R/W	P3	-	-	-	P34	P33	P32	P31	P30

### 3-4-3-2 ポート3データディレクションレジスタ(P3DDR)

①ポート3の入出力方向の制御をビット毎に行う5ビットのレジスタです。ビットP3nDDRが“1”の時、ポートP3nは出力モードになり、ビットP3nDDRが“0”の時、ポートP3nは入力モードになります。

②ビットP3nDDRが“0”で、ポート3データラッチのビットP3nが“1”の時、ポートP3nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4D	HHH0 0000	R/W	P3DDR	-	-	-	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR

レジスタデータ		ポートP3nの状態		内蔵プルアップ抵抗
P3n	P3nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

### 3-4-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

### 3-4-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

### 3-5 ポート7

#### 3-5-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの4ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。

ポート7は、外部割り込み用入力ポートとしても使用できます。また、タイマ0のカウントクロック入力、キャプチャ信号入力やホールドモードの解除信号入力ポートとしても使用できます。

ユーザオプションはありません。

#### 3-5-2 機能

##### ①入出力ポート（4ビット:P70~P73）

- ・ポート7制御レジスタ(P7:FE5C)の下位4ビットでポート出力データの制御、上位4ビットで入出力方向を制御します。
- ・P70はNchオープンドレイン出力で、P71~P73はCMOS出力ポートとなります。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

##### ②割り込み入力端子機能

- ・P70とP71は、それぞれINT0、INT1としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。
- ・P72とP73は、それぞれINT2、INT3としてLエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。

##### ③タイマ0カウント入力機能

P72、P73から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0にカウント信号を送ります。

##### ④タイマ0Lキャプチャ入力機能

P70、P72から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。

レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

##### ⑤タイマ0Hキャプチャ入力機能

P71、P73から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Hキャプチャ信号を送ります。

レベル割り込み指定のP71に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Hキャプチャ信号が発生します。

⑥ ホールドモード解除機能

- ・INT0, INT1, INT2, INT3の何れかで、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(メイン発振=CR)に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたP70またはP71に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。
- ・ホールドモード時に、P72またはP73に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。但し、ホールドモード突入時のP72またはP73のデータが“H”の時のHエッジと、ホールドモード突入時のP72またはP73のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P72またはP73でホールドモードを解除する時は、P72またはP73を両エッジ割り込みモードで使用することを薦めます。

	入力	出力	割り込み入力 信号検出	タイマ0 カウント入力	キャプチャ 入力	ホールド モード解除
P70	プログラマブル・プルアップ抵抗付き	Nchオープンドレイン	Lレベル, Hレベル,	—	タイマ0L	可能
P71			Lエッジ, Hエッジ	—	タイマ0H	可能
P72		CMOS	Lエッジ, Hエッジ,	有り	タイマ0L	可能
P73			両エッジ	有り	タイマ0H	—

(注) : P70、P71のホールドモード解除はレベル検出設定時のみ可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	0000 0000	R/W	P7	P73DDR	P72DDR	P71DDR	P70DDR	P73	P72	P71	P70
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT11F	INT11E	INT0LH	INT0LV	INT01F	INT01E
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT31F	INT31E	INT2HEG	INT2LEG	INT21F	INT21E
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

3-5-3 関連レジスタ

3-5-3-1 ポート7制御レジスタ(P7)

- ① ポート7の入出力、プルアップ抵抗の制御を行う8ビットのレジスタです。
- ② このレジスタを命令で読むとP70～P73の端子のデータがビット0～3に読み込まれます。ビット4～7にはレジスタP7のビット4～7のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP7(FE5C)を操作すると、ビット0～3として、端子のデータでなく、レジスタの内容が参照されます。
- ③ ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	0000 0000	R/W	P7	P73DDR	P72DDR	P71DDR	P70DDR	P73DT	P72DT	P71DT	P70DT

レジスタデータ		ポートP7nの状態			内蔵プルアップ抵抗
P7n	P7nDDR	入力	出力		
0	0	可能	オープン		OFF
1	0	可能	内蔵プルアップ抵抗		ON
0	1	可能	CMOS-Low		OFF
1	1	可能	CMOS-HIGH (P70はオープン)		ON

## PORTS

P73DDR(ビット7):P73入出力制御

このビットの1/0で、P73端子の出力(CMOS)/入力を制御します。

P72DDR(ビット6):P72入出力制御

このビットの1/0で、P72端子の出力(CMOS)/入力を制御します。

P71DDR(ビット5):P71入出力制御

このビットの1/0で、P71端子の出力(CMOS)/入力を制御します。

P70DDR(ビット4):P70入出力制御

このビットの1/0で、P70端子の出力(Nchオープンドレイン)/入力を制御します。

P73DT(ビット3):P73データ

P73DDRが1の時、このビットの値がP73端子から出力されます。  
このビットの値(1/0)により、P73端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

P72DT(ビット2):P72データ

P72DDRが1の時、このビットの値がP72端子から出力されます。  
このビットの値(1/0)により、P72端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

P71DT(ビット1):P71データ

P71DDRが1の時、このビットの値がP71端子から出力されます。  
このビットの値(1/0)により、P71端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

P70DT(ビット0):P70データ

P70DDRが1の時、このビットの値がP70端子から出力されます。  
但し、この端子はNchオープンドレイン出力端子なので、P70DTの値が“1”の時はハイインピーダンス出力となります。  
このビットの値(1/0)により、P70端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

### 3-5-3-2 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択

INT1LV(ビット6):INT1検出レベル/エッジ選択

INT1LH	INT1LV	INT1 割り込み条件(P71 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF (ビット5) : INT1 割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT1IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT1IE (ビット4) : INT1 割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH (ビット3) : INT0 検出極性選択

INT0LV (ビット2) : INT0 検出レベル/エッジ選択

INT0LH	INT0LV	INT0 割り込み条件 (P70 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF (ビット1) : INT0 割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE (ビット0) : INT0 割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

### 3-5-3-3 外部割り込み2, 3制御レジスタ (I23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

INT3HEG (ビット7) : INT3 立ち上がりエッジ検出制御

INT3LEG (ビット6) : INT3 立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3 割り込み条件 (P73 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF (ビット5) : INT3 割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

## PORTS

INT3IE (ビット4) : INT3 割り込み要求許可

このビットとINT3IFがともに“1”の時、ホールドモード解除信号とベクタアドレス001BHへの割り込み要求が発生します。

INT2HEG (ビット3) : INT2 立ち上がりエッジ検出制御

INT2LEG (ビット2) : INT2 立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2 割り込み条件 (P72 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF (ビット1) : INT2 割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。このビットとINT2の割り込み要求許可ビット (INT2IE) がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のP72のデータが“H”の時のHエッジと、ホールドモード突入時のP72のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P72でホールドモードを解除する時は、P72を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0) : INT2 割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

### 3-5-3-4 入力信号選択レジスタ (ISL)

①タイマ0の入力, ノイズフィルタの時定数, ブザー出力, ベースタイマのクロックの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

ST0HCP (ビット7) : タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INT1の割り込み検出条件が成立する入力が入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルが入力されている間、1T<sub>cyc</sub>毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力が入力されると、タイマ0Hキャプチャ信号が発生します。

## ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP70に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP70に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP72に入力されると、タイマ0Lキャプチャ信号が発生します。

## BTIMC1(ビット5):ベースタイマクロック選択

## BTIMC0(ビット4):ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	サブクロック
1	1	タイマ/カウンタ0のプリスケアラ出力

## BUZON(ビット3):ブザー出力選択

P17FCR=1の際に、ポート17へ転送するデータ(ブザー出力/タイマ1PWMH)の選択を行います。

“1”の設定時、タイマ1PWMHの出力はHIGH固定となり、ポートP17にはベースタイマクロックを分周した信号をブザー出力として転送します。

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロックの16分周
0	1	サイクルクロックの16分周
1	0	サブクロックの8分周
1	1	タイマ/カウンタ0のプリスケアラ出力の16分周

“0”の設定時、ブザー出力はHIGH固定となり、P17にはタイマ1PWMHの出力データを転送します。

## NFSEL(ビット2):ノイズ除去フィルタ時定数選択

## NFON(ビット1):ノイズ除去フィルタ時定数選択

NFSEL	NFON	ノイズ除去フィルタ時定数
0	0	フィルタなし
0	1	128Tcyc
1	0	1Tcyc
1	1	32Tcyc

## T0IN(ビット0):タイマ0カウントクロック入力ポート選択

タイマ0カウントクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP73に入力されると、タイマ0カウントクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP72に入力されると、タイマ0カウントクロックが発生します。

注意: INT4またはINT5で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がポート7と重複して指定された場合、ポート7からの信号は無視されます。

## PORTS

### 3-5-4 オプション

ユーザオプションはありません。

### 3-5-5 HALT, HOLD時の動作

P70のプルアップ抵抗はオフします。

P71～P73はHALT, HOLD突入時の状態を保持します。

## 3-6 ポート8

### 3-6-1 概要

ポート8は、8ビットの入出力ポートです。データラッチと制御回路で構成され、入出力方向をビット毎に設定できます。出力形式はNチャンネルオープンドレイン出力です。ユーザーオプションはありません。

### 3-6-2 機能

#### ①入出力ポート(8ビット:P80~P87)

- ・ポート8データラッチ(P8:EE63)で‘L’レベル出力と出力ディセーブルの切り替えを制御します。

#### ②アナログ電圧入力機能

- ・P80~P87からADコンバーターのアナログ電圧入力を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE63	1111 1111	R/W	P8	P87	P86	P85	P84	P83	P82	P81	P80

### 3-6-3 関連レジスタ

#### 3-6-3-1 ポート8データラッチ(P8)

①ポート8の入出力の制御を行う8ビットのレジスタです。

②このレジスタを命令で読むとP80~P87の端子のデータがビット0~7に読み込まれます。

但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP8(FE63)を操作すると、端子のデータではなく、レジスタの内容が参照されます。

③ポート8のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE63	1111 1111	R/W	P8	P87	P86	P85	P84	P83	P82	P81	P80

レジスタデータ	ポートP8nの状態	
P8n	入力	出力
0	可能	LOW
1	可能	オープン

### 3-6-4 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## PORTS

### 3-7 ポートA

#### 3-7-1 概要

ポートAは、8ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。またPWM0, 1出力として使用できます。CMOS出力かNchオープンドレイン出力かのユーザオプションをビット毎に設定できます。

#### 3-7-2 機能

##### ①入出力ポート(6ビット:PA0~PA7)

- ・ポートAデータ制御レジスタ(PA:FE68)の8ビットで、ポート出力データの制御(ビット0~7)を行います。
- ・ポートA入出力切換制御レジスタ(PADDR:FE69)の8ビットで、ビット毎の入出力方向制御(ビット0~7)を行います。
- ・出力形式はユーザオプションにより、Nchオープンドレイン出力か、CMOS出力ポートとなります。
- ・プログラマブル・プルアップ抵抗が各ポートに付いています。

##### ②レジスタ構成

ポートAを制御するには、次に示す特殊機能レジスタを操作する必要があります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE68	0000 0000	R/W	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
FE69	0000 0000	R/W	PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
FE6B	0000 0000	R/W	PAFCR	PA7FCR	PA6FCR	PA5FCR	PA4FCR	PA3FCR	PA2FCR	PA1FCR	PA0FCR

#### 3-7-3 関連レジスタ

##### 3-7-3-1 ポートAデータラッチ(PA)

- ①ポートAの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとPA0~PA7の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でPA(FE68)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポートAのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE68	0000 0000	R/W	PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0

##### 3-7-3-2 ポートAデータディレクションレジスタ(PADDR)

- ①ポートAの入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットPAnDDRが“1”の時、ポートPAnは出力モードになり、ビットPAnDDRが“0”の時、ポートPAnは入力モードになります。
- ②ビットPAnDDRが“0”で、ポートAデータラッチのビットPAnが“1”の時、ポートPAnはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE69	0000 0000	R/W	PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR

レジスタデータ		ポートPAnの状態		内蔵プルアップ抵抗
PAn	PAnDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャンネルオープンドレイン)	OFF

### 3-7-3-3 ポートA機能制御レジスタ(PAFCR)

①ポートAの兼用出力の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE6B	0000 0000	R/W	PAFCR	PA7FCR	PA6FCR	PA5FCR	PA4FCR	PA3FCR	PA2FCR	PA1FCR	PA0FCR

n	PAnFCR	PAn	出力モード(PAnDDR=1)の時のPAn端子データ
7	0	—	ポートデータラッチ(PA7)の値
	1	0	PWM1データ
	1	1	HIGH出力
6	0	—	ポートデータラッチ(PA6)の値
	1	0	PWM1データ
	1	1	HIGH出力
5	0	—	ポートデータラッチ(PA5)の値
	1	0	PWM1データ
	1	1	HIGH出力
4	0	—	ポートデータラッチ(PA4)の値
	1	0	PWM1データ
	1	1	HIGH出力
3	0	—	ポートデータラッチ(PA3)の値
	1	0	PWM0データ
	1	1	HIGH出力
2	0	—	ポートデータラッチ(PA2)の値
	1	0	PWM0データ
	1	1	HIGH出力
1	0	—	ポートデータラッチ(PA1)の値
	1	0	PWM0データ
	1	1	HIGH出力
0	0	—	ポートデータラッチ(PA0)の値
	1	0	PWM0データ
	1	1	HIGH出力

尚、オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

### 3-7-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ②Nチャンネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

### 3-7-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## PORTS

### 3-8 ポートB

#### 3-8-1 概要

ポートBは、8ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。またAN8～AN15入力として使用できます。CMOS出力かNchオープンドレイン出力かのユーザオプションをビット毎に設定できます。

#### 3-8-2 機能

##### ①入出力ポート(8ビット:PB0～PB7)

- ・ポートBデータ制御レジスタ(PB:FE6C)の8ビットで、ポート出力データの制御を行います。
- ・ポートB入出力切換制御レジスタ(PBDDR:FE6D)の8ビットで、ビット毎の入出力方向を制御します。
- ・出力形式はユーザオプションにより、Nchオープンドレイン出力か、CMOS出力ポートとなります。
- ・プログラマブル・プルアップ抵抗が各ポートに付いています。

##### ②レジスタ構成

ポートBを制御するには、次に示す特殊機能レジスタを操作する必要があります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE6C	0000 0000	R/W	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
FE6D	0000 0000	R/W	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR

#### 3-8-3 関連レジスタ

##### 3-8-3-1 ポートBデータラッチ(PB)

- ①ポートBの出力データの制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとPB0～PB7の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でPB(FE6C)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポートBのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE6C	0000 0000	R/W	PB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0

##### 3-8-3-2 ポートBデータディレクションレジスタ(PBDDR)

- ①ポートBの入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットPBnDDRが“1”の時、ポートPBnは出力モードになり、ビットPBnDDRが“0”の時、ポートPBnは入力モードになります。
- ②ビットPBnDDRが“0”で、ポートBデータラッチのビットPBnが“1”の時、ポートPBnはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE6D	0000 0000	R/W	PBDDR	PB7DDR	PB6DDR	PB6DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR

レジスタデータ		ポートPBnの状態		内蔵プルアップ抵抗
PBn	PBnDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

### 3-8-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ① CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ② Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

### 3-8-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## PORTS

### 3-9 ポートC

#### 3-9-1 概要

ポートCは、8ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。

CMOS出力かNchオープンドレイン出力かのユーザオプションをビット毎に設定できます。

#### 3-9-2 機能

##### ①入出力ポート(8ビット:PC0~PC7)

- ・ポートCデータ制御レジスタ(PC:FE70)の8ビットで、ポート出力データの制御を行います。
- ・ポートC入出力切換制御レジスタ(PCDDR:FE71)の8ビットで、ビット毎の入出力方向を制御します。
- ・出力形式はユーザオプションにより、Nchオープンドレイン出力か、CMOS出力ポートとなります。
- ・プログラマブル・プルアップ抵抗が各ポートに付いています。

##### ②レジスタ構成

ポートCを制御するには、次に示す特殊機能レジスタを操作する必要があります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE70	0000 0000	R/W	PC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
FE71	0000 0000	R/W	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR

#### 3-9-3 関連レジスタ

##### 3-9-3-1 ポートCデータラッチ(PC)

- ①ポートCの出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとPC0~PC7の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でPC(FE70)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポートCのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE70	0000 0000	R/W	PC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0

##### 3-9-3-2 ポートCデータディレクションレジスタ(PCDDR)

- ①ポートCの入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットPCnDDRが“1”の時、ポートPCnは出力モードになり、ビットPCnDDRが“0”の時、ポートPCnは入力モードになります。
- ②ビットPCnDDRが“0”で、ポートCデータラッチのビットPCnが“1”の時、ポートPCnはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE71	0000 0000	R/W	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR

レジスタデータ		ポートPCnの状態		内蔵プルアップ抵抗
PCn	PCnDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャンネルオープンドレイン)	OFF

### 3-9-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ① CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ② Nチャンネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

### 3-9-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## PORTS

### 3-10 ポートE

#### 3-10-1 概要

ポートEは、4ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。

CMOS出力かNchオープンドレイン出力かのユーザオプションをビット毎に設定できます。

#### 3-10-2 機能

##### ① 入出力ポート(4ビット:PE0~PE3)

- ・ポートEデータ制御レジスタ(PE:FE28)の4ビットで、ポート出力データの制御を行います。
- ・ポートE入出力切換制御レジスタ(PEDDR:FE29)の4ビットで、ビット毎の入出力方向を制御します。
- ・出力形式はユーザオプションにより、Nchオープンドレイン出力か、CMOS出力ポートとなります。
- ・プログラマブル・プルアップ抵抗が各ポートに付いています。

##### ②レジスタ構成

ポートCを制御するには、次に示す特殊機能レジスタを操作する必要があります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE28	HHHH 0000	R/W	PE	—	—	—	—	PE3	PE2	PE1	PE0
FE29	HHHH 0000	R/W	PEDDR	—	—	—	—	PE3DDR	PE2DDR	PE1DDR	PE0DDR

#### 3-10-3 関連レジスタ

##### 3-10-3-1 ポートEデータラッチ(PE)

- ①ポートEの出力データとプルアップ抵抗の制御を行う4ビットのレジスタです。
- ②このレジスタを命令で読むとPE0~PE3の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でPE(FE28)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポートEのデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE28	HHHH 0000	R/W	PE	—	—	—	—	PE3	PE2	PE1	PE0

##### 3-10-3-2 ポートEデータディレクションレジスタ(PEDDR)

- ①ポートEの入出力方向の制御をビット毎に行う4ビットのレジスタです。ビットPENDDRが“1”の時、ポートPENは出力モードになり、ビットPENDDRが“0”の時、ポートPENは入力モードになります。
- ②ビットPENDDRが“0”で、ポートEデータラッチのビットPENが“1”の時、ポートPENはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE29	HHHH 0000	R/W	PEDDR	—	—	—	—	PE3DDR	PE2DDR	PE1DDR	PE0DDR

レジスタデータ		ポートPEnの状態		内蔵プルアップ抵抗
PEn	PEnDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャンネルオープンドレイン)	OFF

### 3-10-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ① CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ② Nチャンネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

### 3-10-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

## 3-11 タイマ／カウンタ0 (T0)

### 3-11-1 概要

本シリーズが内蔵しているタイマ／カウンタ0 (T0) は、次の4つの機能を持った16ビットのタイマ／カウンタです。

- ①モード0: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ2個付) × 2ch
- ②モード1: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ2個付) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ2個付)
- ③モード2: プログラマブルプリスケアラ付 16ビットプログラマブルタイマ (16ビットキャプチャレジスタ2個付)
- ④モード3: 16ビットプログラマブルカウンタ (16ビットキャプチャレジスタ2個付)

### 3-11-2 機能

- ①モード0: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ2個付) × 2ch

- ・8ビットプログラマブルプリスケアラからのクロック (周期: 1 ~ 256T<sub>cyc</sub>) によって、2つの独立した8ビットプログラマブルタイマ (TOL, TOH) が動作します。
- ・P70/INT0/T0LCP, P72/INT2/T0IN/T0LCP, P20~P27タイマ0Lキャプチャ入力端子からの外部入力検出信号により、TOLの内容をキャプチャレジスタT0CALにキャプチャします。
- ・P71/INT1/T0HCP, P73/INT3/T0IN/T0HCP, P20~P27タイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOHの内容をキャプチャレジスタT0CAHにキャプチャします。

$$TOLの周期 = (TOLR + 1) \times (TOPRR + 1) \times T_{cyc}$$

$$TOHの周期 = (TOHR + 1) \times (TOPRR + 1) \times T_{cyc}$$

T<sub>cyc</sub> = サイクルクロックの周期

- ②モード1: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ2個付) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ2個付)

- ・TOLは、P72/INT2/T0IN, P73/INT3/T0IN端子からの外部入力検出信号をカウントする8ビットのプログラマブルカウンタとして動作します。
- ・TOHは、8ビットプログラマブルプリスケアラからのクロック (周期: 1 ~ 256T<sub>cyc</sub>) によって、8ビットプログラマブルタイマとして動作します。
- ・P70/INT0/T0LCP, P72/INT2/T0IN/T0LCP, P20~P27タイマ0Lキャプチャ入力端子からの外部入力検出信号により、TOLの内容をキャプチャレジスタT0CALにキャプチャします。
- ・P71/INT1/T0HCP, P73/INT3/T0IN/T0HCP, P20~P27タイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOHの内容をキャプチャレジスタT0CAHにキャプチャします。

$$TOLの周期 = (TOLR + 1)$$

$$TOHの周期 = (TOHR + 1) \times (TOPRR + 1) \times T_{cyc}$$

③モード2: プログラマブルプリスケアラ付 16ビットプログラマブルタイマ(16ビットキャプチャレジスタ2個付)

- ・8ビットプログラマブルプリスケアラからのクロック(周期:1~256Tcyc)によって、16ビットプログラマブルタイマとして動作します。
- ・P71/INT1/TOHCP, P73/INT3/TOIN, P20~P27タイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOL, TOHの内容をキャプチャレジスタTOCAL, TOCAHに同時にキャプチャします。

$$T0の周期 = ([TOHR, TOLR] + 1) \times (TOPRR + 1) \times Tcyc$$

16ビット

④モード3: 16ビットプログラマブルカウンタ(16ビットキャプチャレジスタ2個付)

- ・P72/INT2/TOIN, P73/INT3/TOIN端子からの外部入力検出信号をカウントする16ビットのプログラマブルカウンタとして動作します。
- ・P71/INT1/TOHCP, P73/INT3/TOIN, P20~P27タイマ0Hキャプチャ入力端子からの外部入力検出信号により、TOL, TOHの内容をキャプチャレジスタTOCAL, TOCAHに同時にキャプチャします。

$$T0の周期 = [TOHR, TOLR] + 1$$

16ビット

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマ/カウンタTOLまたはTOHのカウンタ周期で、TOLまたはTOH割り込み要求を発生します。

⑥タイマ/カウンタ0(T0)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・TOCNT, TOPRR, TOL, TOH, TOLR, TOHR, P7, ISL, IO1CR, I23C

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	TOCNT	TOHRUN	TOLRUN	TOLONG	TOLEXT	TOHCMP	TOHIE	TOLCMP	TOLIE
FE11	0000 0000	R/W	TOPRR	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0

### 3-11-3 回路構成

#### 3-11-3-1 タイマ/カウンタ0制御レジスタ(TOCNT) (8ビットレジスタ)

①TOL, TOHの動作, 割り込みの制御を行います。

#### 3-11-3-2 プログラマブルプリスケアラ一致レジスタ(TOPRR) (8ビットレジスタ)

①プログラマブルプリスケアラの一致データ格納用レジスタです。

## T0

### 3-11-3-3 プログラマブルプリスケーラ (8ビットカウンタ)

- ①動作開始/停止: ホールドモード以外で動作する。
- ②カウントクロック: サイクルクロック(周期 = 1Tcyc)。
- ③一致信号: カウント値がレジスタTOPRRの値と一致すると一致信号を発生する。  
(周期: 1~256Tcyc)
- ④リセット: 一致信号の発生またはTOPRRへデータの書き込みにより、カウンタが0からカウントし始める。

### 3-11-3-4 タイマ/カウンタ0下位 (TOL) (8ビットカウンタ)

- ①動作開始/停止: TOLRUN(タイマ0制御レジスタのビット6)の0/1により、停止/動作が制御されます。
- ②カウントクロック: TOLEXT(タイマ0制御レジスタのビット4)の0/1により、プリスケーラ的一致信号/外部信号を選択します。
- ③一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。  
(16ビットモード時は、16ビットデータ的一致が必要)
- ④リセット: 動作停止時、または一致信号の発生時。

### 3-11-3-5 タイマ/カウンタ0上位 (TOH) (8ビットカウンタ)

- ①動作開始/停止: TOHRUN(タイマ0制御レジスタのビット7)の0/1により、停止/動作が制御されます。
- ②カウントクロック: TOLONG(タイマ0制御レジスタのビット5)の0/1により、プリスケーラ的一致信号/TOL的一致信号を選択します。
- ③一致信号: カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。  
(16ビットモード時は、16ビットデータ的一致が必要)
- ④リセット: 動作停止時、または一致信号の発生時。

### 3-11-3-6 タイマ/カウンタ0一致データレジスタ下位 (TOLR) (一致バッファレジスタ付8ビットレジスタ)

- ①TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータ的一致が必要)
- ②一致バッファレジスタの更新は以下に行われます。
  - ・非動作時(TOLRUN=0)には、TOLRと一致レジスタは同値となる。
  - ・動作時(TOLRUN=1)には、一致バッファレジスタは一致信号の発生時にTOLRの内容をロードする。

### 3-11-3-7 タイマ/カウンタ0一致データレジスタ上位 (TOHR) (一致バッファレジスタ付8ビットレジスタ)

- ①TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータ的一致が必要)
- ②一致バッファレジスタの更新は以下に行われます。
  - ・非動作時(TOHRUN=0)には、TOHRと一致レジスタは同値となる。
  - ・動作時(TOHRUN=1)には、一致バッファレジスタは一致信号の発生時にTOHRの内容をロードする。

### 3-11-3-8 タイマ/カウンタ0キャプチャレジスタ下位 (TOCAL) (8ビットレジスタ)

①キャプチャクロック:

TOLONG (タイマ0制御レジスタのビット5) が0の時、P70/INT0/TOLCP, P72/INT2/T0IN/TOLCP, P20~P27タイマ0Lキャプチャ入力端子からの外部入力検出信号。

TOLONG (タイマ0制御レジスタのビット5) が1の時、P71/INT1/TOHCP, P73/INT3/T0IN, P20~P27タイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ:タイマ/カウンタ0下位 (TOL) の内容。

### 3-11-3-9 タイマ/カウンタ0キャプチャレジスタ上位 (TOCAH) (8ビットレジスタ)

①キャプチャクロック:P71/INT1/TOHCP, P73/INT3/T0IN/TOHCP, P20~P27タイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ:タイマ/カウンタ0上位 (TOH) の内容。

表 3-11-1 タイマ0 (TOH, TOL) のカウントクロック

モード	TOLONG	TOLEXT	TOH のカウントクロック	TOL のカウントクロック	[TOH,TOL] のカウントクロック
0	0	0	TOPRRの一致信号	TOPRRの一致信号	—
1	0	1	TOPRRの一致信号	外部信号	—
2	1	0	—	—	TOPRRの一致信号
3	1	1	—	—	外部信号

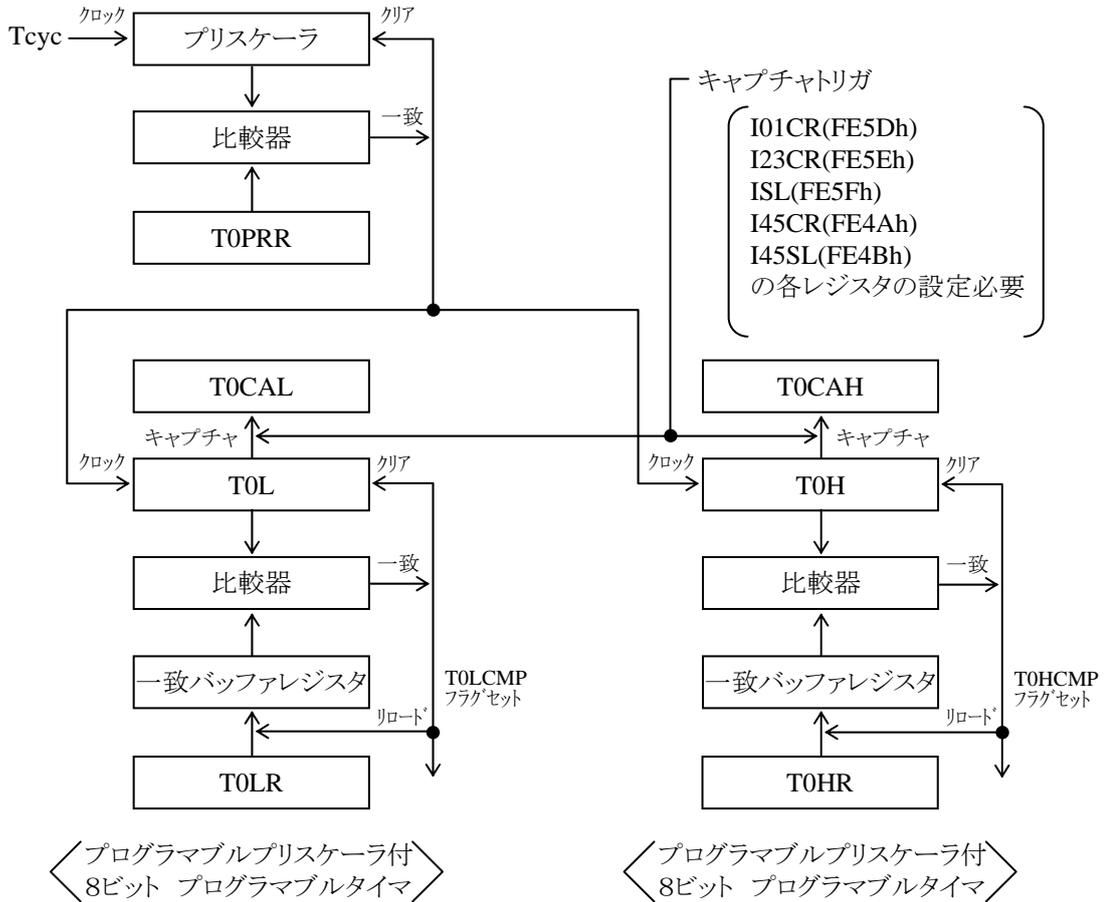


図 3-11-1 モード0 (T0LONG=0, T0LEXT=0) ブロック図

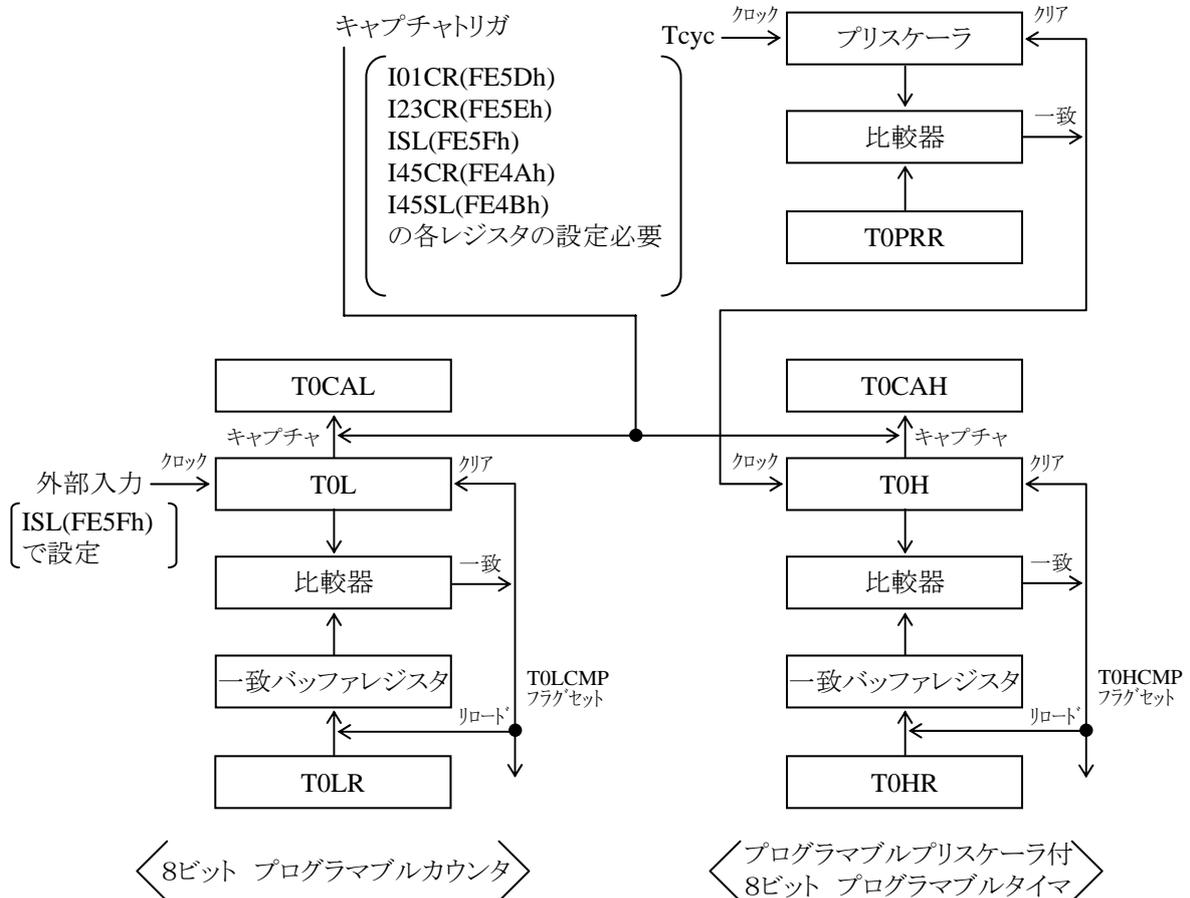


図 3-11-2 モード1 (T0LONG=0, T0LEXT=1) ブロック図

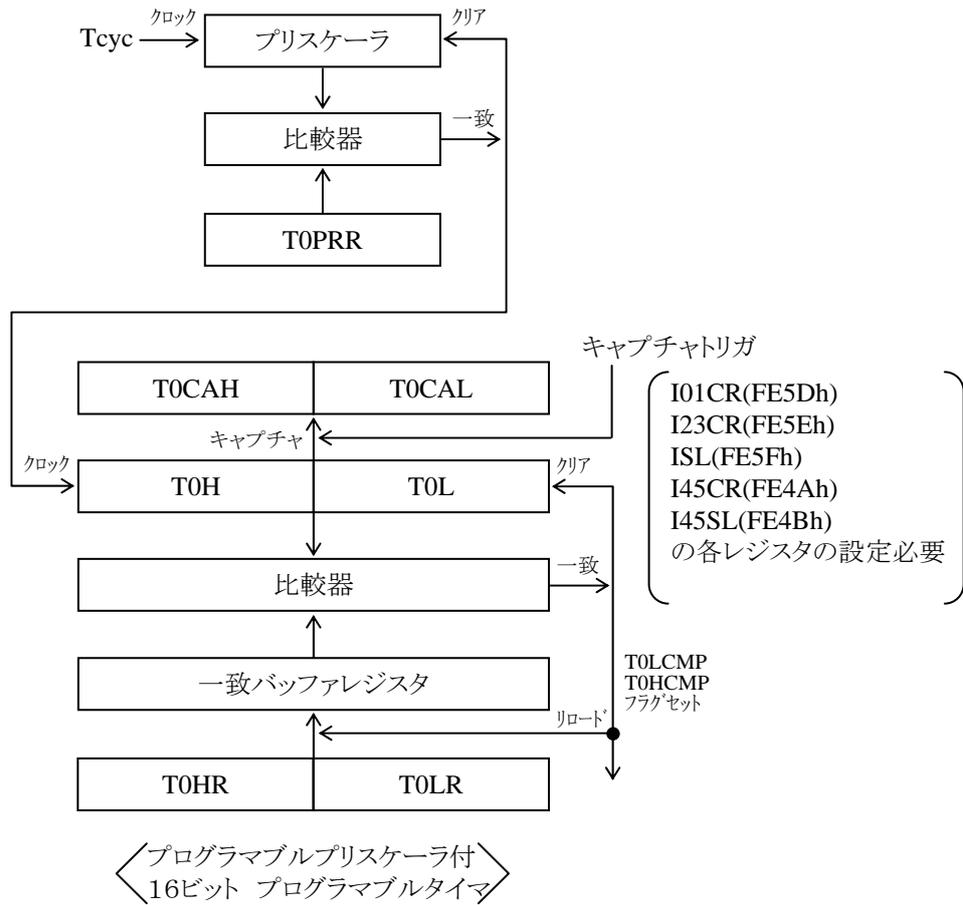


図 3-11-3 モード2 (TOLONG = 1, TOLEXT = 0) ブロック図

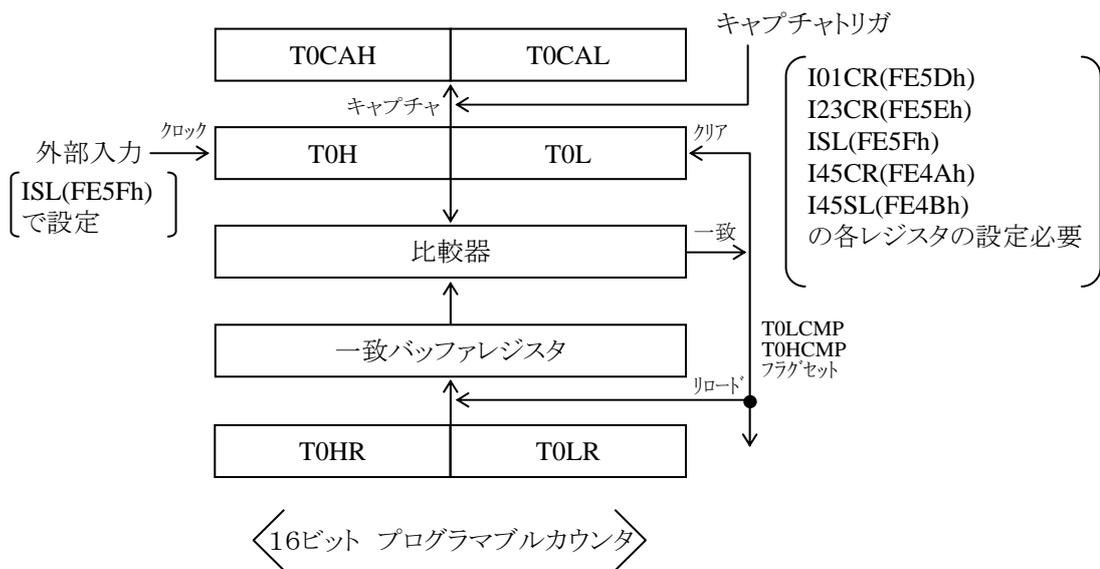


図 3-11-4 モード3 (TOLONG = 1, TOLEXT = 1) ブロック図

## T0

### 3-11-4 関連レジスタ

#### 3-11-4-1 タイマ／カウンタ0制御レジスタ(T0CNT)

①T0L, T0Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE

T0HRUN(ビット7): T0Hカウント制御

このビットが0の時タイマ／カウンタ0上位(T0H)は、カウント値0で停止し、T0Hの一致バッファレジスタ値はT0HRの値と同じです。

このビットが1の時タイマ／カウンタ0上位(T0H)は、所定のカウント動作を行います。また、T0Hの一致バッファレジスタは、一致信号の発生時にT0HRの内容をロードします。

T0LRUN(ビット6): T0Lカウント制御

このビットが0の時タイマ／カウンタ0下位(T0L)は、カウント値0で停止し、T0Lの一致バッファレジスタ値はT0LRの値と同じです。

このビットが1の時タイマ／カウンタ0下位(T0L)は、所定のカウント動作を行います。また、T0Lの一致バッファレジスタは、一致信号の発生時にT0LRの内容をロードします。

T0LONG(ビット5): タイマ／カウンタ0ビット長選択

このビットが0の時タイマ／カウンタ0は上位と下位の独立した8ビットのタイマ／カウンタとなります。

このビットが1の時タイマ／カウンタ0は16ビットのタイマ／カウンタとなります。また、T0H, T0Lで構成される16ビットのカウント値とT0H, T0Lの一致バッファレジスタの内容が一致した時に、一致信号が発生します。

T0LEXT(ビット4): T0L入力クロック選択

このビットが0の時T0Lのカウントクロックはプリスケアラの一致信号となります。

このビットが1の時T0Lのカウントクロックは外部入力信号となります。

T0HCMP(ビット3): T0H一致フラグ

T0Hが動作している(T0HRUN=1)時に、T0Hの値とT0Hの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは、命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0HIE(ビット2): T0H割り込み要求発生許可制御

このビットとT0HCMPがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

## TOLCMP (ビット1): TOL一致フラグ

TOLが動作している(TOLRUN=1)時に、TOLの値とTOLの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは命令でクリアしてください。

尚、16ビットモード(TOLONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

## TOLIE (ビット0): TOL割り込み要求発生許可制御

このビットとTOLCMPがともに1の時、ベクタアドレス0013Hへの割り込み要求が発生します。

注意:

- T0HCMP, TOLCMPは命令で0にしてください。
- 16ビットモードで使用する時は、TOLRUNとTOHRUNは同時に同じ値を設定して、動作を制御してください。
- 16ビットモードでは、TOLCMPとT0HCMPは同時にセットされます。

## 3-11-4-2 タイマ0プログラマブルプリスケアラ一致レジスタ(TOPRR)

① タイマ0プログラマブルプリスケアラ一致レジスタは、タイマ/カウンタ0のクロック周期(Tpr)の設定を行う8ビットのレジスタです。

② TOPRRにデータを書き込むと、プリスケアラのカウンタ値は0からスタートします。

③  $T_{pr} = (TOPRR + 1) \times T_{cyc}$   $T_{cyc}$  = サイクルクロックの周期

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE11	0000 0000	R/W	TOPRR	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0

## 3-11-4-3 タイマ/カウンタ0下位(TOL)

① 読み出し専用の8ビットのタイマ/カウンタです。プリスケアラの一致信号、または、外部信号をカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE12	0000 0000	R	TOL	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0

## 3-11-4-4 タイマ/カウンタ0上位(TOH)

① 読み出し専用の8ビットのタイマ/カウンタです。プリスケアラの一致信号、または、TOLのオーバーフローをカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE13	0000 0000	R	TOH	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0

## 3-11-4-5 タイマ/カウンタ0一致データレジスタ下位(TOLR)

① TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)

② 一致バッファレジスタの更新は以下のように行われます。

- 非動作時(TOLRUN=0)には、TOLRと一致レジスタは同値となる。
- 動作時(TOLRUN=1)には、一致バッファレジスタは一致信号の発生時にTOLRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE14	0000 0000	R/W	TOLR	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0

## T0

### 3-11-4-6 タイマ/カウンタ0一致データレジスタ上位 (TOHR)

- ① T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
- ・非動作時 (TOHRUN=0) には、TOHRと一致レジスタは同値となる。
  - ・動作時 (TOHRUN=1) には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE15	0000 0000	R/W	TOHR	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0

### 3-11-4-7 タイマ/カウンタ0キャプチャレジスタ下位 (TOCAL)

- ① 外部入力検出信号により、タイマ/カウンタ0下位 (T0L) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0

### 3-11-4-8 タイマ/カウンタ0キャプチャレジスタ上位 (TOCAH) (8ビットレジスタ)

- ① 外部入力検出信号により、タイマ/カウンタ0上位 (T0H) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

## 3-12 高速クロックカウンタ

### 3-12-1 概要

高速クロックカウンタは、リアルタイム出力機能を持った3ビットカウンタです。タイマ／カウンタ0と連結して使用し、合わせて11ビットまたは19ビットの高速カウンタとなります。サイクルタイムの1/6の周期のクロックまで入力できます。また、キャリービットも含めた4ビットのキャプチャレジスタを備えています。

### 3-12-2 機能

#### ①11ビットまたは19ビットプログラマブル高速カウンタ

- ・タイマ／カウンタ0下位 (T0L) 及びタイマ／カウンタ0上位 (T0H)と連結し、P72 /INT2/T0IN/NKIN端子からの外部入力信号をカウントする11ビットまたは19ビットのプログラマブル高速カウンタとして動作します。
- 連結したタイマ／カウンタ0は3ビットのカウンタのオーバーフローをカウントします。この時、タイマ0はフリーランカウンタとなります。

#### ②リアルタイム出力

- ・リアルタイム出力は、P17端子に出力されます。
- リアルタイム出力とはカウンタのカウント値が所定の値になった時に、ポートの出力をリアルタイムに変化させる機能です。出力変化はマイコンクロックと非同期に行われます。

#### ③キャプチャ動作

- ・T0L(タイマ0下位)のキャプチャ動作に同期して、NKCOV, NKCAP2-0に高速クロックカウンタ値がキャプチャされます。NKCOVは、タイマ／カウンタ0へのキャリーです。これが1の時、タイマ／カウンタ0のキャプチャ値を+1補正してください。
- NKCAP2-0は、高速クロックカウンタのキャプチャ値です。

#### ④割り込みの発生

- ・高速クロックカウンタとタイマ／カウンタ0がカウント動作を続けカウント値が“(タイマ0の一致レジスタ値+1)×8+NKCMP2~0”の値になると、所定のタイマ／カウンタ0のフラグがセットされます。この時、割り込み要求許可ビットがセットされていればT0LまたはT0H割り込み要求を発生します。

## NKカウンタ

⑤ 高速クロックカウンタを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・NKREG, P1TST, T0CNT, T0L, T0H, T0LR, T0HR, ISL, I01CR, I23CR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D	0000 0000	R/W	NKREG	NKEN	NKCMP2	NKCMP1	NKCMP0	NKCOV	NKCAP2	NKCAP1	NKCAP0
FE47	0H0H H0H0	R/W	P1TST	FIX0	-	MRCST	-	-	DSNKOT	-	FIX0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCNP	T0LIE
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN

### 3-12-3 回路構成

#### 3-12-3-1 高速クロックカウンタ制御レジスタ(NKREG) (8ビットレジスタ)

① 高速クロックカウンタの制御を行います。

スタートビット, カウント値設定ビット, カウンタ値キャプチャビットがあります。

② 動作開始/停止 : NKEN = 1 かつ タイマ/カウンタ 0 下位 (T0L) スタート

③ カウントクロック : P72/INT2/T0IN/NKIN 端子からの外部入力信号

④ リアルタイム出力 : リアルタイム出力ポートは出力モードにしてください。

NKEN (BIT7) = 0 の時、リアルタイム出力ポートは、リアルタイム出力機能を失い、ポートラッチのデータに同期します。

結果が NKEN = 1 となる値を NKREG に書き込むと、リアルタイム出力ポートはリアルタイム出力機能を回復し、出力データを保持します。この状態でポートラッチの内容を次のリアルタイム出力値に変更してください。

高速クロックカウンタがカウント動作を続け“(T0LR + 1) × 8 + NKCMP2 ~ 0 の値”のカウンタ値になると、リアルタイム出力が所定の値に変化します。この後、リアルタイム出力ポートは、リアルタイム出力機能を失い、ポートラッチのデータに同期して変化するようになります。リアルタイム出力機能を回復させるには、結果が NKEN = 1 となる値を NKREG に書き込んでください。

⑤ キャプチャクロック : T0L (タイマ 0 下位) のキャプチャクロックに同期して発生します。

#### 3-12-3-2 P1TSTレジスタ

① DSNKOUT (P1TSTレジスタのビット2) = 0 の時、リアルタイム出力機能は有効となります。

② DSNKOUT (P1TSTレジスタのビット2) = 1 の時、リアルタイム出力機能は無効となります。

この時、リアルタイム出力端子は通常のポート動作をします。

### 3-12-3-3 タイマ/カウンタ0動作

高速クロックカウンタを使用する場合、T0EXT(T0CNTのBIT4)=1に設定してください。

NKEN=1, T0LONG(T0CNTのBIT5)=0の場合、タイマ0Hは通常の動作をし、タイマ0Lは高速クロックカウンタと連結し、合わせて11ビットのフリーランカウンタとなります。NKEN=1, T0LONG(T0CNTのBIT5)=1の場合、タイマ0はNKカウンタと連結し、合わせて19ビットのフリーランカウンタとなります。

フリーランカウンタが“(タイマ0の一致レジスタ値+1)×8+NKCMP2~0の値”のカウンタ値になると、一致検出信号が発生して、所定の値のリアルタイム出力が発生し、タイマ0の一致フラグをセットします。また、新たな一致検出は、次のNKREG書き込み動作まで行われません。

これらフリーランカウンタのための一致データ値は、必ず現在のカウンタ値よりも大きい値にしてください。一致データの更新時は、タイマ0の一致レジスタを設定してからNKREGの一致レジスタ(NKCMP2~0)を書き込んでください。例え、設定値が同じでも、一致検出を開始するためにNKREGへの書き込みを行ってください。

### 3-12-4 関連レジスタ

①高速クロックカウンタの動作を制御する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D	0000 0000	R/W	NKREG	NKEN	NKCMP2	NKCMP1	NKCMP0	NKCOV	NKCAP2	NKCAP1	NKCAP0

NKEN(ビット7):カウンタ制御

0の時、NK制御回路は動作しません。

1の時、NK制御回路は動作、タイマ0の動作を切り替え、タイマ0を上位カウンタとする非同期高速カウンタとなります。このビットを1にし、タイマ0を外部クロックモードで、スタートするとカウントが始まります。

NKCMP2~0(ビット6~4):一致レジスタ

カウンタが“(タイマ0の一致レジスタ値+1)×8+NKCMP2~0の値+8”のカウンタ値になると、即座に、一致検出信号が発生して、所定の値のリアルタイム出力が発生し、タイマ0の一致フラグをセットします。この後、リアルタイム出力ポートは、リアルタイム出力機能を失い、ポートラッチのデータに同期して変化するようになります。

また、リアルタイム出力機能と一致検出動作は、次のNKREG書き込み動作まで再開しません。

NKCOV, NKCAP2~0(ビット3~0):キャプチャレジスタ

タイマ0Lのキャプチャ動作に同期して、これらのビットにNKカウンタ値がキャプチャされます。

NKCOVは、タイマ0へのキャリーです。これが1の時、タイマ0のキャプチャ値を+1補正してください。

NKCAP2~0は、NKカウンタのキャプチャ値です。

また、これらのビットはリードオンリーです。

## NKカウンタ

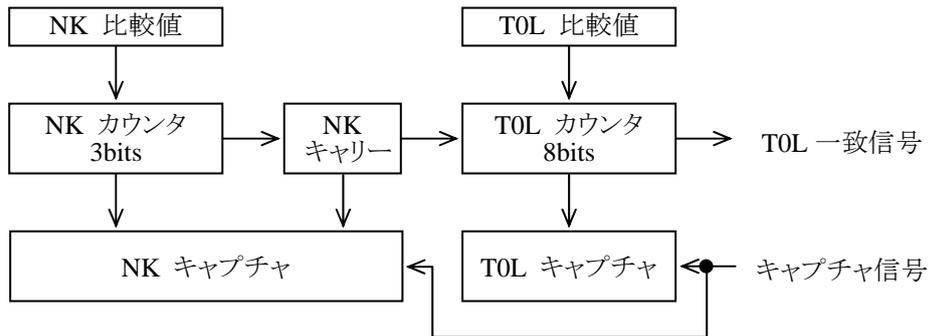


図 3-12-1 11ビットカウンタ (TOLONG=0 (タイマ0:8ビットモード)) ブロック図

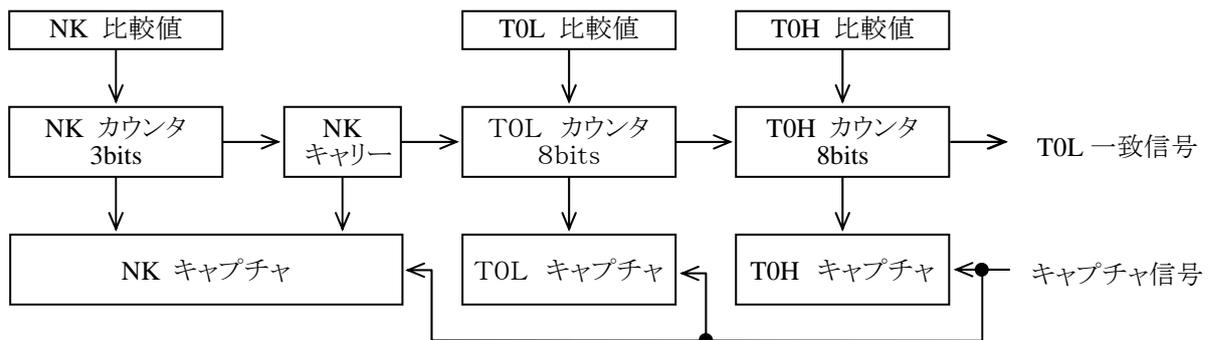


図 3-12-2 19ビットカウンタ (TOLONG=1 (タイマ0:16ビットモード)) ブロック図

## 3-13 タイマ／カウンタ1 (T1)

### 3-13-1 概要

本シリーズが内蔵しているタイマ／カウンタ1 (T1) は、次の4つの機能を持ったプリスケール付きの16ビットのタイマ／カウンタです。

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ(トグル出力付)  
+ 8ビットプログラマブルタイマ／カウンタ(トグル出力付)
- ②モード1: 8ビットプリスケール付き8ビットPWM×2ch
- ③モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ(トグル出力付)  
(下位8ビットはトグル出力付タイマ／カウンタとして使用可能)
- ④モード3: 8ビットプリスケール付き16ビットプログラマブルタイマ(トグル出力付)(下位8ビットはPWMして使用可能)

### 3-13-2 機能

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ(トグル出力付)  
+ 8ビットプログラマブルタイマ／カウンタ(トグル出力付)

- ・T1Lはサイクルクロックを2分周した信号または、外部イベントをカウントする8ビットのプログラマブルタイマ／カウンタとして動作し、T1Hはサイクルクロックを2分周した信号をカウントする8ビットのプログラマブルタイマとして動作します。
- ・サイクルクロックを2分周した信号をクロックとして、2つの独立した8ビットのプログラマブルタイマ(T1L, T1H)が動作します。
- ・T1PWML, T1PWMHは、それぞれT1L, T1Hの周期毎にトグルする信号を発生します。(注1)

T1Lの周期 =  $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times 2T_{cyc}$  または  
 $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数})$  回のイベント検出

T1PWMLの周期 = T1Lの周期 × 2

T1Hの周期 =  $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times 2T_{cyc}$

T1PWMHの周期 = T1Hの周期 × 2

- ②モード1: 8ビットプリスケール付き8ビットPWM×2ch

- ・サイクルクロックをクロックとして、2つの独立した8ビットPWM(T1PWML, T1PWMH)が動作します。

T1PWMLの周期 =  $256 \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$

T1PWMLのLOWの期間 =  $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$

T1PWMHの周期 =  $256 \times (T1HPRC \text{ 設定 カウント数}) \times T_{cyc}$

T1PWMHのLOWの期間 =  $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times T_{cyc}$

- ③モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ(トグル出力付)  
(下位8ビットはトグル出力付タイマ／カウンタとして使用可能)

- ・サイクルクロックを2分周した信号または、外部イベントをカウントするクロックとして、16ビットのプログラマブルタイマ／カウンタが動作します。また、下位8ビットタイマ(T1L)の割り込みはT1Lの周期で発生可能なので、下位8ビットを基準タイマとして使用できます。

## T1

- ・T1PWML, T1PWMHは、それぞれT1L, T1の周期毎にトグルする信号を発生します。(注1)

T1Lの周期 = (T1LR + 1) × (T1LPRC設定カウント数) × 2T<sub>cyc</sub> または  
(T1LR + 1) × (T1LPRC設定カウント数)回のイベント検出

T1PWMLの周期 = T1Lの周期 × 2

T1の周期 = (T1HR + 1) × (T1HPRC設定カウント数) × T1L周期 または  
(T1HR + 1) × (T1HPRC設定カウント数) × (T1LR + 1) × (T1LPRC設定カウント数)回のイベント検出

T1PWMHの周期 = T1の周期 × 2

- ④モード3: 8ビットプリスケアラ付き16ビットプログラマブルタイマ(トグル出力付)(下位8ビットはPWMとして使用可能)

- ・サイクルクロックをクロックとして、16ビットプログラマブルタイマが動作します。
- ・下位8ビットは周期256T<sub>cyc</sub>のPWM(T1PWML)として動作します。
- ・T1PWMHはT1の周期毎にトグルする信号を発生します。(注1)

T1PWMLの周期 = 256 × (T1LPRC設定カウント数) × T<sub>cyc</sub>

T1PWMLのLOWの期間 = (T1LR + 1) × (T1LPRC設定カウント数) × T<sub>cyc</sub>

T1の周期 = (T1HR + 1) × (T1HPRC設定カウント数) × T1PWML周期

T1PWMHの周期 = T1の周期 × 2

- ⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマT1LまたはT1Hのカウンタ周期で、T1LまたはT1H割り込み要求を発生します。

- ⑥タイマ1(T1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T1CNT, T1L, T1H, T1LR, T1HR, T1PRR
- ・P1, P1DDR, P1FCR
- ・P2, P2DDR, I45CR, I45SL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1PRC2	T1LPRC1	T1LPRC0

- (注1) T1L動作停止時、T1PWML出力はHIGH固定となり、T1L動作時、T1LR = FFHの時、T1PWML出力はLOW固定となります。また、T1H動作停止時、T1PWMH出力はHIGH固定となり、T1H動作時、T1HR = FFHの時、T1PWMH出力は、LOW固定となります。

### 3-13-3 回路構成

#### 3-13-3-1 タイマ1制御レジスタ(T1CNT) (8ビットレジスタ)

①T1L, T1Hの動作, 割り込みの制御を行います。

#### 3-13-3-2 タイマ1プリスケアラ制御レジスタ(T1PRR) (8ビットカウンタ)

①T1L, T1Hのクロックを設定します。

#### 3-13-3-3 タイマ1下位プリスケアラ (8ビットカウンタ)

①動作開始/停止:T1LRUN(タイマ1制御レジスタのビット6)の0/1により、停止/動作が制御されます。

②カウントクロック:モードにより異なります。

モード	T1LONG	T1PWM	T1Lプリスケアラのカウントクロック
0	0	0	2Tcyc/イベント(注1)
1	0	1	1Tcyc(注2)
2	1	0	2Tcyc/イベント(注1)
3	1	1	1Tcyc(注2)

(注1)外部割り込み4, 5端子選択レジスタ(I45SL)で、タイマ1のカウントクロック入力としてINT4またはINT5が指定されると、T1Lはイベントカウンタとなり、タイマ1のカウントクロック入力としてINT4とINT5の両方とも指定されないとT1Lは2Tcycをカウントクロックとするタイマとなります。

(注2)T1PWM=1の時、INT4またはINT5でタイマ1のカウントクロック入力を指定すると、正常に動作しませんので、T1PWM=1の時は、INT4とINT5ではタイマ1のカウント入力を指定しないでください。

③プリスケアラカウント数:T1PRCの値でカウント数が設定されます。

設定カウント毎にT1Lのカウントクロックを出力します。

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット:動作停止時、またはT1Lのリセット発生時。

## T1

### 3-13-3-4 タイマ1上位プリスケータ (8ビットカウンタ)

- ①動作開始／停止：T1HRUN(タイマ1制御レジスタのビット7)の0／1により、停止／動作が制御されます。
- ②カウントクロック：モードにより異なります。

モード	T1LONG	T1PWM	T1Hプリスケータのカウントクロック
0	0	0	2T <sub>cyc</sub>
1	0	1	1T <sub>cyc</sub>
2	1	0	T1Lの一致信号
3	1	1	256×(T1LPRC設定カウント数)×T <sub>cyc</sub>

- ③プリスケータカウント数：T1PRCの値でカウント数が設定されます。  
設定カウント毎にT1Hのカウントクロックを出力します。

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケータのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

- ④リセット：動作停止時、またはT1Hのリセット発生時。

### 3-13-3-5 タイマ1下位(T1L) (8ビットカウンタ)

- ①動作開始／停止：T1LRUN(タイマ1制御レジスタのビット6)の0／1により、停止／動作が制御されます。
- ②カウントクロック：T1Lプリスケータの出力クロック
- ③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
- ④リセット：動作停止時、またはモード0、2時の一致信号発生時。

### 3-13-3-6 タイマ1上位(T1H) (8ビットカウンタ)

- ①動作開始／停止：T1HRUN(タイマ制御レジスタのビット7)の0／1により、停止／動作が制御されます。
- ②カウントクロック：T1Hプリスケータの出力クロック
- ③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。
- ④リセット：動作停止時、またはモード0、2、3時の一致信号発生時。

### 3-13-3-7 タイマ1一致データレジスタ下位 (T1LR) (一致バッファレジスタ付8ビットレジスタ)

- ① T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位 (T1L) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
  - ・非動作時 (T1LRUN=0) には、T1LRと一致レジスタは同値となる。
  - ・動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

### 3-13-3-8 タイマ1一致データレジスタ上位 (T1HR) (一致バッファレジスタ付8ビットレジスタ)

- ① T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位 (T1H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
  - ・非動作時 (T1HRUN=0) には、T1HRと一致レジスタは同値となる。
  - ・動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

### 3-13-3-9 タイマ1下位出力 (T1PWML)

- ① T1L動作停止時、T1PWML出力はHIGH固定となり、T1L動作時、T1LR=FFHの時、T1PWML出力はLOW固定となります。
- ② T1PWM (タイマ0制御レジスタのビット4) が0の時、T1Lの一致信号で変化するトグル出力。
- ③ T1PWM (タイマ0制御レジスタのビット4) が1の時、T1Lのオーバーフローでクリアされ、一致信号でセットされるPWM出力。

### 3-13-3-10 タイマ1上位出力 (T1PWMH)

- ① T1H動作停止時、T1PWMH出力はHIGH固定となり、T1H動作時、T1HR=FFHの時、T1PWMH出力はLOW固定となります。
- ② T1PWM=0またはT1LONG=1の時、T1Hの一致信号で変化するトグル出力。
- ③ T1PWM=1かつT1LONG=0の時、T1Hのオーバーフローでクリアされ、一致信号でセットされるPWM出力。

T1

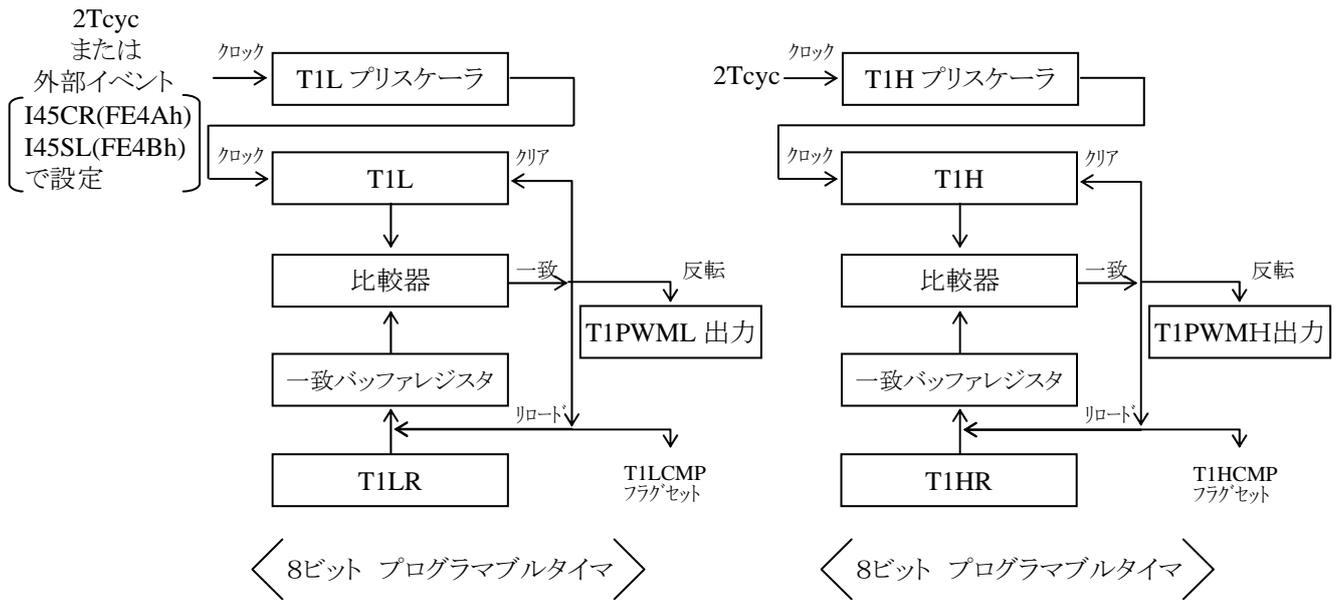


図 3-13-1 モード0 (T1LONG=0, T1PWM=0) ブロック図

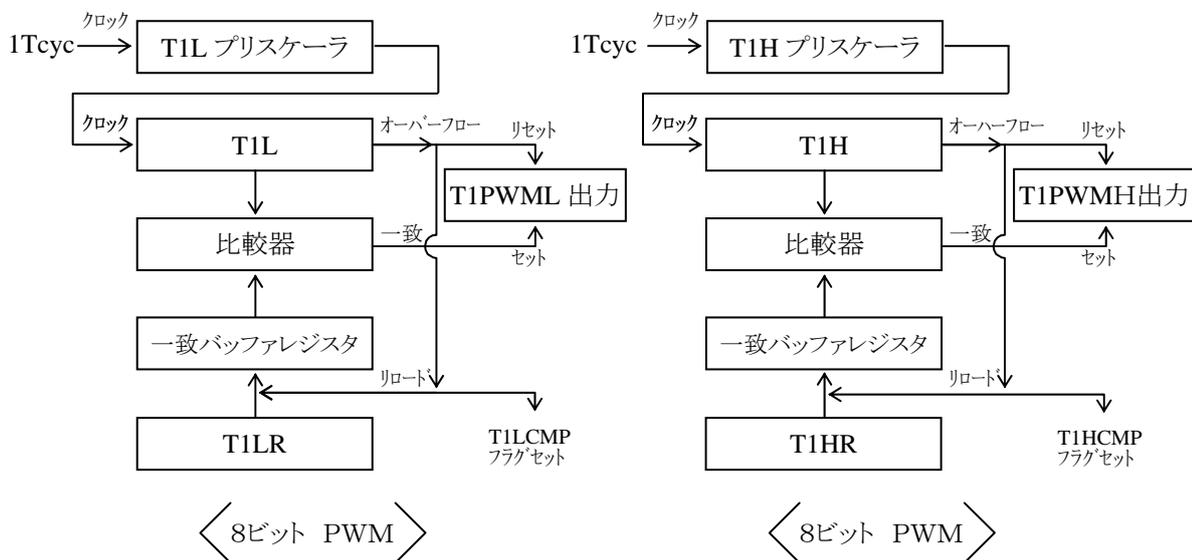


図 3-13-2 モード1 (T1LONG=0, T1PWM=1) ブロック図

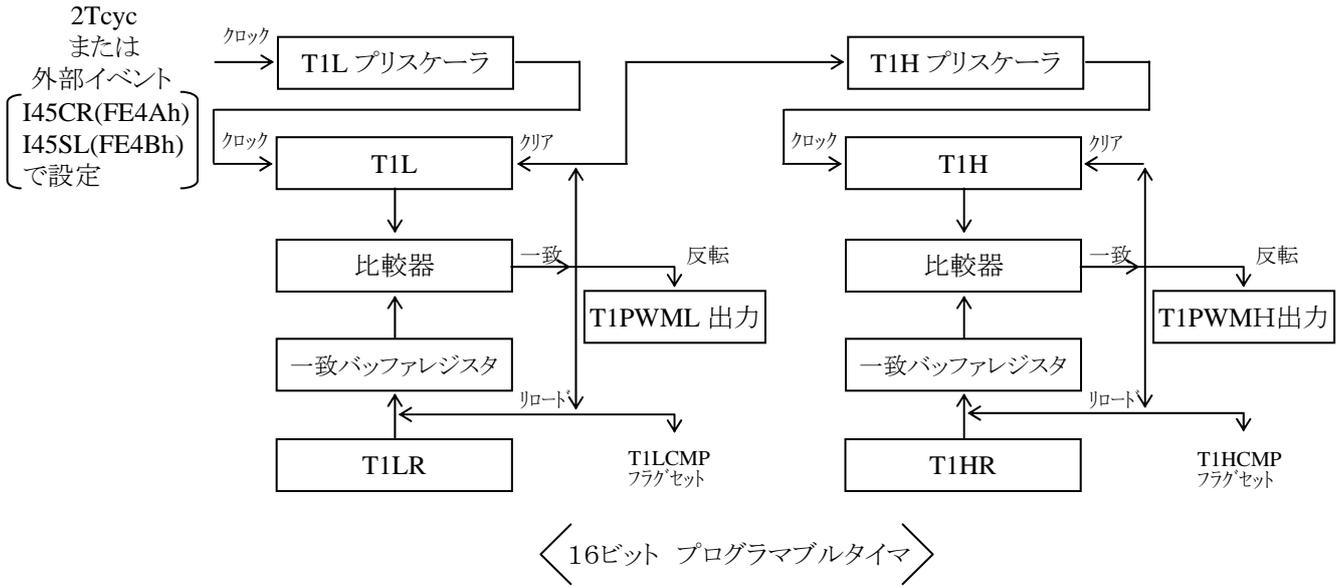


図 3-13-3 モード2 (T1LONG = 1, T1PWM = 0) ブロック図

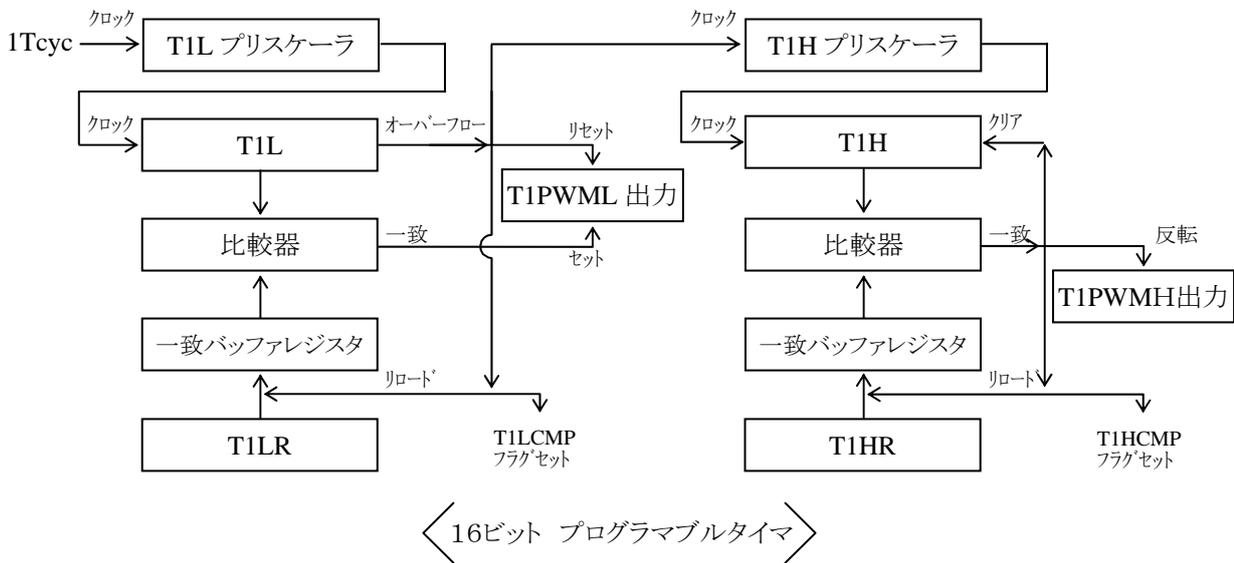


図 3-13-4 モード3 (T1LONG = 1, T1PWM = 1) ブロック図

## 3-13-4 関連レジスタ

## 3-13-4-1 タイマ1制御レジスタ(T1CNT)

①T1L, T1Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE

T1HRUN(ビット7): T1Hカウント制御

このビットが0の時タイマ1上位(T1H)は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。

このビットが1の時タイマ1上位(T1H)は、所定のカウント動作を行います。

T1LRUN(ビット6): T1Lカウント制御

このビットが0の時タイマ1下位(T1L)は、カウント値0で停止し、T1Lの一致バッファレジスタ値はT1LRの値と同じです。

このビットが1の時タイマ1下位(T1L)は、所定のカウント動作を行います。

T1LONG(ビット5): タイマ1ビット長選択

このビットが0の時タイマ1は上位と下位の独立した8ビットのタイマとなります。

このビットが1の時タイマ1上位(T1H)はタイマ1下位(T1L)の周期でカウントアップしますので、タイマ1は16ビットのタイマとなります。

また、このビットの値に関わらず、T1H, T1Lそれぞれのカウンタ値と一致バッファレジスタの内容が一致した時に、T1H, T1Lで独立に一致信号が発生します。

T1PWM(ビット4): T1出力モード選択

このビットとT1LONG(ビット5)でT1出力(T1PWMH, T1PWML)を表3-13-1のように設定します。

表3-13-1 タイマ1出力(T1PWMH, T1PWML)

モード	T1LONG	T1PWM	T1PWMH	T1PWML
0	0	0	トグル出力 周期: $(T1HR+1) \times (T1HPRC \text{ 設定カウント数}) \times 4 \times T_{cyc}$	トグル出力 周期: $(T1LR+1) \times (T1LPRC \text{ 設定カウント数}) \times 4 \times T_{cyc}$ または 周期: $2(T1LR+1) \times (T1LPRC \text{ 設定カウント数}) \text{ イベント}$
1	0	1	PWM出力 周期: $256 \times (T1HPRC \text{ 設定カウント数}) \times T_{cyc}$	PWM出力 周期: $256 \times (T1LPRC \text{ 設定カウント数}) \times T_{cyc}$
2	1	0	トグル出力 周期: $(T1HR+1) \times (T1HPRC \text{ 設定カウント数}) \times (T1PWML \text{ 周期})$ または 周期: $2(T1HR+1) \times (T1HPRC \text{ 設定カウント数}) \times (T1LR+1) \times (T1LPRC) \text{ イベント}$	トグル出力 周期: $(T1LR+1) \times (T1LPRC \text{ 設定カウント数}) \times 4 \times T_{cyc}$ または 周期: $2(T1LR+1) \times (T1LPRC \text{ 設定カウント数}) \text{ イベント}$
3	1	1	トグル出力 周期: $(T1HR+1) \times (T1HPRC \text{ 設定カウント数}) \times (T1PWML \text{ 周期}) \times 2$	PWM出力 周期: $256 \times (T1LPRC \text{ 設定カウント数}) \times T_{cyc}$

T1HCMP(ビット3): T1H一致フラグ

T1Hが動作している(T1HRUN=1)場合、T1Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1HIE(ビット2): T1H割り込み要求発生許可制御

このビットとT1HCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

T1LCMP (ビット1) : T1L一致フラグ

T1Lが動作している(T1LRUN=1)場合、T1Lが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1LIE (ビット0) : T1L割り込み要求発生許可制御

このビットとT1LCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

注意 :

- T1HCMP, T1LCMPは命令で0にしてください。

### 3-13-4-2 タイマ1プリスケアラ制御レジスタ (T1PRR)

①タイマ1プリスケアラのカウンタ数を設定します。

②タイマ動作途中でレジスタ設定値を変更した場合、そのプリスケアラカウンタ数がプリスケアラ動作に反映されるのは、タイマ(T1L, T1H)の一致バッファレジスタの更新と同一タイミングになります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0

T1HPRE (ビット7) : タイマ1上位プリスケアラ制御

T1HPRC2 (ビット6) : タイマ1上位プリスケアラ制御

T1HPRC1 (ビット5) : タイマ1上位プリスケアラ制御

T1HPRC0 (ビット4) : タイマ1上位プリスケアラ制御

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケアラのカウンタ数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

TLPRE (ビット3) : タイマ1下位プリスケアラ制御

T1LPRC2 (ビット2) : タイマ1下位プリスケアラ制御

T1LPRC1 (ビット1) : タイマ1下位プリスケアラ制御

T1LPRC0 (ビット0) : タイマ1下位プリスケアラ制御

## T1

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケーラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

### 3-13-4-3 タイマ1下位 (T1L)

①読み出し専用の8ビットのタイマです。T1Lプリスケーラの出カクロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0

### 3-13-4-4 タイマ1上位 (T1H)

①読み出し専用の8ビットのタイマです。T1Hプリスケーラの出カクロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0

### 3-13-4-5 タイマ1一致データレジスタ下位 (T1LR)

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

- ・非動作時 (T1LRUN=0) には、T1LRと一致レジスタは同値となる。
- ・動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0

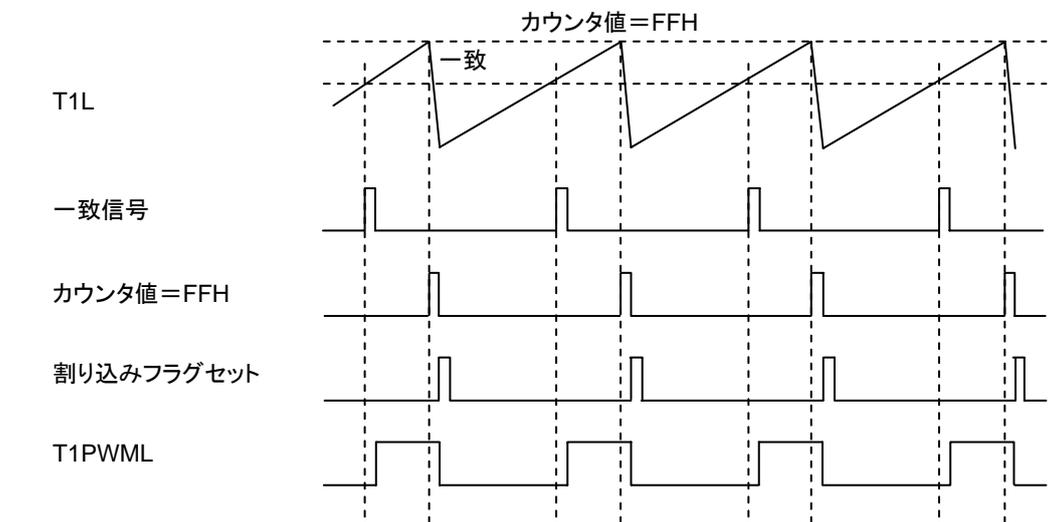
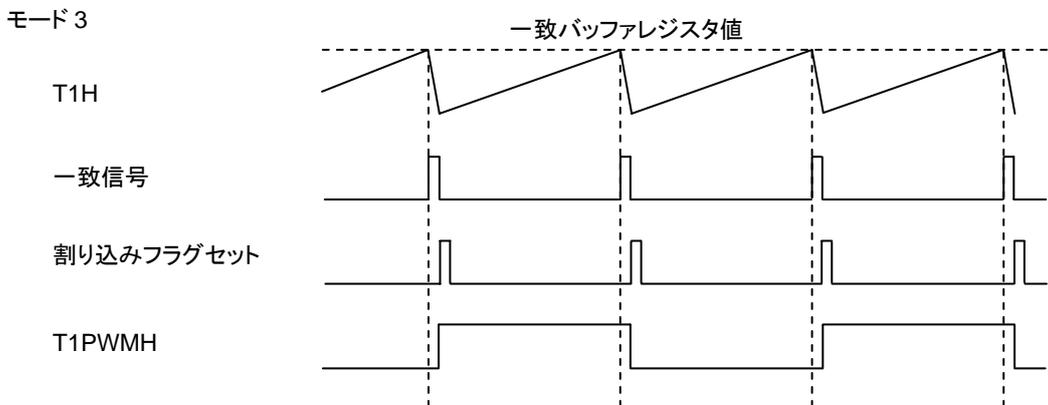
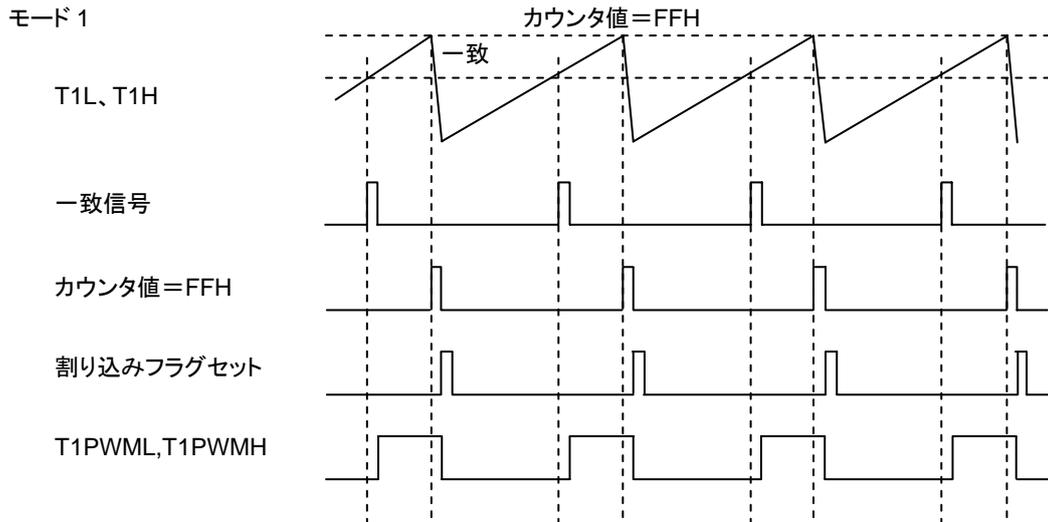
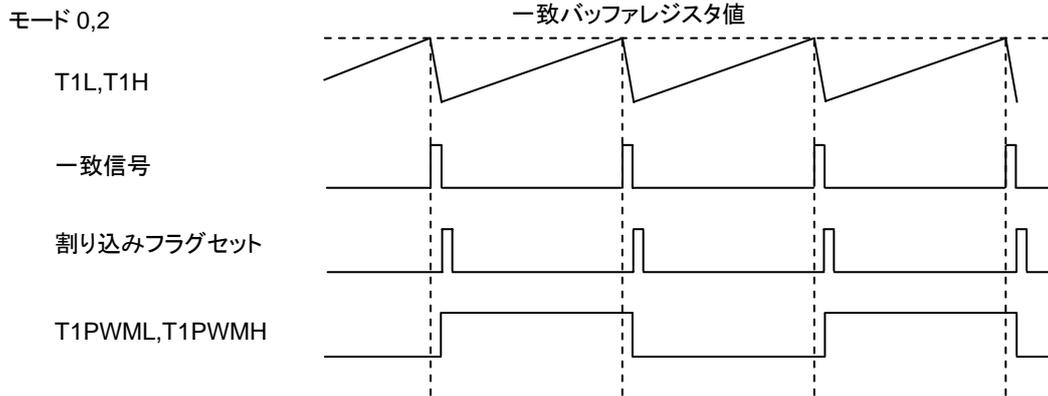
### 3-13-4-6 タイマ1一致データレジスタ上位 (T1HR)

①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

- ・非動作時 (T1HRUN=0) には、T1HRと一致レジスタは同値となる。
- ・動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0



## 3-14 タイマ4, 5 (T4, T5)

### 3-14-1 概要

本シリーズが内蔵しているタイマ4 (T4), タイマ5 (T5) は、それぞれ独立に制御される2本の6ビットプリスケアラ付8ビットタイマです。

### 3-14-2 機能

#### ①タイマ4 (T4)

タイマ4は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。

$$T4の周期 = (T4R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

#### ②タイマ5 (T5)

タイマ5は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。

$$T5の周期 = (T5R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

#### ③割り込みの発生

タイマ4またはタイマ5の周期でオーバフローフラグがセットされ、対応する割り込み要求許可ビットがセットされている場合、ベクタアドレス004Bへの割り込み要求を発生します。

#### ④タイマ4 (T4), タイマ5 (T5) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T45CNT, T4R, T5R

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3C	0000 0000	R/W	T45CNT	T5C1	T5C0	T4C1	T4C0	T5OV	T5IE	T4OV	T4IE
FE3E	0000 0000	R/W	T4R	T4R7	T4R6	T4R5	T4R4	T4R3	T4R2	T4R1	T4R0
FE3F	0000 0000	R/W	T5R	T5R7	T5R6	T5R5	T5R4	T5R3	T5R2	T5R1	T5R0

### 3-14-3 回路構成

#### 3-14-3-1 タイマ4, 5制御レジスタ (T45CNT) (8ビットレジスタ)

①T4, T5の動作, 割り込みの制御を行います。

#### 3-14-3-2 タイマ4カウンタ (T4CTR) (8ビットカウンタ)

①タイマ4プリスケアラ (T4PR) からのクロックをカウントし、タイマ4周期設定レジスタ (T4R) の値に達した次のクロックで、タイマ4カウンタ (T4CTR) の値は0になり、割り込みフラグ (T4OV) がセットされます。

②T4C0, T4C1 (T45CNT: FE3Cのビット4, 5) の値がともに0の時、タイマ4カウンタはカウント値0で停止します。これ以外の場合はタイマ4は動作を続けます。

③タイマ4動作中に、T4Rに対してデータ書き込みを行うと、タイマ4のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

### 3-14-3-3 タイマ4プリスケアラ(T4PR) (6ビットカウンタ)

①T4C0, T4C1(T45CNT:FE3Cのビット4, 5)の値でタイマ4のクロックを設定します。

表 3-14-1 タイマ4のカウントクロック

T4C1	T4C0	T4のカウントクロック
0	0	タイマ4のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

### 3-14-3-4 タイマ4周期設定レジスタ(T4R) (8ビットレジスタ)

①タイマ4の周期設定用レジスタです。

②タイマ4動作中にT4Rに対してデータ書き込みを行うと、タイマ4のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

### 3-14-3-5 タイマ5カウンタ(T5CTR) (8ビットカウンタ)

①タイマ5プリスケアラ(T5PR)からのクロックをカウントし、タイマ5周期設定レジスタ(T5R)の値に達した次のクロックで、タイマ5カウンタ(T5CTR)の値は0になり、割り込みフラグ(T5OV)がセットされます。

②T5C0, T5C1(T45CNT:FE3Cのビット6, 7)の値がともに0の時、タイマ5カウンタはカウント値0で停止します。これ以外の場合はタイマ5は動作を続けます。

③タイマ5動作中に、T5Rに対してデータ書き込みを行うと、タイマ5のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

### 3-14-3-6 タイマ5プリスケアラ(T5PR) (6ビットカウンタ)

①T5C0, T5C1(T45CNT:FE3Cのビット6, 7)の値でタイマ5のクロックを設定します。

表 3-14-2 タイマ5のカウントクロック

T5C1	T5C0	T5のカウントクロック
0	0	タイマ5のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

### 3-14-3-7 タイマ5周期設定レジスタ(T5R) (8ビットレジスタ)

①タイマ5の周期設定用レジスタです。

②タイマ5動作中にT5Rに対してデータ書き込みを行うと、タイマ5のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

## T4, T5

### 3-14-4 関連レジスタ

#### 3-14-4-1 タイマ4, 5制御レジスタ(T45CNT)

①T4, 5の動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3C	0000 0000	R/W	T45CNT	T5C1	T5C0	T4C1	T4C0	T5OV	T5IE	T4OV	T4IE

T5C1(ビット7): T5カウントクロック制御

T5C0(ビット6): T5カウントクロック制御

T5C1	T5C0	T5のカウントクロック
0	0	タイマ5のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T4C1(ビット5): T4カウントクロック制御

T4C0(ビット4): T4カウントクロック制御

T4C1	T4C0	T4のカウントクロック
0	0	タイマ4のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T5OV(ビット3): T5オーバフローフラグ

タイマ5が動作している時、タイマ5の周期毎にセットされます。  
このフラグは命令でクリアしてください。

T5IE(ビット2): T5割り込み要求発生許可制御

このビットとT5OVがともに1の時、ベクタアドレス004BHへの割り込み要求が発生します。

T4OV(ビット1): T4オーバフローフラグ

タイマ4が動作している時、タイマ4の周期毎にセットされます。  
このフラグは命令でクリアしてください。

T4IE(ビット0): T4割り込み要求発生許可制御

このビットとT4OVがともに1の時、ベクタアドレス004BHへの割り込み要求が発生します。

#### 3-14-4-2 タイマ4周期設定レジスタ(T4R)

①タイマ4の周期設定を行う8ビットのレジスタです。

タイマ4の周期 = (T4R設定値 + 1) × タイマ4プリスケアラ設定値  
(4, 16 or 64Tcyc)

②タイマ4動作中にT4Rに対してデータ書き込みを行うと、タイマ4のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3E	0000 0000	R/W	T4R	T4R7	T4R6	T4R5	T4R4	T4R3	T4R2	T4R1	T4R0

### 3-14-4-3 タイマ5周期設定レジスタ(T5R)

①タイマ5の周期設定を行う8ビットのレジスタです。

タイマ5の周期 = (T5R設定値 + 1) × タイマ5プリスケアラ設定値  
(4, 16 or 64Tcyc)

②タイマ5動作中にT5Rに対してデータ書き込みを行うと、タイマ5のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3F	0000 0000	R/W	T5R	T5R7	T5R6	T5R5	T5R4	T5R3	T5R2	T5R1	T5R0

## 3-15 タイマ6, 7 (T6, T7)

### 3-15-1 概要

本シリーズが内蔵しているタイマ6 (T6), タイマ7 (T7) は、それぞれ独立に制御される2本の6ビットプリスケアラ付8ビットタイマです。

### 3-15-2 機能

#### ①タイマ6 (T6)

タイマ6は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。また、タイマ6周期のトグル波形をP06端子に出力できます。

$$T6の周期 = (T4R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

#### ②タイマ7 (T7)

タイマ7は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。また、タイマ7周期のトグル波形をP07端子に出力できます。

$$T7の周期 = (T7R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

#### ③割り込みの発生

タイマ6またはタイマ7の周期でオーバフローフラグがセットされ、対応する割り込み要求許可ビットがセットされている場合、ベクタアドレス0043Hへの割り込み要求を発生します。

#### ④タイマ6 (T6), タイマ7 (T7)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T67CNT, T6R, T7R, P0FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE78	0000 0000	R/W	T67CNT	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE
FE7A	0000 0000	R/W	T6R	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0
FE7B	0000 0000	R/W	T7R	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0
FE42	0000 0000	R/W	P0FCR	T7OE	T6OE	P0FLG	P0IE	CLKOEN	CKODV2	CKODV1	CKODV0

### 3-15-3 回路構成

#### 3-15-3-1 タイマ6, 7制御レジスタ (T67CNT) (8ビットレジスタ)

①T6, T7の動作, 割り込みの制御を行います。

#### 3-15-3-2 タイマ6カウンタ (T6CTR) (8ビットカウンタ)

①タイマ6プリスケアラ (T6PR)からのクロックをカウントし、タイマ6周期設定レジスタ (T6R)の値に達した次のクロックで、タイマ6カウンタ (T6CTR)の値は0になり、割り込みフラグ (T6OV)がセットされます。

②T6C0, T6C1 (T67CNT:FE78のビット4, 5)の値がともに0の時、タイマ6カウンタはカウント値0で停止します。これ以外の場合はタイマ6は動作を続けます。

③タイマ6動作中に、T6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

### 3-15-3-3 タイマ6プリスケアラ(T6PR) (6ビットカウンタ)

①T6C0, T6C1(T67CNT:FE78のビット4, 5)の値でタイマ6のクロックを設定します。

表 3-15-1 タイマ6のカウントクロック

T6C1	T6C0	T6のカウントクロック
0	0	タイマ6のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

### 3-15-3-4 タイマ6周期設定レジスタ(T6R) (8ビットレジスタ)

①タイマ6の周期設定用レジスタです。

②タイマ6動作中にT6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

### 3-15-3-5 タイマ7カウンタ(T7CTR) (8ビットカウンタ)

①タイマ7プリスケアラ(T7PR)からのクロックをカウントし、タイマ7周期設定レジスタ(T7R)の値に達した次のクロックで、タイマ7カウンタ(T7CTR)の値は0になり、割り込みフラグ(T7OV)がセットされます。

②T7C0, T7C1(T67CNT:FE78のビット6, 7)の値がともに0の時、タイマ7カウンタはカウント値0で停止します。これ以外の場合はタイマ7は動作を続けます。

③タイマ7動作中に、T7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

### 3-15-3-6 タイマ7プリスケアラ(T7PR) (6ビットカウンタ)

①T7C0, T7C1(T67CNT:FE78のビット6, 7)の値でタイマ7のクロックを設定します。

表 3-15-2 タイマ7のカウントクロック

T7C1	T7C0	T7のカウントクロック
0	0	タイマ7のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

### 3-15-3-7 タイマ7周期設定レジスタ(T7R) (8ビットレジスタ)

①タイマ7の周期設定用レジスタです。

②タイマ7動作中にT7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

## T6, T7

### 3-15-4 関連レジスタ

#### 3-15-4-1 タイマ6, 7制御レジスタ(T67CNT)

①T6, 7の動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE78	0000 0000	R/W	T67CNT	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE

T7C1(ビット7): T7カウントクロック制御

T7C0(ビット6): T7カウントクロック制御

T7C1	T7C0	T7のカウントクロック
0	0	タイマ7のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T6C1(ビット5): T6カウントクロック制御

T6C0(ビット4): T6カウントクロック制御

T6C1	T6C0	T6のカウントクロック
0	0	タイマ6のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T7OV(ビット3): T7オーバフローフラグ

タイマ7が動作している時、タイマ7の周期毎にセットされます。  
このフラグは命令でクリアしてください。

T7IE(ビット2): T7割り込み要求発生許可制御

このビットとT7OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

T6OV(ビット1): T6オーバフローフラグ

タイマ6が動作している時、タイマ6の周期毎にセットされます。  
このフラグは命令でクリアしてください。

T6IE(ビット0): T6割り込み要求発生許可制御

このビットとT6OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

#### 3-15-4-2 タイマ6周期設定レジスタ(T6R)

①タイマ6の周期設定を行う8ビットのレジスタです。

タイマ6の周期 = (T6R設定値 + 1) × タイマ6プリスケアラ設定値  
(4, 16 or 64Tcyc)

②タイマ6動作中にT6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7A	0000 0000	R/W	T6R	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0

### 3-15-4-3 タイマ7周期設定レジスタ(T7R)

①タイマ7の周期設定を行う8ビットのレジスタです。

タイマ7の周期 = (T7R設定値 + 1) × タイマ7プリスケアラ設定値  
(4, 16 or 64T<sub>cyc</sub>)

②タイマ7動作中にT7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7B	0000 0000	R/W	T7R	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0

### 3-15-4-4 ポート0機能制御レジスタ(P0FCR)

①ポート0の兼用出力の制御を行う6ビットのレジスタです。タイマ6, タイマ7のトグル出力の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	0000 0000	R/W	P0FCR	T7OE	T6OE	P0FLG	P0IE	CLKOEN	CKODV2	CKODV1	CKODV0

T7OE (ビット7)

P07端子のタイマ7トグル出力の制御を行う場合に操作します。

P07が入力モードの時、このビットは無効です。

P07が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ7周期でトグルする波形とポートデータラッチのORを出力します。

T6OE (ビット6)

P06端子のタイマ6トグル出力の制御を行う場合に操作します。

P06が入力モードの時、このビットは無効です。

P06が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ6周期でトグルする波形とポートデータラッチのORを出力します。

P0FLG (ビット5)

P0IE (ビット4)

CLKOEN (ビット3)

CKODV2 (ビット2)

CKODV1 (ビット1)

CKODV0 (ビット0)

上記6ビットはタイマ6, タイマ7の制御には関係しません。

説明はポート0の章を参照してください。

## 3-16 ベースタイマ (BT)

### 3-16-1 概要

本シリーズが内蔵しているベースタイマ (BT) は、次に示す5つの機能を持った14ビットのバイナリアップカウンタです。

- ①時計用タイマ
- ②14ビットのバイナリアップカウンタ
- ③早送りモード (6ビットベースタイマ使用時)
- ④ブザー出力機能
- ⑤ホールドモード解除機能

### 3-16-2 機能

#### ①時計用タイマ

ベースタイマのカウントクロックに32.768kHzのサブクロックを使用した場合に、0.5秒間隔の計時ができます。ベースタイマのカウントクロックとして、「サイクルクロック」、「タイマ/カウンタ0のプリスケアラ出力」、「サブクロック (水晶発振 / 低速RC発振)」の3種類のうちのひとつを入力信号選択レジスタ (ISL) およびサブクロック選択レジスタ (SUBCNT) で指定します。

#### ②14ビットのバイナリアップカウンタ

8ビットのバイナリアップカウンタと6ビットのバイナリアップカウンタを用いることによって、14ビットのバイナリアップカウンタとして使用できます。これらのカウンタはプログラムでクリアできます。

#### ③早送りモード (6ビットベースタイマ使用時)

ベースタイマを6ビットで使用すると、カウントクロックに32.768kHzのサブクロックを使用した場合に、約2ms間隔の計時ができます。ビット長の切り替えは、ベースタイマ制御レジスタ (BTCR) で指定します。

#### ④ブザー出力機能

ベースタイマのカウントクロックに32.768kHzのサブクロックを使用した場合に、2kHzまたは4kHzのブザー信号を出力できます。ブザー信号出力制御は、入力信号選択レジスタ (ISL) で指定します。尚、ブザー出力はタイマ1のPWMH出力とANDされ、P17端子から出力可能です。

#### ⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、ベースタイマからの割り込み要求が発生すると、ベクタアドレス001BHへの割り込み要求が発生されます。ベースタイマからの割り込み要求には、「ベースタイマ割り込み0」と「ベースタイマ割り込み1」の2種類があります。

#### ⑥ホールドモード時の動作とホールドモードの解除機能

パワー制御レジスタ (PCON) のビット2をセットすることにより、ホールドモード時のベースタイマの動作が可能になります。また、このホールドモードの解除をベースタイマの割り込みで行うことができます。

この機能により、低消費電流間欠動作が実現できます。

⑦ ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, ISL, P1DDR, P1, P1FCR, SUBCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN
FEE1	HHH0 0000	R/W	SUBCNT	-	-	-	SL500K	SXTCNT1	SXTCNT0	SELSRC	STASRC

### 3-16-3 回路構成

#### 3-16-3-1 8ビットバイナリアップカウンタ

① 入力信号選択レジスタ(ISL)で選択された信号を入力とするアップカウンタです。  
 2kHz/4kHzのブザー出力信号やベースタイマ割り込み1フラグのセット信号などを発生します。  
 このオーバフローが6ビットバイナリカウンタのクロックとなります。

#### 3-16-3-2 6ビットバイナリアップカウンタ

① 特殊機能レジスタ(ISL)で選択された信号または8ビットカウンタのオーバフローを入力とする6ビットアップカウンタで、ベースタイマ割り込み0, 1のセット信号を発生します。入力クロックの切り替えは、ベースタイマ制御レジスタ(BTCR)で行います。

#### 3-16-3-3 ベースタイマ入力クロック源

① ベースタイマの入力クロックは、「サイクルクロック」と「タイマ0プリスケアラ」, 「サブクロック」の3種類から入力信号選択レジスタ(ISL)およびサブクロック選択レジスタ(SUBCNT)で選択します。

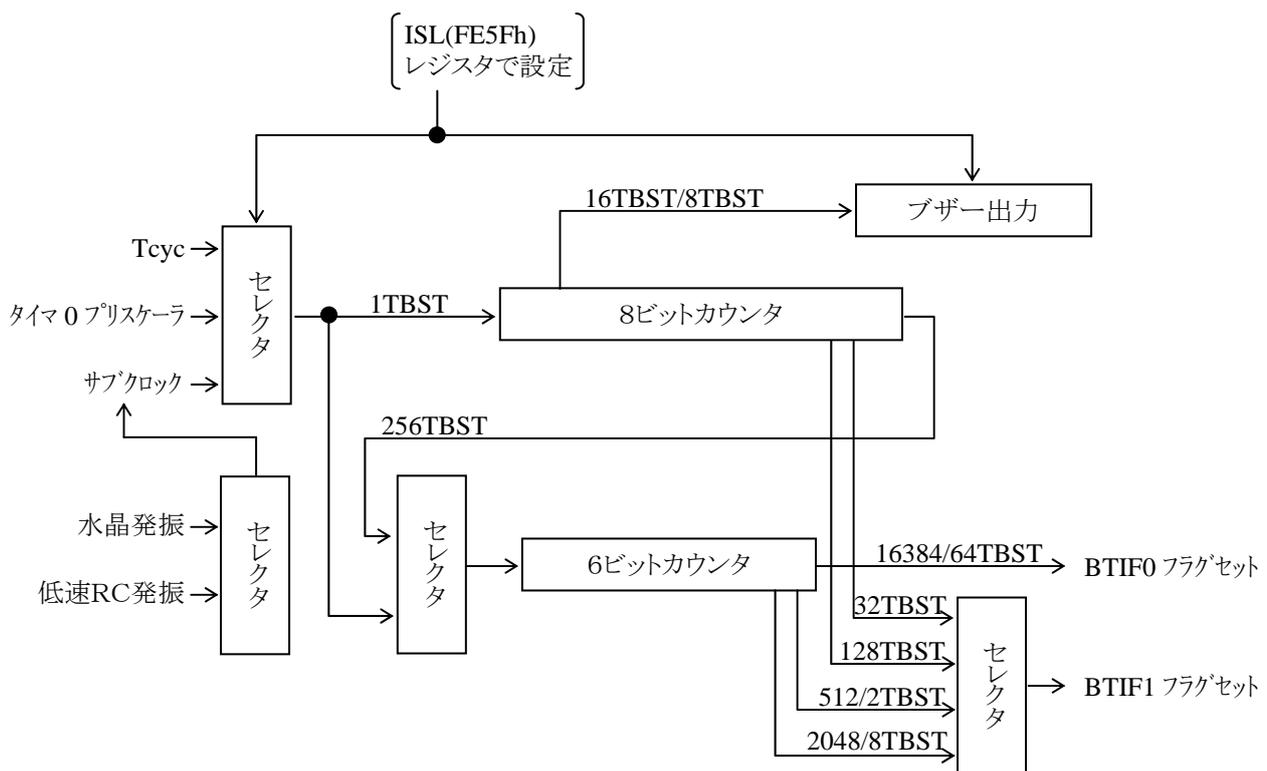


図 3-16-1: ベースタイマブロック図

## BT

### 3-16-4 関連レジスタ

#### 3-16-4-1 ベースタイマ制御レジスタ(BTCR)

① ベースタイマの動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0

BTFST (ビット7) : ベースタイマ割り込み0周期制御

ベースタイマ割り込み0要因発生の周期を選択します。

このビットが1の時、6ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。またオーバーフローの発生間隔は64/TBSTとなります。

このビットが0の時、14ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。またオーバーフローの発生間隔は16384TBSTとなります。

早送りモードを使用する場合は1を設定します。

\*TBST:入力信号選択レジスタ(ISL)で選択される入力クロック周波数

BTON (ビット6) : ベースタイマ動作制御

このビットが0の時 ベースタイマは、カウント値0で停止します。

このビットが1の時 ベースタイマは、動作を行います。

BTC11 (ビット5) : ベースタイマ割り込み1周期制御

BTC10 (ビット4) : ベースタイマ割り込み1周期制御

BTFST	BTC11	BTC10	ベースタイマ割り込み0周期	ベースタイマ割り込み1周期
0	0	0	16384TBST	32TBST
1	0	0	64TBST	32TBST
0	0	1	16384TBST	128TBST
1	0	1	64TBST	128TBST
0	1	0	16384TBST	512TBST
0	1	1	16384TBST	2048TBST
1	1	0	64TBST	2TBST
1	1	1	64TBST	8TBST

BTIF1 (ビット3) : ベースタイマ割り込み1フラグ

BTFST, BTC11, BTC10で設定されたベースタイマ割り込み1の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE1 (ビット2) : ベースタイマ割り込み1要求発生許可制御

このビットとBTIF1がともに1の時、「X'talホールドモード解除信号」と「ベクタアドレス001BHへの割り込み要求」が発生します。

BTIF0 (ビット1) : ベースタイマ割り込み0フラグ

BTFST, BTC11, BTC10で設定されたベースタイマ割り込み0の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE0(ビット0):ベースタイマ割り込み0要求発生許可制御

このビットとBTIF0がともに1の時、「X'talホールドモード解除信号」と「ベクタアドレス001BHへの割り込み要求」が発生します。

注意:

- BTBST=BTC10=1(早送りモード)ではシステムクロック、ベースタイマクロックの両方を同時にサブクロックに選択しないでください。
- BTC11, BTC10を書き換える場合に、BTIF1「1」になることがありますので注意してください。
- ベースタイマクロックソースにサイクルクロックまたは、サブクロックを選択した場合、ベースタイマを動作させたままHOLDモードにすると、HOLD解除時にメインクロックやサブクロックの発振開始時に生じる不安定な発振の影響を受けて、ベースタイマにカウンタミスが発生します。HOLDモードに入る時は、ベースタイマを止めることをお奨めします。
- 尚、本シリーズには、低消費電流間欠動作を実現する為「X'talホールドモード」があり、このモードではベースタイマ動作のみ行うことが可能です。

### 3-16-4-2 入力信号選択レジスタ(ISL)

①タイマ0の入力、ノイズフィルタの時定数、ブザー出力、ベースタイマのクロックの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

ST0HCP(ビット7):タイマ0Hキャプチャ信号入力ポート選択

ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

\*上記2ビットはベースタイマの制御には関係ありません。

BTIMC1(ビット5):ベースタイマクロック選択

BTIMC0(ビット4):ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	サブクロック
1	1	タイマ/カウンタ0のプリスケアラ出力

BUZON(ビット3):ブザー出力選択

P17FCR=1の際に、ポート17へ転送するデータ(ブザー出力/タイマ1PWMH)の選択を行います。

“1”の設定時、タイマ1PWMHの出力はHIGH固定となり、ポートP17にはベースタイマクロックを分周した信号をブザー出力として転送します。

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロックの16分周
0	1	サイクルクロックの16分周
1	0	サブクロックの8分周
1	1	タイマ/カウンタ0のプリスケアラ出力の16分周

“0”の設定時、ブザー出力はHIGH固定となり、P17にはタイマ1PWMHの出力データを転送します。

## **BT**

NFSEL(ビット2):ノイズ除去フィルタ時定数選択

NFON(ビット1):ノイズ除去フィルタ時定数選択

TOIN(ビット0):タイマ0カウントクロック入力ポート選択

\*上記3ビットはベースタイマの制御には関係ありません。

## 3-17 リアルタイムクロック(RTC)

### 3-17-1 概要

本シリーズが内蔵しているリアルタイムクロック(RTC)は、次の機能を持ちます。

- ①西暦2000年1月1日から西暦2799年12月31日までのカレンダー機能(うるう年を含む)
- ②秒, 分, 時, 日, 月, 年, 世紀の独立したカウンタ構成
- ③プログラマブルな約0~±129ppm(ステップは約1ppm)範囲のカウントクロック補正機能
- ④X'talホールドモード解除機能

### 3-17-2 機能

#### ①カウントクロック補正機能付きカレンダー

- ・世紀, 年, 月, 日, 時, 分, 秒をカウント
- ・西暦2000年1月1日から西暦2799年12月31日までのカレンダー機能(うるう年を含む)
- ・約0~±129ppm(ステップ約1ppm)のカウントクロック補正機能
- ・X'talホールドモード時にカウント動作可能

#### ②割り込みの発生

- ・割り込み要求許可ビットがセットされている場合, 日, 時, 分, 秒から選択した周期毎の割り込み要求が発生すると, ベクタアドレス001BHへの割り込み要求が発生されます。

#### ③ホールドモード時の動作とホールドモードの解除機能

パワー制御レジスタ(PCON)のビット2をセットすることにより, ホールドモード時のベータタイムとRTCの動作が可能になります。また, このホールドモードの解除をRTCの割り込みで行うことができます。

この機能により, 低消費電流間欠動作が実現できます。

#### ④RTCを制御するには, 次に示す特殊機能レジスタを操作する必要があります。

- ・RTCCNT, SECR, MINR, HOURR, DAYLR, DAYHR, DAYR, MONR, YEARR, CENR, RTCCLB
- ・BTCR, ISL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBA	0000 0000	R/W	RTCCNT	RTCRUN	RTCRRD	RTCIF	RTCIE	RTCIS1	RTCIS0	FIX0	FIX0
FEBB	HH00 0000	R/W	SECR	-	-	SECR5	SECR4	SECR3	SECR2	SECR1	SECR0
FEBC	HH00 0000	R/W	MINR	-	-	MINR5	MINR4	MINR3	MINR2	MINR1	MINR0
FEBD	HHH0 0000	R/W	HOURR	-	-	-	HOURR4	HOURR3	HOURR2	HOURR1	HOURR0
FEBE	0000 0000	R/W	DAYLR	DAYLR7	DAYLR6	DAYLR5	DAYLR4	DAYLR3	DAYLR2	DAYLR1	DAYLR0
FEBF	0000 0000	R/W	DAYHR	DAYHR7	DAYHR6	DAYHR5	DAYHR4	DAYHR3	DAYHR2	DAYHR1	DAYHR0
FEC0	HHH0 0001	R/W	DAYR	-	-	-	DAYR4	DAYR3	DAYR2	DAYR1	DAYR0
FEC1	HHHH 0001	R/W	MONR	-	-	-	-	MONR3	MONR2	MONR1	MONR0
FEC2	H000 0000	R/W	YEARR	-	YEARR6	YEARR5	YEARR4	YEARR3	YEARR2	YEARR1	YEARR0
FEC3	HHHH H000	R/W	CENR	-	-	-	-	-	CENR2	CENR1	CENR0
FEC4	0000 0000	R/W	RTCCLB	RTCFAST	RTCCLB6	RTCCLB5	RTCCLB4	RTCCLB3	RTCCLB2	RTCCLB1	RTCCLB0

## RTC

### 3-17-3 回路構成

#### 3-17-3-1 リアルタイムクロック制御レジスタ (RTCCNT) (8ビットレジスタ)

①RTCの動作の制御を行います。

#### 3-17-3-2 秒レジスタ (SECR) (6ビットレジスタ)

①RTCの“秒”の初期設定を行うレジスタです。

②RTCの動作時は秒カウンタとなり、クロック補正回路からのクロックを受けて初期設定からカウントアップします。秒のカウントを0から59まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

#### 3-17-3-3 分レジスタ (MINR) (6ビットレジスタ)

①RTCの“分”の初期設定を行うレジスタです。

②RTCの動作時は分カウンタとなり、秒カウンタの桁上がり毎に初期設定値からカウントアップします。分のカウントを0から59まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

#### 3-17-3-4 時レジスタ (HOURL) (5ビットレジスタ)

①RTCの“時”の初期設定を行うレジスタです。

②RTCの動作時は時カウンタとなり、分カウンタの桁上がり毎に初期設定値からカウントアップします。時のカウントを0から23まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

#### 3-17-3-5 日レジスタ下位 (DAYLR) (8ビットレジスタ)

①RTCの“日”(下位)の初期設定を行うレジスタです。

②RTCの動作時は日レジスタ上位と接続され16ビットの日カウンタとなり、時カウンタの桁上がり毎に初期設定値からカウントアップします。日のカウントを0から65535まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

#### 3-17-3-6 日レジスタ上位 (DAYHR) (8ビットレジスタ)

①RTCの“日”(上位)の初期設定を行うレジスタです。

②RTCの動作時は日レジスタ下位と接続され16ビットの日カウンタとなり、時カウンタの桁上がり毎に初期設定値からカウントアップします。日のカウントを0から65535まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

#### 3-17-3-7 日レジスタ (DAYR) (5ビットレジスタ)

①RTCの“日”の初期設定を行うレジスタです。

②RTCの動作時は日カウンタとなり、時カウンタの桁上がり毎に初期設定値からカウントアップします。日のカウントをMONR, YEAR, CENRの値により1から28, 29, 30または31まで行います。

③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

**3-17-3-8 月レジスタ(MONR) (4ビットレジスタ)**

- ①RTCの“月”の初期設定を行うレジスタです。
- ②RTCの動作時は月カウンタとなり、日カウンタの桁上がり毎に初期設定値からカウントアップします。月のカウントを1から12まで行います。
- ③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

**3-17-3-9 年レジスタ(YEARR) (7ビットレジスタ)**

- ①RTCの“年”の初期設定を行うレジスタです。
- ②RTCの動作時は年カウンタとなり、月カウンタの桁上がり毎に初期設定値からカウントアップします。年のカウントを0から99まで行います。
- ③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

**3-17-3-10 世紀レジスタ(CENR) (3ビットレジスタ)**

- ①RTCの“世紀”の初期設定を行うレジスタです。
- ②RTCの動作時は世紀カウンタとなり、年カウンタの桁上がり毎に初期設定値からカウントアップします。世紀のカウントを0(2000年)から7(2700年)まで行います。
- ③カウンタ動作から停止へ移行する時、レジスタは全ビットクリアされます。

**3-17-3-11 RTCカウントクロック補正レジスタ(RTCCLB) (8ビットレジスタ)**

- ①カウントクロックの補正データを格納するレジスタです。
- ②RTCCLBレジスタの下位7ビットに設定されたデータを1分に2回のペースでベースタイマのカウントから足したり引いたりし、ベースタイマのオーバーフローをコントロールしてSECRカウンタのカウントを遅めたり早めたりします。

# RTC

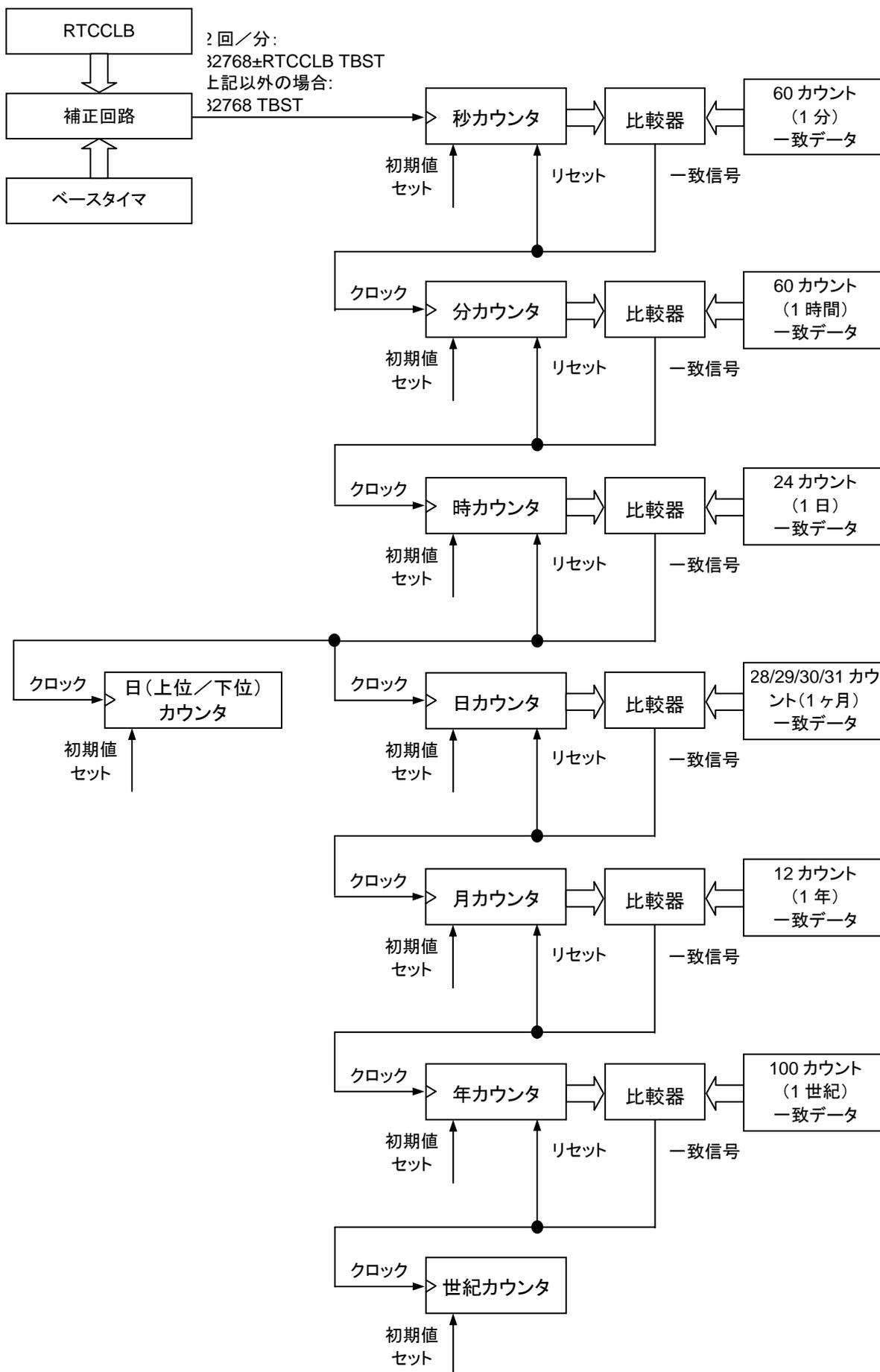


図 3-17-1 RTCの動作ブロック図

### 3-17-4 関連レジスタ

#### 3-17-4-1 RTC制御レジスタ(RTCCNT)

①RTCの動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBA	0000 0000	R/W	RTCCNT	RTCRUN	RTCRRD	RTCIF	RTCIE	RTCIS1	RTCIS0	FIX0	FIX0

RTCRUN (ビット7) : RTC動作フラグ

- ①このビットが“1”の時、RTCは動作中です。
- ②このビットが“0”の時、RTCは停止中です。

RTCRRD (ビット6) : 再読み出しフラグ

- ①RTCのカウンタに変化があった時“1”になります。
- ②時刻読み出し時に“0”にクリアし、世紀、年、月、日、時、分、秒を示すレジスタを連続的に読み出した後、このビットを読み出し“0”ならば有効な時刻になります。
- ③このビットのクリアは命令で行います。

RTCIF (ビット5) : RTC割り込みフラグ

- ①RTCIS1, RTCIS0で設定された割り込み周期毎にセットされます。
- ②このフラグは命令でクリアしてください。

RTCIE (ビット4) : RTC割り込み要求発生許可制御

このビットとRTCIFが共に“1”の時、「X'talホールドモード解除信号」と「ペクタアドレス001BHへの割り込み要求」が発生します。

RTCIS1 (ビット3) : RTC割り込み周期制御

RTCIS0 (ビット2) : RTC割り込み周期制御

RTCIS1	RTCIS0	RTC割り込み周期
0	0	秒カウンタのインクリメント毎
0	1	分カウンタのインクリメント毎
1	0	時カウンタのインクリメント毎
1	1	日カウンタのインクリメント毎

FIX0 (ビット1, 0) : テスト用ビット

- ①ビット1, 0は必ず“0”で使用してください。“1”を書き込むとRTCは正しく動作しません。

#### 3-17-4-2 秒レジスタ(SECR)

- ①RTC動作停止時: 6ビットの秒カウンタの初期設定を行います。有効設定値は0～3BHです。
- ②RTC動作時: 6ビットの秒カウンタの値を読み出すために使用します。
- ③RTC動作状態 (RTCRUN = 1) からRTC停止状態 (RTCRUN = 0) に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは0秒を表し、3BHは59秒を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBB	HH00 0000	R/W	SECR	-	-	SECR5	SECR4	SECR3	SECR2	SECR1	SECR0

## RTC

### 3-17-4-3 分レジスタ(MINR)

- ①RTC動作停止時:6ビットの分カウンタの初期設定を行います。有効設定値は0~3BHです。
- ②RTC動作時:6ビットの分カウンタの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは0分を表し、3BHは59分を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBC	HH00 0000	R/W	MINR	-	-	MINR5	MINR4	MINR3	MINR2	MINR1	MINR0

### 3-17-4-4 時レジスタ(HOURR)

- ①RTC動作停止時:5ビットの時カウンタの初期設定を行います。有効設定値は0~17Hです。
- ②RTC動作時:5ビットの時カウンタの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは0時を表し、17Hは23時を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBD	HHH0 0000	R/W	HOURR	-	-	-	HOURR4	HOURR3	HOURR2	HOURR1	HOURR0

### 3-17-4-5 日レジスタ下位(DAYLR)

- ①RTC動作停止時:16ビットの日カウンタの下位8ビットの初期設定を行います。有効設定値は0~FFHです。
- ②RTC動作時:16ビットの日カウンタの下位8ビットの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、全ビットクリアされます。
- ④DAYHRと共にレジスタ値の0000Hは0日を表し、FFFFHは65536日を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBE	0000 0000	R/W	DAYLR	DAYLR7	DAYLR6	DAYLR5	DAYLR4	DAYLR3	DAYLR2	DAYLR1	DAYLR0

### 3-17-4-6 日レジスタ上位(DAYHR)

- ①RTC動作停止時:16ビットの日カウンタの上位8ビットの初期設定を行います。有効設定値は0~FFHです。
- ②RTC動作時:16ビットの日カウンタの上位8ビットの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、全ビットクリアされます。
- ④DAYLRと共にレジスタ値の0000Hは0日を表し、FFFFHは65536日を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEBF	0000 0000	R/W	DAYHR	DAYHR7	DAYHR6	DAYHR5	DAYHR4	DAYHR3	DAYHR2	DAYHR1	DAYHR0

## 3-17-4-7 日レジスタ(DAYR)

- ①RTC動作停止時:5ビットの日カウンタの初期設定を行います。有効設定値は0～1FHです。
- ②RTC動作時:5ビットの日カウンタの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、初期値に戻ります。
- ④レジスタ値の01Hは1日を表し、1C, 1D, 1Eまたは1Fはそれぞれ28日, 29日, 30日, 31日を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC0	HHH0 0001	R/W	DAYR	-	-	-	DAYR4	DAYR3	DAYR2	DAYR1	DAYR0

表3-17-1 月と日レジスタの関係表

月	日レジスタのカウンタ
1月, 3月, 5月, 7月, 8月, 10月, 12月	01H～01FH (1日～31日)
4月, 6月, 9月, 11月	01H～01EH (1日～30日)
2月(うるう年)	01H～01DH (1日～29日)
2月(通常年)	01H～01CH (1日～28日)

※うるう年は基本的に4年に1度ですが、100で割れる年はうるう年ではなく、400で割れる年はうるう年です。

## 3-17-4-8 月レジスタ(MONR)

- ①RTC動作停止時:4ビットの月カウンタの初期設定を行います。有効設定値は0～CHです。
- ②RTC動作時:4ビットの月カウンタの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、初期値に戻ります。
- ④レジスタ値の01Hは1月を表し、CHは12月を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC1	HHHH 0001	R/W	MONR	-	-	-	-	MONR3	MONR2	MONR1	MONR0

## 3-17-4-9 年レジスタ(YEARR)

- ①RTC動作停止時:7ビットの年カウンタの初期設定を行います。有効設定値は0～63Hです。
- ②RTC動作時:7ビットの年カウンタの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の0000Hは0年を表し、63Hは99年を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC2	H000 0000	R/W	YEARR	-	YEARR6	YEARR5	YEARR4	YEARR3	YEARR2	YEARR1	YEARR0

## RTC

### 3-17-4-10 世紀レジスタ(CENR)

- ①RTC動作停止時:3ビットの世紀カウンタの初期設定を行います。有効設定値は0~3Hです。
- ②RTC動作時:3ビットの世紀カウンタの値を読み出すために使用します。
- ③RTC動作状態(RTCRUN=1)からRTC停止状態(RTCRUN=0)に移行した際、全ビットクリアされます。
- ④レジスタ値の00Hは2000年を表し、07Hは2700年を表します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC3	HHHH H000	R/W	CENR	-	-	-	-	-	CENR2	CENR1	CENR0

表3-17-2 世紀レジスタと年、うるう年の関係表

CENR2	CENR1	CENR0	年	うるう年
0	0	0	2000	○
0	0	1	2100	×
0	1	0	2200	×
0	1	1	2300	×
1	0	0	2400	○
1	0	1	2500	×
1	1	0	2600	×
1	1	1	2700	×

### 3-17-4-11 RTCカウントクロック補正レジスタ(RTCCLB)

- ①RTCのカウントクロックの補正を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEC4	0000 0000	R/W	RTCCLB	RTCFAST	RTCCLB6	RTCCLB5	RTCCLB4	RTCCLB3	RTCCLB2	RTCCLB1	RTCCLB0

RTCFAST(ビット7):プラス/マイナス補正選択ビット

- ①このビットが“1”の時、RTCのカウントクロックはマイナス補正され、結果としてRTCのカウントが早くなります。
- ②このビットが“0”の時、RTCのカウントクロックはプラス補正され、結果としてRTCのカウントが遅くなります。

RTCCLB(ビット6~0):カウントクロック補正值格納レジスタ

- ①この7ビットで設定された値が、RTCのカウントクロックの絶対値として使用されます。
- ②レジスタの設定値と実際の補正值については下記テーブル及び式を参照下さい。

表3-17-3 レジスタ設定と補正值

RTCCLB[6:0]	補正值 (単位:ppm)
00H	補正なし
01H	1.017
02H	2.035
03H	3.052
04H	4.069
05H	5.086
...	...
7FH	129.2

③ 補正值(単位:ppm)は以下の式で求められます。

補正值(単位:ppm) =  $((N_{min} \pm (RTCCLB \times 2)) / N_{min}) - 1) \times 10^6$   
 ただし、 $N_{min} = 1966080$ カウント/分(通常のベースタイムの1分間のカウント値)

### 3-17-5 RTCの動作

#### 3-17-5-1 RTCの初期化

RTCは、リセット時、全ビットが“0”(DAYRとMONRは01H)にクリアされます。カウンタ動作開始の後、カウンタを停止する時にも、全ビットが“0”(DAYRとMONRは01H)にクリアされます。

#### 3-17-5-2 RTCレジスタ設定時の注意点

SECR, MINR, HOURR, DAYLR, DAYHR, DAYR, MONR, YEARRおよびCENRレジスタを設定する場合は、RTC動作フラグ(RTCRUN)をクリアし、RTCの動作を止めてから行ってください。

RTC動作中に上記で示すレジスタの設定を行うと正しく設定されません。

#### 3-17-5-3 RTCの読み出し方法

読み出したデータの間違えを防ぐため、以下のような方法で読み出したデータを採用してください。

##### ○方法1

・SECR, MINR, HOURR, (必要であればDAYLR, DAYHR), DAYR, MONR, YEARRおよびCENRレジスタを連続して読み出したデータと2回目に連続して読み出したデータが一致していたらデータとして採用する。

##### ○方法2

・RTCRRD(RTCCNTのビット6)をクリアした後に、SECR, MINR, HOURR, (必要であればDAYLR, DAYHR), DAYR, MONR, YEARRおよびCENRレジスタを連続して読み出す。読み出し後、RTCRRDを読み、クリアされたままならデータとして採用する。

#### 3-17-5-4 水晶発振周波数の測定方法とRTCCLBレジスタの設定方法

水晶発振周波数のズレの測定方法とRTCCLBレジスタの設定方法の例を以下に示します。

- 1) 2kHzのブザー出力を行います。詳しくはベースタイムの章を参照下さい。
- 2) ブザー出力の正確な周波数を測定します。
- 3) ここで測定された周波数が1.999994kHzの場合、水晶発振の周波数のズレは-0.000006kHzとなります。マイナス符号は周波数が2kHzより遅いことを示します。よって周波数の絶対値でのズレは $(0.000006[\text{kHz}] / 2[\text{kHz}]) \times 10^6 = 3.00\text{ppm}$ となります。上記の補正テーブルを参考に3.00ppmのズレを補正するためにはRTCCLB[6:0]を03Hに設定する必要があることがわかります。また、周波数が希望の2kHzより遅いため、RTCFASBITビットを1にセットしRTCのカウントクロックを早める必要があります。よって最終的にRTCCLBには83Hを設定することになります。

## RTC

### 3-17-5-5 RTCのHALTモード時の動作

- ①HALTモード時、RTCは動作します。

### 3-17-5-6 RTCのX'tal HOLDモード時の動作

- ①X'tal HOLDモード時、RTCは動作します。

## 3-18 シリアルインタフェース0 (SIO0)

### 3-18-1 概要

本シリーズが内蔵しているシリアルインタフェース0 (SIO0) は、次の4つの機能を持ちます。

- ①同期式8ビットシリアルI/O (2線式または3線式, 転送クロック $(4/3) \sim (512/3) T_{cyc}$ )
- ②連続データ送受信 (1~256ビットのビット毎可変のデータ転送, 転送クロック $(4/3) \sim (512/3) T_{cyc}$ )
- ③バイフェーズ変調方式 (マンチェスター, Bi-phase-Space) データ送信
- ④8ビット受信によるホールドモード解除機能

### 3-18-2 機能

- ①同期式8ビットシリアルI/O
  - ・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
  - ・内部クロックの周期は $(n+1) \times (2/3) T_{cyc}$  ( $n=1 \sim 255$ , 注:  $n=0$ は禁止) の範囲で可変です。
- ②連続データ送受信
  - ・1~256ビットの任意のビット毎可変のデータ送受信を行います。転送はクロック同期式であり、内部クロックと外部クロックのどちらでも使用できます。また、バイト単位での転送途中停止・再開ができます。
  - ・内部クロックの周期は $(n+1) \times (2/3) T_{cyc}$  ( $n=1 \sim 255$ , 注:  $n=0$ は禁止) の範囲で可変です。
  - ・1~256ビットの送信データは、RAMからデータシフトレジスタ (SBUF0) へ自動転送され、受信データは、データシフトレジスタ (SBUF0) からRAMへ自動転送されます。
- ③バイフェーズ変調方式データ送信
  - ・マンチェスター方式、またはBi-phase-Space方式のバイフェーズ変調によりデータ送信することができます。
  - ・転送レートは $(n+1) \times (2/3) T_{cyc}$  ( $n=1 \sim 255$ , 注:  $n=0$ は禁止) の範囲で可変です。
  - ・1~256ビットの任意のビット毎可変のデータ送信を行います。
- ④8ビット受信によるホールドモード解除機能
  - ・8ビットのシリアル受信によりホールドモードが解除されます。
- ⑤割り込みの発生
  - ・割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求が発生します。

## SIO0

⑥シリアルインタフェース0(SIO0)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・SCON0, SBUF0, SBR0, SCTR0, SWCON0
- ・SRBUF0, SRCON0
- ・P1, P1DDR, P1FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE30	0000 0000	R/W	SCON0	SI0BNK	SI0WRT	SI0RUN	SI0CTR	SI0DIR	SI0OVR	SI0END	SI0IE
FE31	0000 0000	R/W	SBUF0	SBUF07	SBUF06	SBUF05	SBUF04	SBUF03	SBUF02	SBUF01	SBUF00
FE32	0000 0000	R/W	SBR0	SBRG07	SBRG06	SBRG05	SBRG04	SBRG03	SBRG02	SBRG01	SBRG00
FE33	0000 0000	R/W	SCTR0	SCTR07	SCTR06	SCTR05	SCTR04	SCTR03	SCTR02	SCTR01	SCTR00
FE37	0000 0000	R/W	SWCON0	S0WSTP	SI0MC1	SI0MC0	S0XBYT4	S0XBYT3	S0XBYT2	S0XBYT1	S0XBYT0
FEDD	0000 0000	R/W	SRBUF	SRBUF7	SRBUF6	SRBUF05	SRBUF4	SRBUF3	SRBUF2	SRBUF1	SRBUF0
FEDF	0000 0000	R/W	SRCON0	FIX0	FIX0	SREXEC	SRDTEN	SR0DIR	SR0OVR	SR0END	SR0IE

### 3-18-3 回路構成

#### 3-18-3-1 SIO0制御レジスタ(SCON0) (8ビットレジスタ)

①SIO0の動作, 割り込みの制御を行います。

#### 3-18-3-2 SIO0データシフトレジスタ(SBUF0) (8ビットレジスタ)

①データの出力と入力を行う8ビットシフトレジスタです。

#### 3-18-3-3 SIO0ボーレートジェネレータ(SBR0) (8ビットリロードカウンタ)

①SIO0のシリアル転送の転送レートを設定する8ビットのレジスタです。

② $(n+1) \times (2/3) T_{cyc}$  ( $n=1 \sim 255$ , 注:  $n=0$ は禁止) 周期のクロックを発生できます。

#### 3-18-3-4 連続データビットレジスタ(SCTR0) (8ビットレジスタ)

①連続データ送受信時に何ビットのデータ送受信を行うか制御するレジスタです。

#### 3-18-3-5 連続データ転送制御レジスタ(SWCON0) (8ビットレジスタ)

①連続データ送受信時にバイト単位での転送途中停止・再開の制御を行います。

②連続データ送受信時に転送済みバイト数を読み出せます。

③バイフェーズ変調データ送信のモード選択を行います。

#### 3-18-3-6 ホールドモード解除シフトレジスタ(SRBUF) (8ビットレジスタ)

①ホールドモード解除データを格納する8ビットのシフトレジスタです。

#### 3-18-3-7 SIO0ホールドモード解除制御レジスタ(SRCON0) (8ビットレジスタ)

①SIO0ホールドモード解除, 割り込みの制御を行います。

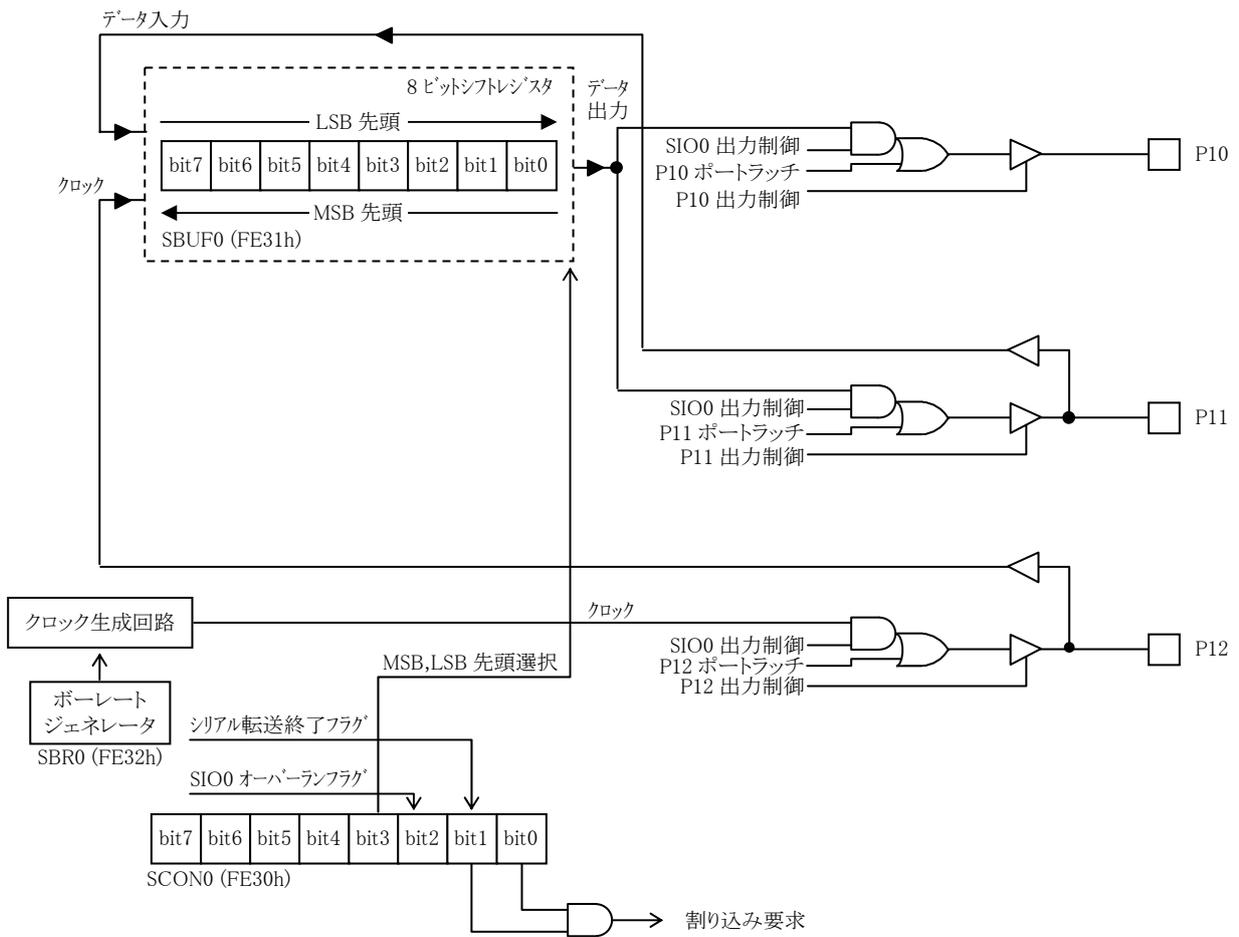


図3-18-1 SIO0 同期式8ビットシリアルI/O (SI0CTR=0)ブロック図

# SIO0

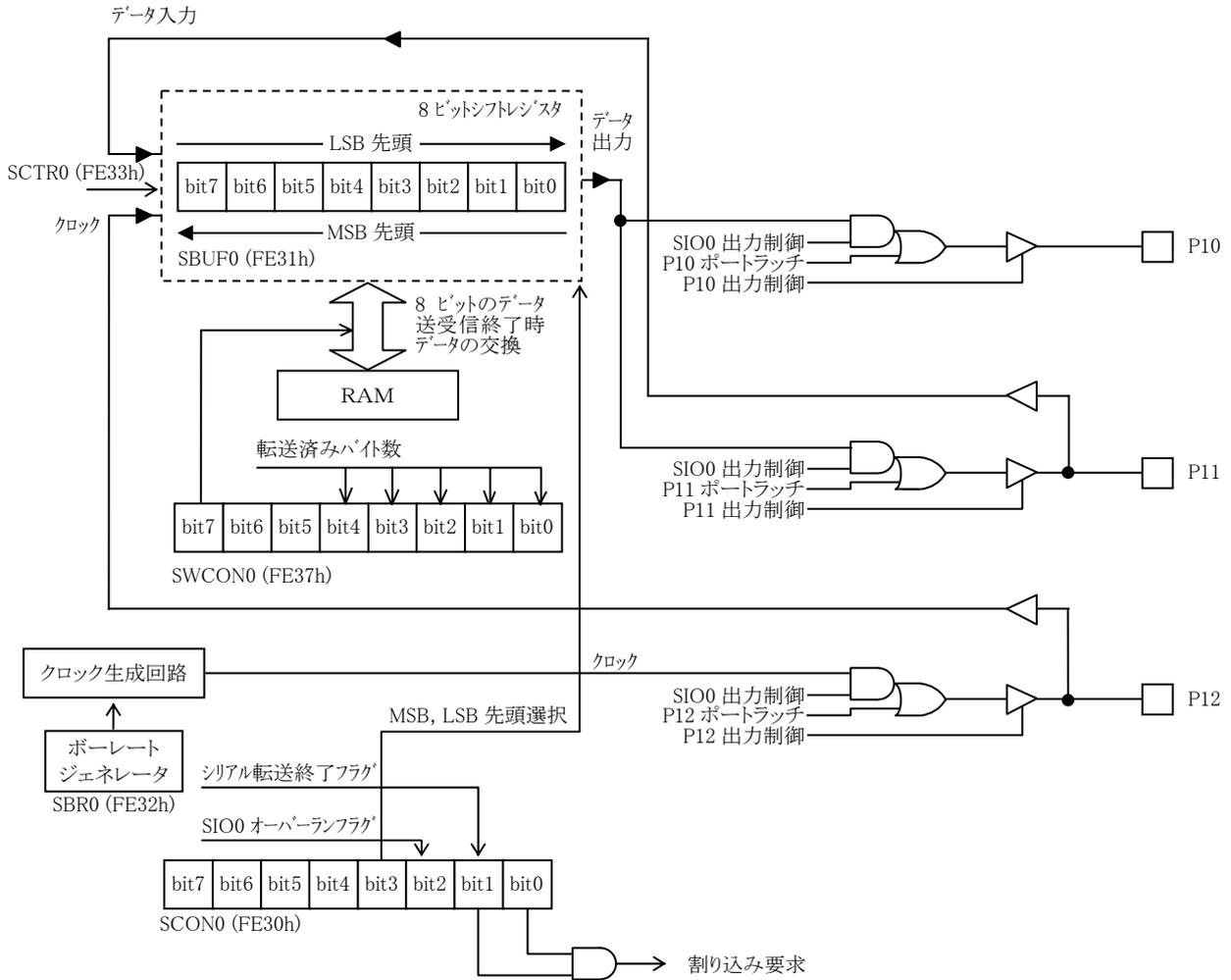


図3-18-2 SIO0連続データ送受信モード(SIOCTR=1)ブロック図

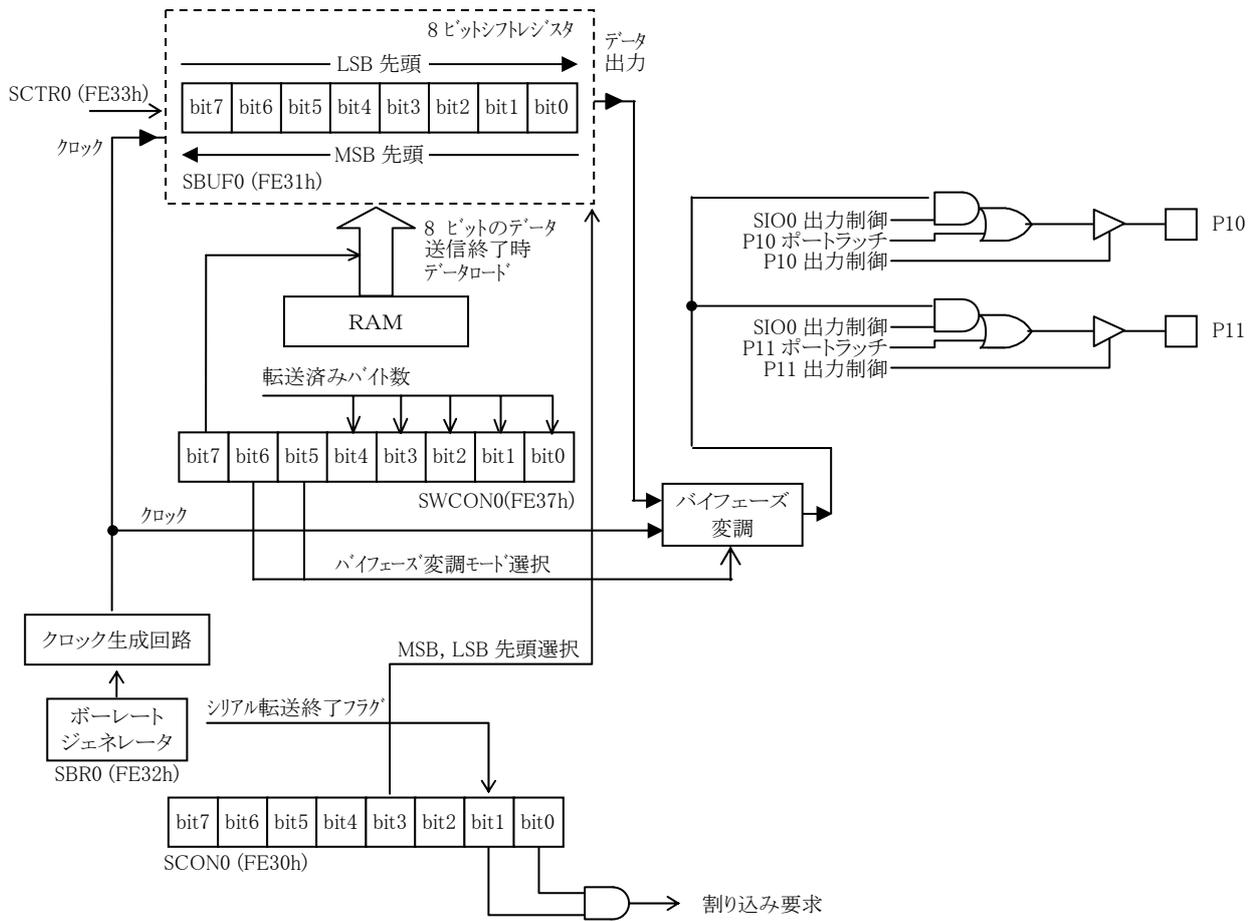


図3-18-3 SIO0バイフェーズ変調データ送信モード

# SIO0

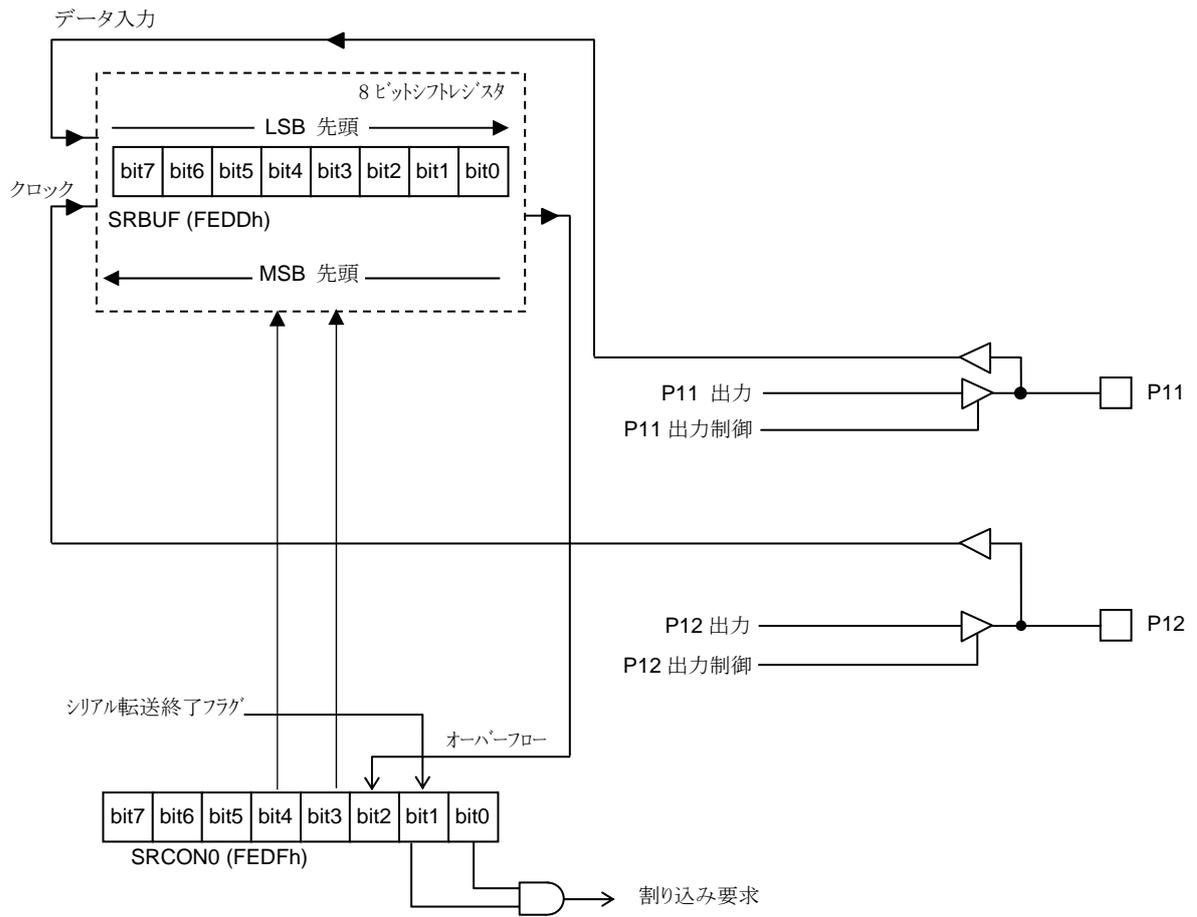


図 3-18-4 SIO0ホールドモード解除

### 3-18-4 関連レジスタ

#### 3-18-4-1 SIO0制御レジスタ(SCON0)

① SIO0の動作，割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE30	0000 0000	R/W	SCON0	SI0BNK	SI0WRT	SI0RUN	SI0CTR	SI0DIR	SI0OVR	SI0END	SI0IE

SI0BNK(ビット7):連続データ送受信時の転送RAMアドレス制御

- ① このビットが1の時、RAMアドレス(01E0[H]~01FF[H])とSBUF0間で、連続送受信データの転送が行われます。
- ② このビットが0の時、RAMアドレス(01C0[H]~01DF[H])とSBUF0間で、連続送受信データの転送が行われます。

SI0WRT(ビット6):連続データ送受信時のRAMへの書き込み制御

- ① このビットが1の時、連続データ送受信時にデータRAMとSBUF0の内容が自動的に交換されます。
- ② このビットが0の時、連続データ送受信時にデータRAMの内容はSBUF0に自動的に転送されますが、データRAMの内容は変化しません。

SI0RUN(ビット5):SIO0動作フラグ

- ① このビットが1の時、SIO0は動作中です。
- ② このビットのセットは命令で行います。
- ③ シリアル転送の終了(最終転送クロックの立ち上がり)で、自動的にこのビットがクリアされます。

SI0CTR(ビット4):SIO0連続データ送受信/同期式8ビット制御

- ① このビットが1の時、SIO0は連続データ送受信モードとなります。
- ② このビットが0の時、SIO0は同期式8ビットモードとなります。
- ③ シリアル転送の終了(最終転送クロックの立ち上がり)で、自動的にこのビットがクリアされます。

SI0DIR(ビット3):MSB/LSB先頭選択

- ① このビットが1の時、SIO0はMSB先頭となります。
- ② このビットが0の時、SIO0はLSB先頭となります。

SI0OVR(ビット2):SIO0オーバランフラグ

- ① SI0RUN=0の状態、入力クロックの立ち下がりを検出するとこのビットがセットされます。
- ② 連続データ送受信時8ビット転送毎に、内部で行うSBUF0とRAMとのデータ通信の最中に、入力クロックの立ち下がりを検出するとこのビットがセットされます。
- ③ 通信の終了時には、このビットを読んで通信が正常に行われたかどうか判断してください。
- ④ このビットのクリアは命令で行ってください。

SI0END(ビット1):シリアル転送終了フラグ

- ① シリアル転送が終了(最終転送クロックの立ち上がり)で、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

## SIO0

SIOIE(ビット0):SIO0割り込み要求発生許可制御

- ① このビットとSIOENDがともに1の時、ベクタアドレス0033Hへの割り込み要求が発生します。

### 3-18-4-2 SIO0データシフトレジスタ(SBUF0)

- ① SIO0のシリアル転送で使用する8ビットのシフトレジスタです。
- ② 送受信のデータは、このシフトレジスタに対して、直接書き込みあるいは直接読み出しされます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE31	0000 0000	R/W	SBUF0	SBUF07	SBUF06	SBUF05	SBUF04	SBUF03	SBUF02	SBUF01	SBUF00

### 3-18-4-3 ボーレートジェネレータレジスタ(SBR0)

- ① SIO0のシリアル転送の転送レートを設定する8ビットのレジスタです。
- ② 転送レートは  
$$TSBR0 = (SBR0の設定値 + 1) \times (2/3) T_{cyc}$$
  
SBR0の設定値 = 1 ~ 255 であり、TSBR0の設定範囲は、 $(4/3) \sim (512/3) T_{cyc}$  となります。  
※SBR0の設定値 = 00[H]は禁止です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE32	0000 0000	R/W	SBR0	SBRG07	SBRG06	SBRG05	SBRG04	SBRG03	SBRG02	SBRG01	SBRG00

### 3-18-4-4 連続データビットレジスタ(SCTR0)

- ① SIO0を連続データ送受信モードで使用時、何ビットのシリアルデータを連続送受信するかの設定を行うレジスタです。
- ② 設定値は 00[H] ~ FF[H] です。
- ③ 設定値を00[H]にしてスタートした場合は、データRAMがSBUF0に転送された後(SIOWRT = 1の時はRAMとSBUF0の内容の交換後)、1ビットの送受信が行われます。(転送ビット数 = SCTR0設定値 + 1)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE33	0000 0000	R/W	SCTR0	SCTR07	SCTR06	SCTR05	SCTR04	SCTR03	SCTR02	SCTR01	SCTR00

### 3-18-4-5 連続データ転送制御レジスタ(SWCON0)

- ① SIO0を連続データ送受信モードで使用時、バイト単位での転送途中停止・再開の制御、及び転送済みバイト数を読み出せるレジスタです。
- ② バイフェーズ変調データ送信のモード選択を行います。  
(ビット4~0はリードのみ可能)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE37	0000 0000	R/W	SWCON0	SOWSTP	SI0MC1	SI0MC0	S0XBYT4	S0XBYT3	S0XBYT2	S0XBYT1	S0XBYT0

SOWSTP(ビット7):転送途中停止制御フラグ

このビットを1にした時、連続転送中の1バイトデータ(転送開始から1バイト毎の分割されたデータ)を転送終了後、転送が停止します。その後、このビットを0にすると転送が再開されます。

SI0MC1(ビット6):バイフェーズ変調モード選択

SI0MC0(ビット5):バイフェーズ変調モード選択

バイフェーズ変調データ送信のモード選択を行います。

SI0MC1	SI0MC0	バイフェーズ変調モード選択
0	0	ノーマル(NRZ)
0	1	マンチェスター①
1	0	Bi-phase-Space
1	1	マンチェスター②

※マンチェスター①:最終ビットにおける前半スロット→後半スロットのデータ遷移あり。  
 ※マンチェスター②:最終ビットにおける前半スロット→後半スロットのデータ遷移なし。

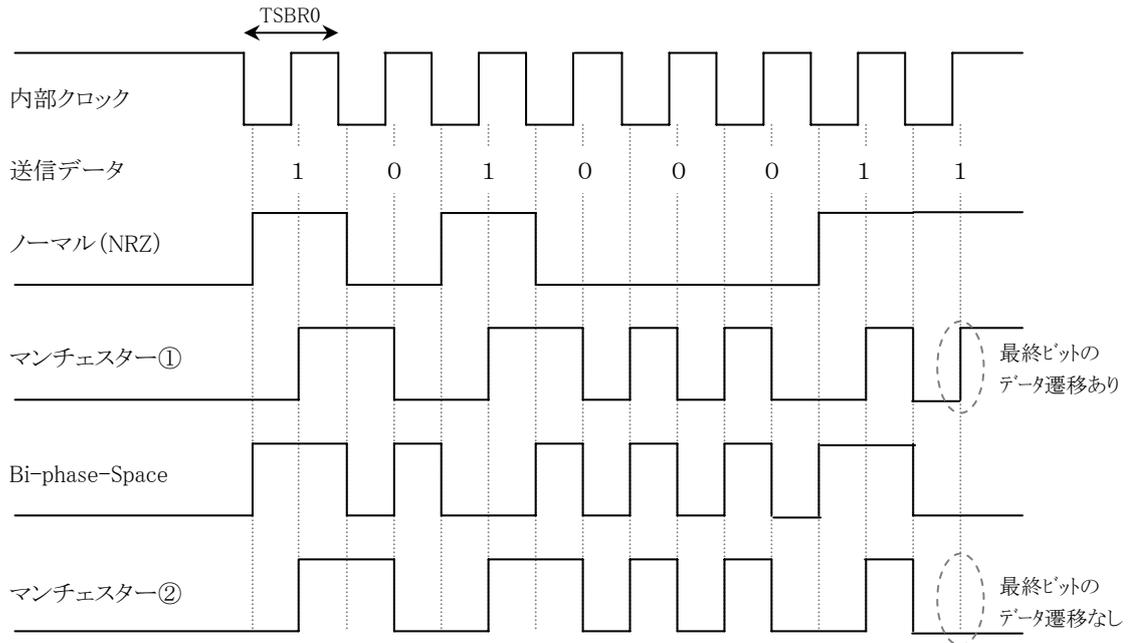


図3-18-5 バイフェーズ変調方式データ送信例

SOXBYT4~0(ビット4~0):

連続転送中にこれらのビットを読み出すと、転送済みバイト数が確認できます。

### 3-18-4-6 SIO0ホールドモード解除シフトレジスタ(SRBUF)

- ①SIO0のホールドモード解除のシリアル転送で使用する8ビットのシフトレジスタです。
- ②送受信のデータは、このシフトレジスタに対して、直接書き込みあるいは直接読み出しされます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEDD	0000 0000	R/W	SRBUF	SRBUF7	SRBUF6	SRBUF5	SRBUF4	SRBUF3	SRBUF2	SRBUF1	SRBUF0

### 3-18-4-7 SIO0ホールドモード解除制御レジスタ(SCON0)

- ①SIO0の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEDF	0000 0000	R/W	SRCON0	FIX0	FIX0	SREXEC	SRDTEN	SR0DIR	SR0OVR	SR0END	SR0IE

FIX0(ビット7, 6):テストフラグ

- ①これらのビットは常に0設定で使用してください。

## SIO0

SREXEC (ビット5) : ホールドモード解除モードフラグ

- ① このビットが1の時、ホールドモードに突入するとSIO0ホールドモード解除モードに入ります。
- ② このビットが0の時、ホールドモードに突入してもSIO0ホールドモード解除モードには入りません。
- ③ このビットのクリアは命令で行ってください。

SRDTEN (ビット4) : ホールドモード解除データ有効フラグ

- ① このビットが1の時、SRBUFにデータを格納することが出来ます。
- ② このビットが0の時、SRBUFにデータを格納することが出来ません。

SR0DIR (ビット3) : MSB/LSB先頭選択

- ① このビットが1の時、ホールドモード解除データはMSB先頭となります。
- ② このビットが0の時、ホールドモード解除データはLSB先頭となります。

SIOOVR (ビット2) : SIO0ホールドモード解除オーバランフラグ

- ① SREXEC = 1の状態 で9ビット以上のデータを受信するとこのビットがセットされます。
- ② このビットのクリアは命令で行ってください。

SROEND (ビット1) : SIO0ホールドモード解除終了フラグ

- ① 8ビットのホールドモード解除データの受信の終了で、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

SROIE (ビット0) : SIO0ホールドモード解除割り込み要求発生許可制御

- ① このビットとSROOVRがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。
- ② このビットとSROENDがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

### 3-18-4-8 連続データ送受信モード時に使用するRAM

連続データ送受信モードでは、1～256ビットのシリアルデータを連続送受信することができ、この時RAMアドレス(01C0[H]～01FF[H])の領域を使用します。

- ① SIOBNK = 0の場合、RAMアドレス(01C0[H]～01DF[H])の領域を使用します。
- ② SIOBNK = 1の場合、RAMアドレス(01E0[H]～01FF[H])の領域を使用します。
- ③ 連続データ送受信モード時、動作フラグ設定後アドレスの小さいRAMのデータがSBUF0に転送された後(SIOWRT = 1の時はRAMとSBUF0の内容の交換後)、データ送受信がスタートし、8ビット分のデータ送受信が終了後、次のアドレスのRAMのデータがSBUF0に転送され(SIOWRT = 1の時はRAMとSBUF0の内容が交換され)、データ送受信は続行されます。最後の8ビット以下の受信分のデータはSBUF0に残り、RAMとの交換は行われません。送受信データ量を8ビット以下に設定した場合、動作フラグ設定後RAMのデータがSBUF0に転送された後(SIOWRT = 1の時はRAMとSBUF0の内容の交換後)に送受信が行われ、送受信終了後に、受信したデータはSBUF0に残り、RAMとの交換は行われません。

### 3-18-5 SIO0通信の具体例

#### 3-18-5-1 同期式8ビットモード

##### ①クロックの設定

- ・内部クロック使用の場合、SBR0の設定をする。

##### ②モードの設定

- ・SIOCTR=0, SIODIR=?, SIOIE=1の設定をする。

##### ③ポートの設定をする。

	クロック用ポート (P12)
内部クロック	出力
外部クロック	入力

	データ出力ポート (P10)	データ入出力ポート (P11)
データ送信のみ	出力	—
データ受信のみ	—	入力
データ送受信(3線式)	出力	入力
データ送受信(2線式)	—	Nchオープンドレイン出力

##### ④出力データの設定

- ・データ送信または送受信の場合、SBUF0に出力データを書き込む。

##### ⑤動作スタート

- ・SIORUNをセットする。

##### ⑥データの読み込み(割り込み後)

- ・SBUF0を読み込む。(SBUF0には送信時でもデータ入出力ポートのシリアルデータが読み込まれています。)
- ・SIOENDをクリアする。
- ・再動作の場合④に戻る。

## SIO0

### 3-18-5-2 連続データ送受信モード

#### ①クロックの設定

- ・内部クロック使用の場合、SBR0の設定をする。

#### ②モードの設定

- ・SIOBNK = ? , SIOWRT = 1 , SIODIR = ? , SIOIE = 1 の設定をする。

#### ③ポートの設定をする。

	クロック用ポート (P12)
内部クロック	出力
外部クロック	入力

	データ出力ポート (P10)	データ入出力ポート (P11)
データ送信のみ	出力	—
データ受信のみ	—	入力
データ送受信(3線式)	出力	入力
データ送受信(2線式)	—	Nchオープンドレイン出力

#### ④連続データビットレジスタの設定

- ・連続送受信データのビット数を設定する。

#### ⑤出力データの設定

- ・データ送信または送受信の場合、データRAMの所定のアドレスに送受信のビット数に応じた出力データを書き込む。
- ・SIOBNK = 0 の場合、RAMアドレス(01C0[H]~01DF[H])の領域、SIOBNK = 1 の場合、RAMアドレス(01E0[H]~01FF[H])の領域に書き込む。
- ・動作フラグ設定後にRAMとSBUF0の内容が交換された後、データ送受信がスタートしますので、SBUF0へのデータ設定は必要ありません。

#### ⑥動作スタート

- ・SIOCTRをセットする。
- ・SIORUNをセットする。

#### ※連続データ転送途中停止

- ・SOWSTPをセットする。

#### ⇒連続データ転送再開

- ・SOWSTPをクリアする。

#### ※連続データ転送中の転送済みバイト数の確認

- ・SOXBYT4~0を読み込む。

#### ⑦データの読み込み(割り込み後)

- ・受信したデータは、データRAMの所定のアドレスとSBUF0に格納されています。SIOBNK = 0 の場合、RAMアドレス(01C1[H]~01DF[H])の領域、SIOBNK = 1 の場合、RAMアドレス(01E1[H]~01FF[H])の領域です。
- ・最後の8ビット以下の受信分のデータはSBUF0に残り、RAM内にはありません。
- ・SIOENDをクリアする。
- ・再動作の場合⑤に戻る。

## 3-18-5-3 バイフェーズ変調方式データ送信

【例1】8ビットデータモード(マンチェスター①方式、LSB先頭、送信データ=C5[H])

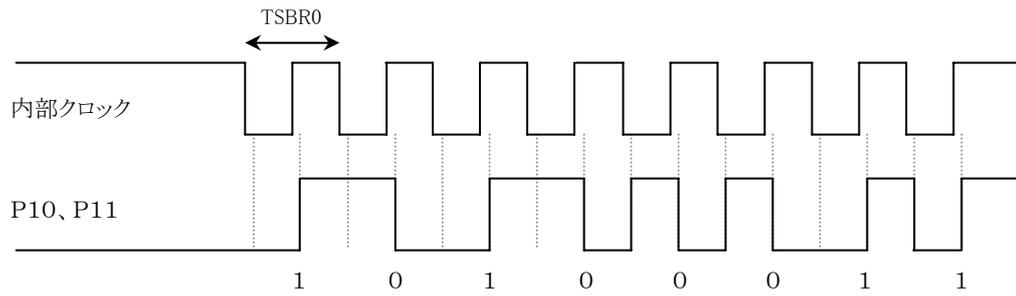


図3-18-6 マンチェスター①変調方式データ送信例

## ①クロックの設定

- ・SBR0の設定をする。

## ②モードの設定

- ・SIOCTR=0, SIODIR=0, SIOIE=1の設定をする。
- ・SIOMC1=0, SIOMC0=1の設定をする。

## ③ポートの設定をする。

- ・データ送信するポート(P10またはP11)を出力設定にする。

## ④出力データの設定

- ・SBUF0に出力データ(=C5[H])を書き込む。

## ⑤動作スタート

- ・SIORUNをセットする。

## ⑥動作終了(割り込み後)

- ・SIOENDをクリアする。
- ・再動作の場合④に戻る。

**【例2】連続データ送信モード(Bi-phase-Space方式, MSB先頭, 16ビット送信, 送信データ=3A[H], 96[H])**

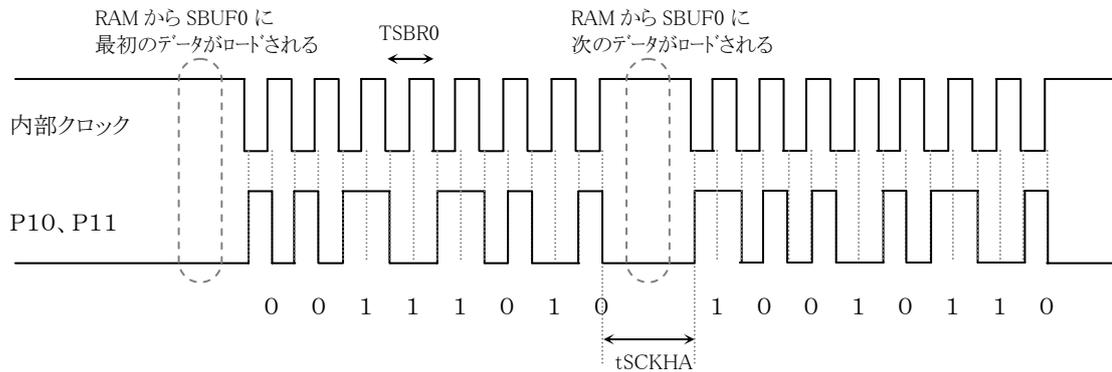


図3-18-7 Bi-Phase-Space変調方式データ送信例

①クロックの設定

- ・SBR0の設定をする。

②モードの設定

- ・SIOBNK = ?, SIODIR = 1, SIOIE = 1の設定をする。
- ・SIOMC1 = 1, SIOMC0 = 0の設定をする。

③ポートの設定をする。

- ・データ送信するポート(P10またはP11)を出力設定にする。

④連続データビットレジスタの設定

- ・連続送受信データのビット数を設定する(SCTRO = 0F[H])。

⑤出力データの設定

- ・データRAMの所定のアドレスに送信のビット数に応じた出力データ(3A[H], 96[H])を書き込む。
- ・動作フラグ設定後にRAMとSBUF0の内容が交換された後、データ送信がスタートしますので、SBUF0へのデータ設定は必要ありません。

⑥動作スタート

- ・SIOCTRをセットする。
- ・SIORUNをセットする。

⑦動作終了(割り込み後)

- ・SIOENDをクリアする。
- ・再動作の場合⑤に戻る。

※8ビットの転送が終了するたびに転送周期が長くなる期間(tSCKHA)があります。詳細はデータシートの下記項目を参照して下さい。

- ・SIO0シリアル入出力特性 - シリアルクロック - 出力クロック - 高レベルパルス幅

【例3】連続データ送信モード(マンチェスター②方式, MSB先頭, 16ビット送信, 送信データ=3A[H], 96[H])

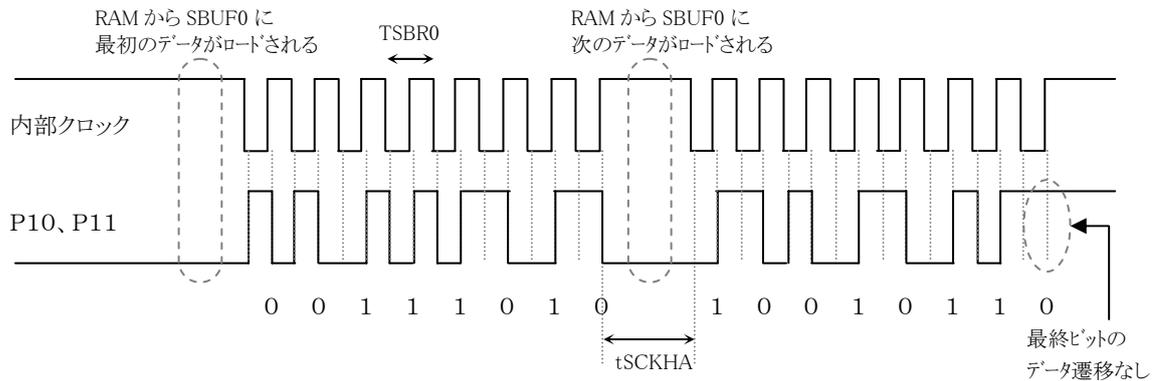


図3-18-8 マンチェスター②方式データ送信例

①クロックの設定

- ・SBR0の設定をする。

②モードの設定

- ・SIOBNK = ?, SIODIR = 1, SIOIE = 1の設定をする。
- ・SIOMC1 = 1, SIOMC0 = 0の設定をする。

③ポートの設定をする。

- ・データ送信するポート(P10またはP11)を出力設定にする。

④連続データビットレジスタの設定

- ・連続送受信データのビット数を設定する(SCTRO = 0F[H])。

⑤出力データの設定

- ・データRAMの所定のアドレスに送信のビット数に応じた出力データ(3A[H], 96[H])を書き込む。
- ・動作フラグ設定後にRAMとSBUF0の内容が交換された後、データ送信がスタートしますので、SBUF0へのデータ設定は必要ありません。

⑥動作スタート

- ・SIOCTRをセットする。
- ・SIORUNをセットする。

⑦動作終了(割り込み後)

- ・SIOENDをクリアする。
- ・再動作の場合⑤に戻る。

※8ビットの転送が終了するたびに転送周期が長くなる期間(tSCKHA)があります。詳細はデータシートの下記項目を参照して下さい。

- ・SIO0シリアル入出力特性 - シリアルクロック - 出力クロック - 高レベルパルス幅

## SIO0

### 3-18-6 SIO0のHALTモード時の動作

#### 3-18-6-1 同期式8ビットモード

- ①HALTモード時、同期式8ビットモードSIO0は動作します。
- ②HALTモードの解除をSIO0の同期式8ビットモードの割り込みで行うことができます。

#### 3-18-6-2 連続データ送受信モード

- ①連続データ送受信モードSIO0は、HALTモード突入後のRAMとSBUF0の内容が交換される直前で動作を中断します。HALTモード突入後でも、最初のRAMとSBUF0の内容が交換される直前までは動作します。HALTモードの解除後は、中断した動作を続行します。
- ②HALTモードにより動作を中断しますので、HALTモードの解除を連続データ送受信モードSIO0の割り込みで行うことができません。

## 3-19 シリアルインタフェース1 (SIO1)

### 3-19-1 概要

本シリーズが内蔵しているシリアルインタフェース1 (SIO1) は、次の4つの機能を持ちます。

- ①モード0: 同期式8ビットシリアルIO  
(2線式または3線式, 転送クロック2~512Tcyc)
- ②モード1: 非同期シリアル  
(半二重, データ8ビット, ストップビット1, ボーレイト8~2048Tcyc)
- ③モード2: BUS-マスタ(スタートビット, データ8ビット, 転送クロック2~512Tcyc)
- ④モード3: BUS-スレーブ(スタート検出, データ8ビット, ストップ検出)

### 3-19-2 機能

- ①モード0: 同期式8ビットシリアルIO
  - ・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
  - ・内部クロックの周期は2~512Tcycの範囲で可変です。
- ②モード1: 非同期シリアル(UART)
  - ・データ8ビット, ストップビット1ビットの半二重の非同期通信を行います。
  - ・ボーレイトは8~2048Tcycの範囲で可変です。
- ③モード2: BUS-マスタ
  - ・BUSのマスタコントローラとして使用します。
  - ・スタートコンディションは自動生成しますが、ストップコンディションはポートを操作して発生してください。
  - ・クロック同期を行います。転送時のバスデータを転送終了後確認できますのでモード3と合わせてマルチマスタ対応が可能です。
  - ・出力クロックの周期は2~512Tcycの範囲で可変です。
- ④モード3: BUS-スレーブ
  - ・BUSのスレーブデバイスとして使用します。
  - ・スタート/ストップコンディション検出は行いますが、アドレスの一致検出とアクノレッジの出力には、プログラムの介入が必要です。
  - ・プログラムで判断をするため、第8クロックの立ち下がりで自動的にクロックラインにLOWを出力した後、割り込みをかけることができます。
- ⑤割り込みの発生
 

割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求を発生します。
- ⑥シリアルインタフェース1 (SIO1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。
  - ・SCON1, SBUF1, SBR1
  - ・P1, P1DDR, P1FCR

## SIO1

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

### 3-19-3 回路構成

#### 3-19-3-1 SIO1制御レジスタ(SCON1) (8ビットレジスタ)

① SIO1の動作、割り込みの制御を行います。

#### 3-19-3-2 SIO1シフトレジスタ(SIOSF1) (8ビットシフトレジスタ)

① SIO1のデータ転送・受信のためのシフトレジスタです。

② 命令で直接アクセスできません。SBUF1をとおしてアクセスします。

#### 3-19-3-3 SIO1データレジスタ(SBUF1) (9ビットレジスタ)

① データ転送開始時、SBUF1の下位8ビットがSIOSF1に転送されます。

② データ転送終了時、SBUF1の下位8ビットにSIOSF1の内容がはいります。モード1, 2, 3では、SBUF1のビット8に、9番目の入力データが入るのでストップビット等の確認ができます。

#### 3-19-3-4 SIO1ボーレートジェネレータ(SBR1) (8ビットリロードカウンタ)

① 内部クロック発生用のリロードカウンタです。

② モード0, 2では2~512Tcyc周期、モード1では8~2048Tcyc周期のクロックを発生できます。

表 3-19-1 各モードでのSIO1の動作

	同期式(モード'0)		UART(モード'1)		BUSマスタ(モード'2)		BUSスレーブ(モード'3)		
	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	
スタートビット	なし	なし	出力 (LOW)	入力 (LOW)	下①②参照	不要	不要	下②参照	
データ出力	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	
データ入力	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	
ストップビット	なし	←	出力 (HIGH)	入力 (H/L)	入力 (H/L)	出力 (SBUF1 bit8)	入力 (H/L)	出力 (L)	
クロック	8	←	9 (内部)	←	9	←	第8クロック の↓で LOW 出力	←	
動作開始	SI1RUN ↑	←	① SI1RUN ↑ ② スタートビット の検出	スタートビット の検出	① SI1RUN=1 の時の SI1END ↓ でスタートビッ トなし ② SI1END=0 の時の SI1RUN ↑ でスタートビッ ト付き	左の①	右の①	① SI1RUN=1 の時の SI1END ↓ でクロックを 解放 ② SI1RUN=0 かつ SI1END=0 の時の スタートビッ トの検出	
動作周期	2-512Tcyc	←	8-2048 Tcyc	←	2-512Tcyc	←	2-512Tcyc	←	
SI1RUN (bit5)	セ ット	命令	←	①命令 ②スタートビッ トの検出	スタートビット の検出	命令	既にセットさ れている	既にセットさ れている	スタートビッ トの検出
	ク リ ア	終了時	←	ストップビッ トの終り	←	① ストップコンデ ーション検出 ② アービトレーシ ョンロスト時 (注1)	←	① ストップコンデ ーション検出 ② アクルッジ= 1の検出	←
SI1END (bit1)	セ ット	終了時	←	ストップビッ トの終り	←	①第9クロッ クの↑ ②ストップコン ディション検出	←	①第8クロッ クの↓ ②ストップコン ディション検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←

(注1)第1～第8クロック立ち上がり時に、内部データ出力値 = 'H' かつ、データポート = 'L' の場合、バス競合負けと判断し、SI1RUN がクリアされます(クロック送出もその時点で停止します)。

(次 ページへ続く)

# SIO1

表 3-19-1 (続き)

	同期式(モード'0)		UART(モード'1)		BUSマスタ(モード'2)		BUSスレーブ(モード'3)		
	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	
SI1OVR (bit2)	セ ツ ト	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 でSI1ENDセ ット条件成立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 でSI1ENDセ ット条件成立	←	① SI1END=1 でSI1ENDセ ット条件成立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 でSI1ENDセ ット条件成立 ③ スタートビットの 検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←
シフタのデータ 更新	動作開始時 SBUF1→シフ タ	←	動作開始時 SBUF1→シフ タ	←	動作開始時 SBUF1→シフ タ	←	動作開始時 SBUF1→シフ タ	←	動作開始時 SBUF1→シフ タ
シフタ→SBUF1 (bit0-7)	第 8 クロックの ↑	←	8ビットデータ 転送時	←	8ビットデータ 受信時	←	第 8 クロック↑	←	第 8 クロック↑
SBUF1 bit8 の データ自動更新	なし	←	ストップビッ ト時に入力 データを取り 込む	←	第 9 クロック↑ に入力データ を取り込む	←	第 9 クロック↑ に入力データ を取り込む	←	第 9 クロック↑ に入力データ を取り込む

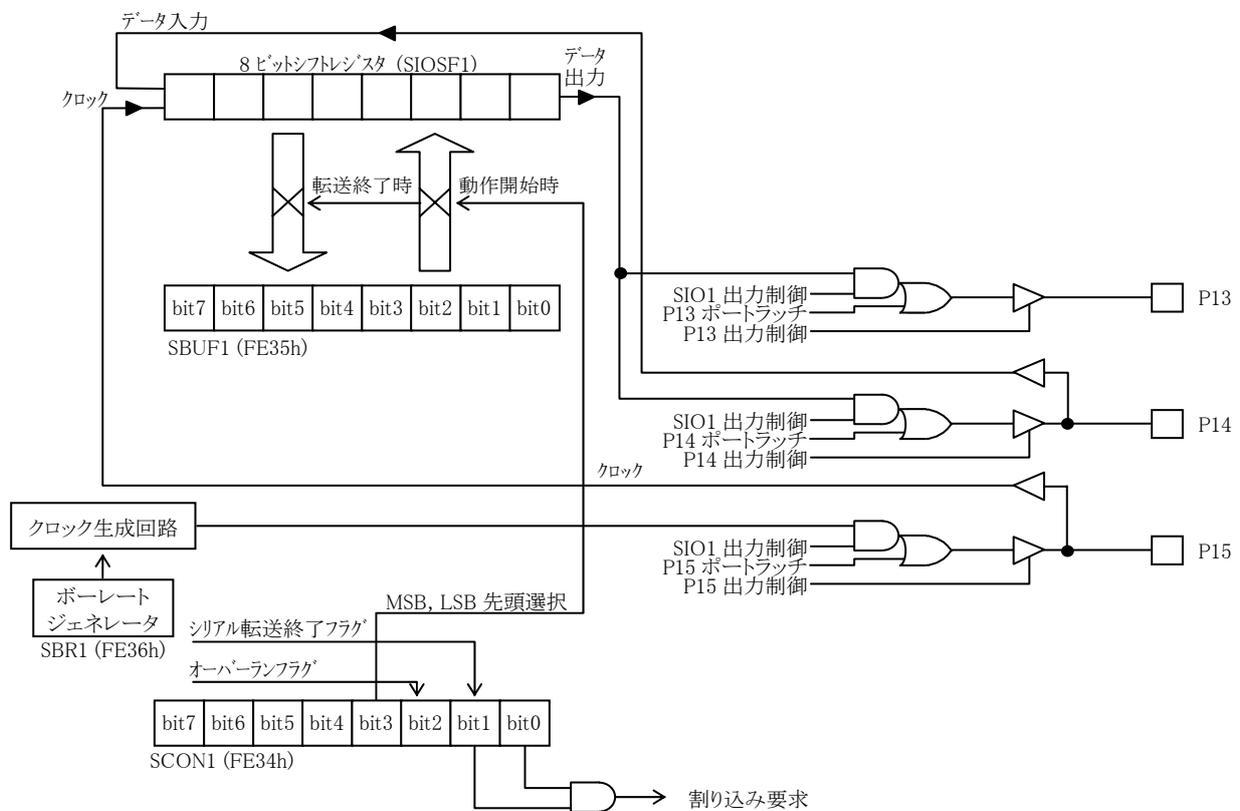


図 3-19-1 SIO1モード0:同期式8ビットシリアルI/O  
(SI1M1=0, SI1M0=0)ブロック図

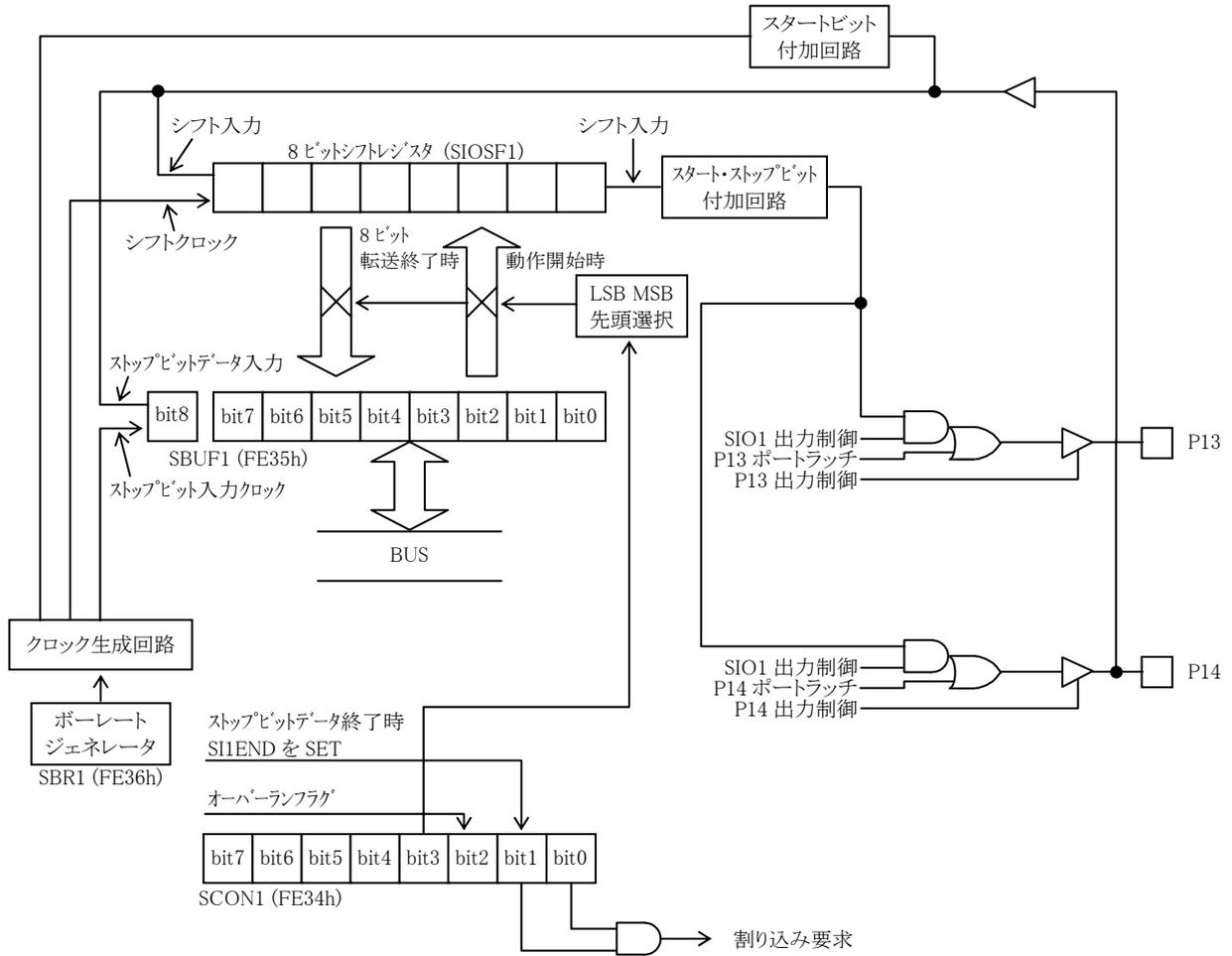


図 3-19-2 SIO1モード1:非同期シリアル[UART]  
(SI1M1=0, SI1M0=1)ブロック図

## SIO1

### 3-19-4 SIO1通信の具体例

#### 3-19-4-1 同期式(モード0)

①クロックの設定

- ・内部クロック使用の場合、SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートとSI1REC(BIT4)の設定をする。

	クロック用ポート P15
内部クロック	出力
外部クロック	入力

	データ出力ポート P13	データ入出力ポート P14	SI1REC
データ送信のみ	出力	—	0
データ受信のみ	—	入力	1
データ送受信(3線式)	出力	入力	0
データ送受信(2線式)	—	Nchオープンドレイン出力	0

④出力データの設定

- ・データ送信(SI1REC=0)の場合、SBUF1に出力データを書き込む。

⑤動作スタート

- ・SI1RUNをセットする。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

#### 3-19-4-2 非同期式(モード1)

①ボーレイトの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=1, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートの設定をする。

	データ出力ポート P13	データ入出力ポート P14
データ送受信(2線式)	出力	入力
データ送受信(1線式)	—	Nchオープンドレイン出力

④送信動作スタート

- ・SI1RECを0にして、SBUF1に出力データを書き込む。
- ・SI1RUNをセットする。

注意：モード1の送信のみを行う場合は、SIO1のデータ入出力ポート(P14)を使用してください。

モード1では、受信データの立ち下がりを検出すると自動的に送信がスタートします。モード1設定中は、データ入出力ポート(P14)で、常にデータの立ち下がり検出が行われます。したがって、送信ポートをデータ出力ポート(P13)に設定した場合、P14の状態変化によってデータ送信が勝手にスタートする可能性があります。

#### ⑤受信動作スタート

- ・SI1RECを1にする。(SI1RECを1にセットした後は、SI1ENDのフラグがセットされるまでは、SCON1レジスタに書き込みは行わないで下さい。)
- ・受信データの立ち下がり検出。

#### ⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

注意：モード1(UART)で連続受信を行う場合、以下の条件を満たしてください。

- ・ストップビットは2ビット以上。
- ・割り込み処理によるSI1ENDのクリアは、次のスタートビットが来る前に終了。

### 3-19-4-3 BUSマスターモード(モード2)

#### ①クロックの設定

- ・SBR1の設定をする。

#### ②モードの設定

- ・SI1M0=0, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

#### ③ポートの設定をする

- ・クロックポート、データポートをNchオープンドレイン出力ポートにする。

#### ④通信スタート(アドレス送信)

- ・SBUF1にアドレスデータを書き込む。
- ・SI1RUNをセットする。(スタートビット+SBUF1(8ビット)+ストップビット(H)の転送を行う。)

#### ⑤アドレスデータの確認(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合(表3-19-1 注1 参照)、SI1RUN がクリアされるため割り込みが発生しません。他にマスターモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。

## SIO1

### ⑥データの送信

- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。(SBUF1(8ビット)+ストップビット(H)の転送を行う。)

### ⑦送信データの確認(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合(表3-19-1 注1 参照)、SI1RUN がクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。
- ・引き続きデータを送る場合は⑥に戻る。
- ・通信を終了する場合は⑩に行く。

### ⑧データの受信

- ・SI1RECを1にする。
- ・SI1ENDをクリアし、割り込みを抜ける。(受信(8ビット)+SBUF1 ビット8(アクノレッジ)出力を行う。)

### ⑨受信データの読み込み(割り込み後)

- ・SBUF1を読み込む。
- ・引き続きデータを受信する場合は⑧に戻る。
- ・通信を終了する場合は⑩の\*に行く。この時、アクノレッジデータとして(SBUF1 ビット8)が既に出力され、マスタ側のクロックの解放は行われています。

### ⑩通信の終了

- ・クロック出力ポートを操作し(P15FCR=0, P15DDR=1, P15=0)、クロック出力に0を出す。
- ・データ出力ポートを操作し(P14FCR=0, P14DDR=1, P14=0)、データ出力に0を出す。
- ・クロック出力ポートをもとに戻し(P15FCR=1, P15DDR=1, P15=0)、クロック出力を解放する。
- \*・全てのスレーブがクロックを解放し、クロックが1になるのを待つ。
- ・データセットアップ時間を取り、データ出力ポートを操作し(P14FCR=0, P14DDR=1, P14=1)、データ出力に1を出す。この時、SIO1オーバランフラグSI1OVR(SCON1:FE34のビット2)がセットされますが、動作に支障はありません。
- ・データ出力ポートをもとに戻す(P14FCR=1に設定した後、P14DDR=1, P14=0とする。)
- ・SI1ENDとSI1OVRをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

## 3-19-4-4 BUSスレーブ(モード3)

## ①クロックの設定

- ・SBR1の設定をする。(アクノレッジデータセットアップ時間の設定のため)

## ②モードの設定

- ・SI1M0=1, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

## ③ポートの設定をする

- ・クロックポート, データポートをNchオープンドレイン出力ポートにする。

## ④通信スタート(アドレス待ち)

- \*1・SI1RECをセットする。
- \*2・スタートビットの検出でSI1RUNが自動的にセットされる。
  - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。

## ⑤アドレスデータの確認(割り込み後)

- ・スタートコンディションを検出すると、SI1OVR がセットされるので、SI1RUN=1 & SI1OVR=1 を確認することで、アドレスを受信したことを判別する。  
(SI1OVR は自動的にクリアされないので、ソフトでクリアして下さい)
- ・SBUF1を読み込み、アドレスを確認する。
- ・アドレスが一致しない場合、SI1RUNとSI1ENDをクリアし割り込みを抜け、⑧の\*でストップコンディション検出を待つ。

## ⑥データの受信

- \*・SI1ENDをクリアし、割り込みを抜ける。(前に受信を行っていた場合アクノレッジを出し、(SBR1の設定値+1)×Tcyc時間後クロックポートを解放します。)
  - ・ストップコンディションを検出すると、SI1RUNが自動的にクリアされ、割り込みがかかるので、SI1ENDをクリアし割り込みを抜け、④の\*2に戻る。
  - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。ただし、途中でスタートコンディションを検出するとクロックカウンタはクリアされますので、割り込みの発生には更に8個のクロックが必要です。
  - ・SBUF1を読み込み、データを格納する。
- 注意：SBUF1のビット8は、第9クロック↑がきてないのでまだ更新されていません。
- ・受信を続ける場合⑥の\*に戻る。

## ⑦データの送信

- ・SI1RECをクリアする。
  - ・SBUF1に出力データを書き込む。
  - ・SI1ENDをクリアし、割り込みを抜ける。(前の受信のアクノレッジを出し、(SBR1の設定値+1)×Tcyc時間後クロックポートを解放します。)
  - \*1・送信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。
  - \*2・SI1RUNが1の時、⑦の\*3に行きます。
    - ・SI1RUNが0の時、⑦の\*4からの割り込みなので、SI1ENDとSI1OVRをクリアして④の\*1に戻る。
  - \*3・必要に応じて、SBUF1を読み込み、送信データを確認する。
- 注意：SBUF1のビット8は、第9クロック↑がきてないのでまだ更新されていません。

## SIO1

- ・SBUF1に次の出力データを書き込む。
  - ・SI1ENDをクリアし、割り込みを抜ける。((SBR1の設定値+1)×T<sub>cyc</sub>時間後のクロックポートを解放します。)
  - ・マスタからのアクノレッジがある(L)場合は、⑦の\*1に戻ります。
  - ・マスタからのアクノレッジがない(H)場合は、データ送信の終了とみなし、SI1RUNを自動的にクリアし、データポートを解放します。  
※ただし、この直後に再スタートコンディションが来る場合、SI1REC=1にしてから割り込みを抜ける必要があります(SI1RECは、スタートコンディションの検出で、自動的にセットされません)。  
スレーブ送信動作直後に想定外の再スタートがきた場合(SI1RECをソフトで1にしていない場合)、マスタのアドレス送信を妨害する可能性があります。
- \*4・ストップコンディション検出すると、割り込みがかかり、⑦の\*2に戻ります。

### ⑧通信の終了

- ・SI1RECをセットします。
  - ・自動的に終了させる場合は⑥の\*に戻ります。
  - ・強制的に終了する場合は、SI1RUNとSI1ENDをクリアする。(クロックポートを解放します。)
- \*・ストップコンディション検出すると、割り込みがかかるので、SI1ENDとSI1OVRをクリアして④の\*2に戻る。

## 3-19-5 関連レジスタ

### 3-19-5-1 SIO1制御レジスタ(SCON1)

①SIO1の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE

SI1M1(ビット7):SIO1モード制御

SI1M0(ビット6):SIO1モード制御

表3-19-2 SIO1動作モード

モード	SI1M1	SI1M0	動作モード
0	0	0	同期式8ビットSIO
1	0	1	UART(STOP-BIT1, PARITYなし)
2	1	0	BUSマスタ対応モード
3	1	1	BUSスレーブ対応モード

SI1RUN(ビット5):SIO1動作フラグ

- ① このビットが1の時、SIO1は動作中です。
- ② このビットのセット・クリアについては、表3-21-1を参照してください。

SI1REC(ビット4):SIO1受信/送信制御

- ① このビットが1の時、SIO1は受信モードとなります。
- ② このビットが0の時、SIO1は送信モードとなります。

SI1DIR(ビット3):MSB/LSB先頭選択

- ① このビットが1の時、SIO1はMSB先頭となります。
- ② このビットが0の時、SIO1はLSB先頭となります。

SI1OVR(ビット2) : SIO1オーバランフラグ

- ① モード0, 1, 3の時、SI1RUN=0の状態 で、入 力クロックの立 ち下 がりを検 出すると、このビットがセッ トされま す。
- ② SI1END=1の状態 で、SI1ENDをセッ トする条 件が成 立すると、このビッ トがセッ トされま す。
- ③ モード3の時、ス ター トコンディ ショ ンの検 出で、このビットがセッ トされま す。
- ④ このビットのク リアは命 令で行 っ てくだ さい。

SI1END(ビット1) : シリアル転送終了フラグ

- ① シリアル転送が終了(表3-19-1参照)すると、このビットがセッ トされま す。
- ② このビットのク リアは命 令で行 っ てくだ さい。

SI1IE(ビット0) : SIO1割り込み要求発生許可制御

このビットとSI1ENDがともに1の時、バクタアドレス003BHへの割り込み要求が発生します。

3-19-5-2 シリアルバッファ1(SBUF1)

- ① SIO1のシリアル転送で扱うデータの格納を行う9ビットのレジスタです。
- ② 動作の開始時に、SBUF1の下位8ビットのデータが送受信のデータシフトレジスタに転送され、8ビットのデータ転送時に、送受信のシフトレジスタの内容がSBUF1の下位8ビットに入ります。
- ③ モード1, 2, 3では、9番目のデータ(ストップビットの位置のデータ)入力時に、このデータがSBUF1のビット8に入ります。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE35	0000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10

3-19-5-3 ボーレートジェネレータレジスタ(SBR1)

- ① SIO1のシリアル転送の転送レートを設定する8ビットのレジスタです。
- ② このレジスタにデータを書き込むと、直ちにボーレートジェネレータ用のカウンタが初期化されます。
- ③ 転送レートはモードにより異なります。(モード3ではボーレートジェネレータは動作しません。)

モード0, 2 :  $TSBR1 = (SBR1の設定値 + 1) \times 2T_{cyc}$   
(設定範囲 2 ~ 512T<sub>cyc</sub>)

モード1 :  $TSBR1 = (SBR1の設定値 + 1) \times 8T_{cyc}$   
(設定範囲 8 ~ 2048T<sub>cyc</sub>)

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

## UART1

### 3-20 非同期シリアルインタフェース1(UART1)

#### 3-20-1 概要

本シリーズは、次の機能を持った非同期シリアルインタフェース1(UART1)を備えています。

- ① データ長 : 7/8/9ビット(LSB FIRST)
- ② ストップビット長 : 1ビット(連続送信時は2ビット)
- ③ パリティビット : なし
- ④ 転送レート :  $\frac{16}{3} \sim \frac{8192}{3}$  Tcyc
- ⑤ 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造となっており、連続データ送受信が可能です。

#### 3-20-2 機能

##### ① 非同期シリアル(UART1)

- ・データ長 : 7/8/9ビット, ストップビット長 : 1ビットの全二重の非同期通信を行います。
- ・UART1の転送レートは、 $\frac{16}{3} \sim \frac{8192}{3}$  Tcycの範囲で可変です。

##### ② 連続データ送受信

- ・単一データ長, 単一転送レートでの連続データ送信および受信を行います。連続送信時のストップビットは2ビットです(図3-20-4参照)。
- ・UART1の転送レートは、 $\frac{16}{3} \sim \frac{8192}{3}$  Tcycの範囲で可変です。
- ・送信データは、送信データレジスタ(TBUF)から読み出され、受信データは、受信データレジスタ(RBUF)に格納されます。

##### ③ 割り込みの発生

割り込み要求許可ビットがセットされている場合、送信データ転送完了、受信終了で割り込み要求を発生します。

##### ④ 非同期シリアルインタフェース1(UART1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・UCON0, UCON1, UBR, TBUF, RBUF
- ・P0, P0DDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FED0	0000 0000	R/W	UCON0	UBRSEL	STRDET	RECRUN	STPERR	U0B3	RBIT8	RECEM	RECENIE
FED1	0000 0000	R/W	UCON1	TRUN	8/9BIT	TDDR	TCMOS	8/7BIT	TBIT8	TEMPY	TEMPIE
FED2	0000 0000	R/W	UBR	UBRG7	UBRG6	UBRG5	UBRG4	UBRG3	UBRG2	UBRG1	UBRG0
FED3	0000 0000	R/W	TBUF	T1BUF7	T1BUF6	T1BUF5	T1BUF4	T1BUF3	T1BUF2	T1BUF1	T1BUF0
FED4	0000 0000	R/W	RBUF	R1BUF7	R1BUF6	R1BUF5	R1BUF4	R1BUF3	R1BUF2	R1BUF1	R1BUF0

### 3-20-3 回路構成

#### 3-20-3-1 UART1制御レジスタ0(UCON0) (8ビットレジスタ)

① UART1の受信動作, 割り込みの制御を行います。

#### 3-20-3-2 UART1制御レジスタ1(UCON1) (8ビットレジスタ)

① UART1の送信動作, データ長, 割り込みの制御を行います。

#### 3-20-3-3 UART1ボーレート制御レジスタ(UBR) (8ビットレジスタ)

① UART1の転送レートを設定する8ビットのレジスタです。

②  $\frac{(n+1) \times 8}{3} T_{cyc}$ 、または  $\frac{(n+1) \times 32}{3} T_{cyc}$  ( $n=1 \sim 255$ , 注:  $n=0$ は禁止) 周期のクロックを発生できます。

#### 3-20-3-4 UART1送信データレジスタ(TBUF) (8ビットレジスタ)

① UART1の送信データを格納する8ビットのレジスタです。

#### 3-20-3-5 UART1送信シフトレジスタ(TSFT) (11ビットシフトレジスタ)

① UART1のデータ送信のためのシフトレジスタです。

② 命令で直接アクセスはできません。送信データレジスタ(TBUF)を通してアクセスします。

#### 3-20-3-6 UART1受信データレジスタ(RBUF) (8ビットレジスタ)

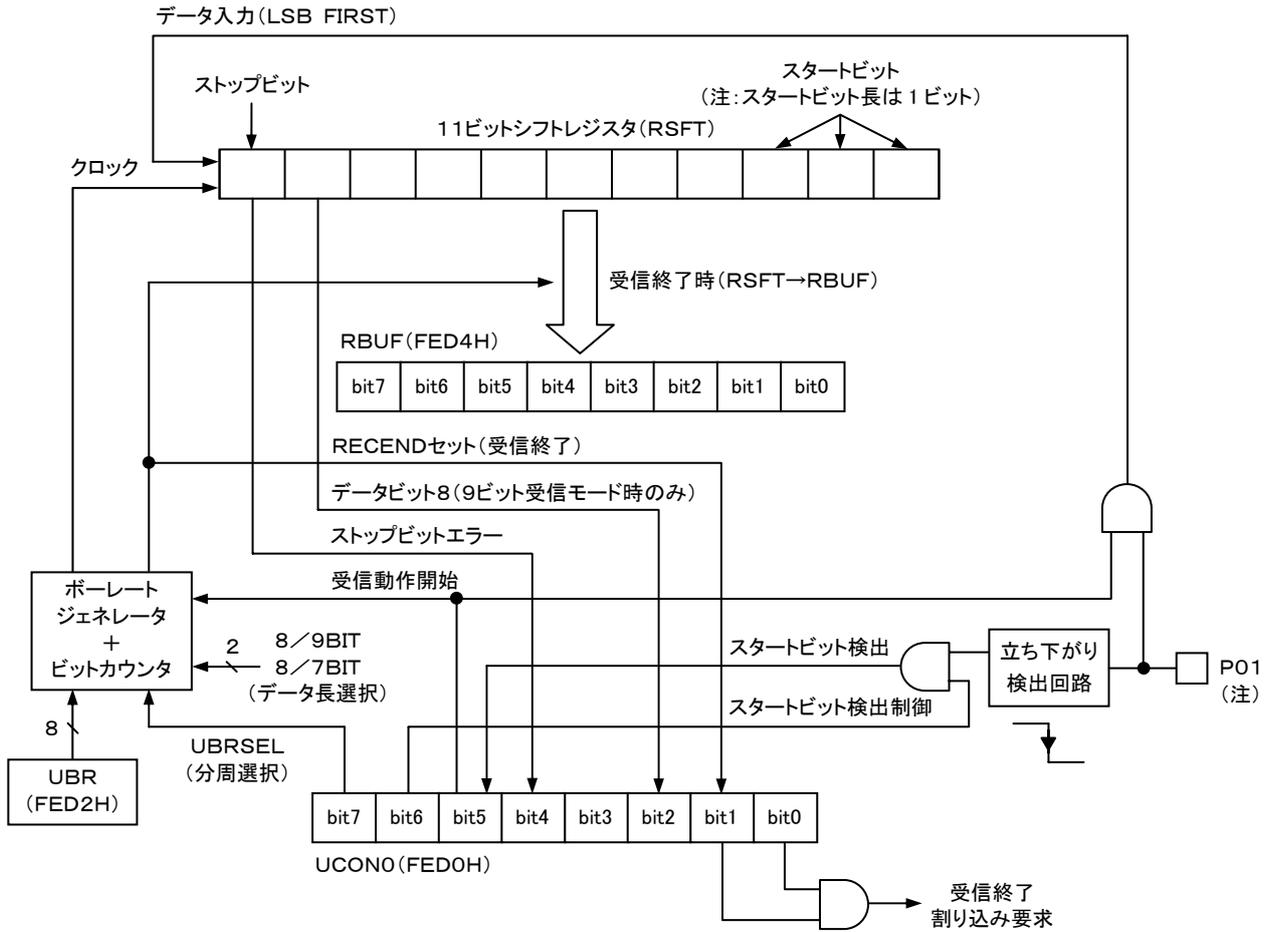
① UART1の受信データを格納する8ビットのレジスタです。

#### 3-20-3-7 UART1受信シフトレジスタ(RSFT) (11ビットシフトレジスタ)

① UART1のデータ受信のためのシフトレジスタです。

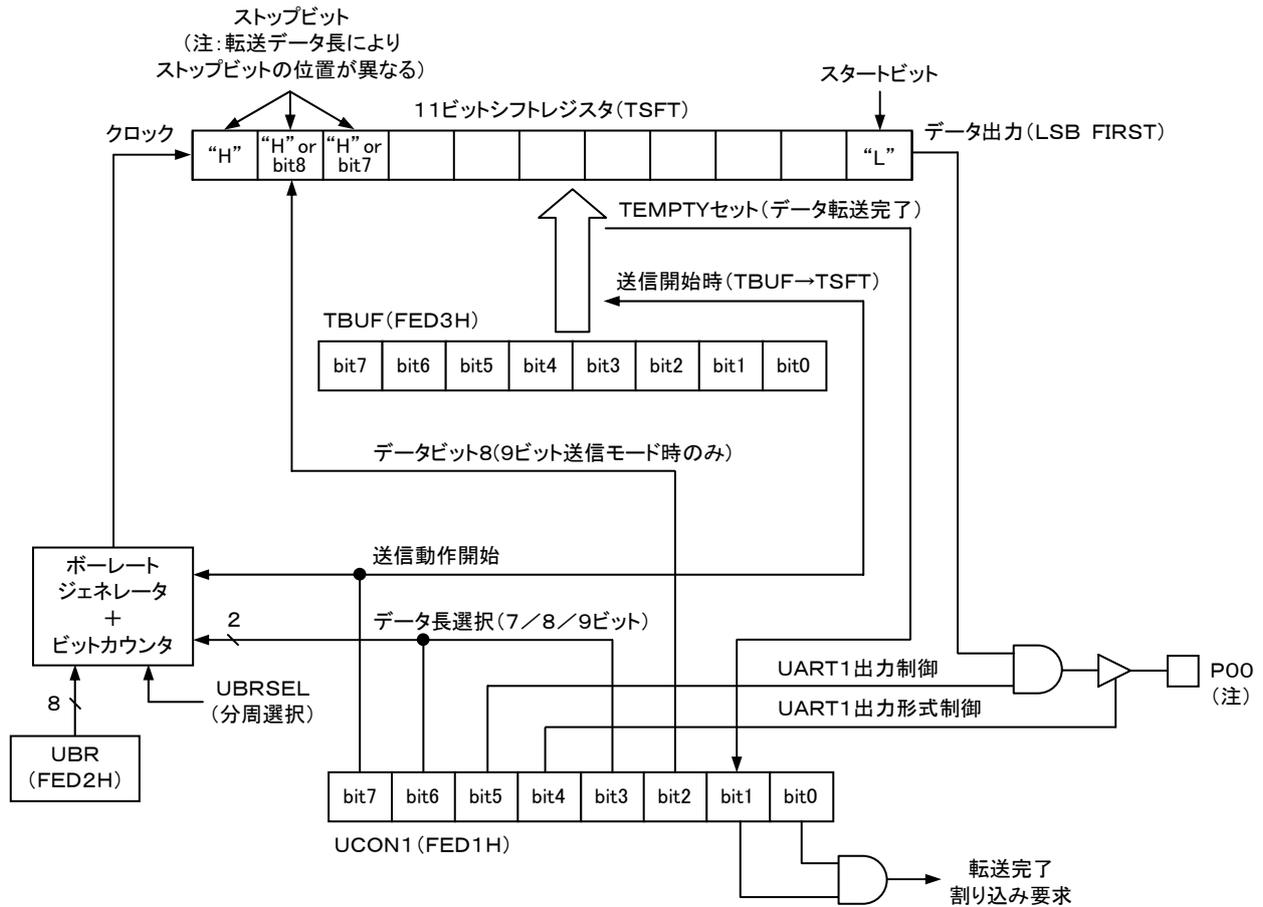
② 命令で直接アクセスはできません。受信データレジスタ(RBUF)を通してアクセスします。

# UART1



(注) UART1を受信モードで使用する場合、PODDR (FE41H) のビット1は、“0”で使用してください。ビット1が“1”の場合、正常に受信できません。

図 3-20-1 UART1受信動作ブロック図



(注) UART1の送信データを出力する場合、P0DDR (FE41H)のビット0は、“0”で使用してください。ビット0が“1”の場合、送信データは出力されません。

図 3-20-2 UART1送信動作ブロック図

### 3-20-4 関連レジスタ

#### 3-20-4-1 UART1制御レジスタ0 (UCON0)

① UART1の受信動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FED0	0000 0000	R/W	UCON0	UBRSEL	STRDET	RECRUN	STPERR	U0B3	RBIT8	RECEND	RECENIE

UBRSEL (ビット7) : UART1転送レート分周選択

プログラマブル転送モード時の転送レートの分周を選択します。

① このビットが1の時、転送レートの設定範囲は  $\frac{64}{3} \sim \frac{8192}{3}$  Tcycとなります。

② このビットが0の時、転送レートの設定範囲は  $\frac{16}{3} \sim \frac{2048}{3}$  Tcycとなります。

※ 送信または受信動作中に転送レートを変更すると正常に動作しません。

必ず動作を停止してから設定してください。

## UART1

STRDET(ビット6):UART1スタートビット検出制御

- ① このビットが1の時、スタートビット検出(立ち下がり検出)は有効となり、受信待機状態となります。
- ② このビットが0の時、スタートビット検出(立ち下がり検出)は無効となります。

RECRUN(ビット5):UART1受信動作フラグ

- ① スタートビット検出が有効(STRDET=1)の時、受信ポート(P01)で立ち下がりを検出すると、このビットはセットされて受信動作を開始します。
  - ② 受信動作終了時(ストップビット受信時)、このビットは自動的にクリアされます。
- ※ 受信待機状態(STRDET=1/RECRUN=0)または受信動作中(STRDET=1/RECRUN=1)の状態から受信動作を停止する場合、STRDETとRECRUNに同時に0を書き込んでください。

STPERR(ビット4):UART1ストップビットエラーフラグ

- ① 受信動作終了時、受信したストップビットが“L”の場合、このビットはセットされます。
- ② このビットのクリアは命令で行ってください。

UOB3(ビット3):UART1汎用フラグ

- ① 汎用フラグとして使用できます。
- ※ このビットを操作しても機能ブロックの動作に影響を与えません。

RBIT8(ビット2):UART1受信データビット8格納ビット

- ① データ長が9ビット(UCON1:8/9BIT=1)の時、受信データのビット8が受信動作終了時に格納されます。

RESEND(ビット1):UART1受信終了フラグ

- ① 受信動作終了時、このビットはセットされます(このビットがセットされる時、受信シフトレジスタ(RSFT)から受信データレジスタ(RBUF)へのデータ転送が行われます)。
- ② このビットのクリアは命令で行ってください。

RECENIE(ビット0):UART1受信終了割り込み要求発生許可制御

- ① このビットとRESENDがともに1の時、ベクタアドレス0033Hへの割り込み要求が発生します。

### 3-20-4-2 UART1制御レジスタ1(UCON1)

① UART1の送信動作、データ長、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FED1	0000 0000	R/W	UCON1	TRUN	8/9BIT	TDDR	TCMOS	8/7BIT	TBIT8	EMPTY	EMPIE

TRUN(ビット7):UART1送信制御

- ① このビットが1の時、送信動作を開始します。
- ② 送信動作終了時(ストップビット送信終了時)、このビットは自動的にクリアされます(送信動作中にこのビットをクリアすると、送信動作途中で停止します)。

※ 連続送信動作を行う場合、このビットは送信動作終了時にクリアされますが、同一サイクル(Tcyc)内で自動的にセットされます。この処理のため、送信毎に1Tcyc挟んで送信動作を行います。

8/9BIT(ビット6):UART1転送データ長選択

8/7BIT(ビット3):UART1転送データ長選択

- ① 8/9BITが1の時、転送データ長は9ビットとなります。
  - ② 8/9BITが0、8/7BITが0の時、転送データ長は8ビットとなります。
  - ③ 8/9BITが0、8/7BITが1の時、転送データ長は7ビットとなります。
- ※ 送信または受信動作中にデータ長を変更すると正常に動作しません。必ず動作を停止してから設定してください。
- ※ 送信と受信を同時に行う場合、データ長は同一となります。

8/9BIT	8/7BIT	データ長
0	0	8ビット
0	1	7ビット
1	—	9ビット

TDDR(ビット5):UART1送信ポート出力制御

- ① このビットが1の時、送信ポート(P00)は送信データを出力します(但し、P0DDR(FE41H)のビット0が1の場合、送信データは出力されません)。
  - ② このビットが0の時、送信ポート(P00)は送信データを出力しません。
- ※ 送信動作停止(TRUN=0)状態で、このビットが1の時、送信ポートは“HIGH/オープン(CMOS/Nch-オープンドレイン)”を出力します。
- ※ 送信を使用しない時、このビットは0に設定してください。

TCMOS(ビット4):UART1送信ポート出力形式制御

- ① このビットが1の時、送信ポート(P00)の出力形式は“CMOS”となります。
- ② このビットが0の時、送信ポート(P00)の出力形式は“Nch-オープンドレイン”となります。

TBIT8(ビット2):UART1送信データビット8格納ビット

- ① データ長が9ビット(8/9BIT=1)の時、送信データのビット8を格納するためのビットです。

EMPTY(ビット1):UART1送信データ転送完了フラグ

- ① 送信動作開始時、送信データレジスタ(TBUF)から送信シフトレジスタ(TSFT)へのデータ転送が行われ、転送完了時にこのビットはセットされます。
  - ② このビットのクリアは命令で行ってください。
- ※ 連続送信動作を行う場合、このビットがセットされたのを確認して、次の送信データを送信データレジスタ(TBUF)に書き込んでください。その後、このビットを送信動作終了前までにクリアすると、送信動作終了時に送信制御ビット(TRUN)が自動的にセットされ、次の送信動作を開始します。

TEMPIE(ビット0):UART1送信データ転送完了割り込み要求発生許可制御

- ① このビットとEMPTYがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

## UART1

### 3-20-4-3 UART1ボーレート制御レジスタ(UBR)

- ① UART1の転送レートを設定する8ビットのレジスタです。
- ② 送信または受信動作停止時(UCON0:RECRUN=0またはUCON1:TRUN=0の時)、各々のボーレートジェネレータ用カウンタは初期化されます。
- ③ 転送レート分周選択ビット(UCON0:UBRSEL)の設定値により、転送レートの設定範囲を切り替えることができます。

UBRSEL	TUBR1	設定範囲
0	$(\text{UBRの設定値} + 1) \times \frac{8}{3} \text{ Tcyc}$	$\frac{16}{3} \sim \frac{2048}{3} \text{ Tcyc}$
1	$(\text{UBRの設定値} + 1) \times \frac{32}{3} \text{ Tcyc}$	$\frac{64}{3} \sim \frac{8192}{3} \text{ Tcyc}$

※送信または受信動作中に転送レートを変更すると正常に動作しません。必ず動作を停止してから設定してください。

※送信と受信を同時に行う場合、転送レートは同一となります。

※UBRの設定値=00[H]は禁止です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FED2	0000 0000	R/W	UBR	UBRG7	UBRG6	UBRG5	UBRG4	UBRG3	UBRG2	UBRG1	UBRG0

### 3-20-4-4 UART1送信データレジスタ(TBUF)

- ① UART1の送信データを格納する8ビットのレジスタです。
  - ② 送信動作開始時、TBUFから送信シフトレジスタ(TSFT)へのデータ転送が行われます。
- ※連続送信動作を行う場合、次の送信データは送信データ転送完了フラグ(UCON1:EMPTY)を確認してから設定してください。
- ※データ長が9ビット(UCON1:8/9BIT=1)の時、送信データのビット8は、送信データビット8格納ビット(UCON1:TBIT8)に設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FED3	0000 0000	R/W	TBUF	T1BUF7	T1BUF6	T1BUF5	T1BUF4	T1BUF3	T1BUF2	T1BUF1	T1BUF0

### 3-20-4-5 UART1受信データレジスタ(RBUF)

- ① UART1の受信データを格納する8ビットのレジスタです。
  - ② 受信動作終了時、受信シフトレジスタ(RSFT)からRBUFへのデータ転送が行われます。
- ※データ長が9ビット(UCON1:8/9BIT=1)の時、受信データのビット8は、受信データビット8格納ビット(UCON0:RBIT8)に転送されます。
- ※データ長が7ビット(UCON1:8/9BIT=0, 8/7BIT=1)の時、R1BUF7には0が転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FED4	0000 0000	R/W	RBUF	R1BUF7	R1BUF6	R1BUF5	R1BUF4	R1BUF3	R1BUF2	R1BUF1	R1BUF0

## 3-20-5 UART1連続通信の具体例

## 3-20-5-1 連続8ビットデータ受信モードの例(受信データ=55H)

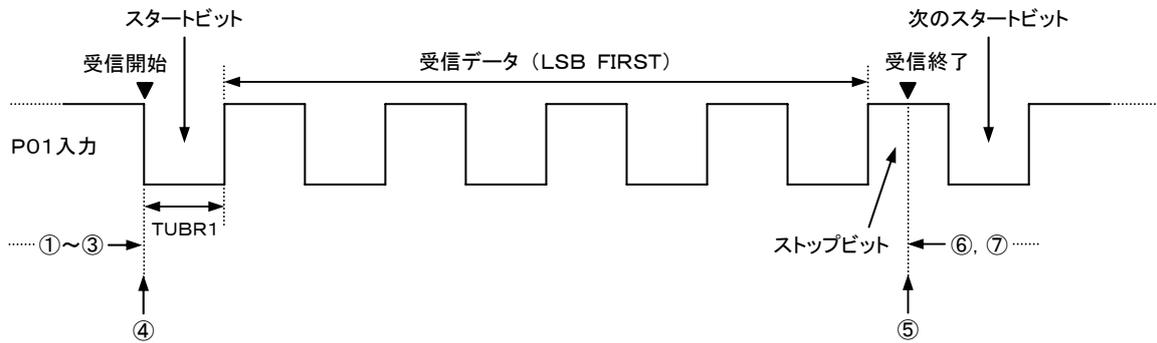


図3-20-3 連続8ビットデータ受信モードの例

## ① 転送レートの設定

- ・UCON0:UBRSELとUBRの設定を行う。

## ② データ長の設定

- ・UCON1:8/9BIT=0, 8/7BIT=0を設定する。

## ③ 受信ポート, スタートビット検出, 割り込みの設定

- ・P0DDR:P01DDR=0, P0:P01=0を設定する。
- ・UCON0=X1000001Bを設定する。

## ④ 受信開始

- ・受信ポート(P01)で立ち下がりを検出すると、UCON0:RECRUNがセットされ、受信動作を開始する。

## ⑤ 受信終了

- ・受信動作が終了すると、UCON0:RECRUNが自動的にクリアされ、UCON0:RECEADがセットされる。そして、次の受信データのスタートビット待ち状態となる。

## ⑥ 受信終了割り込み

- ・RBUFに格納された受信データを読み込む。
- ・UCON0:STPERRを読み出して、通信に異常がないかを判断する。  
(通信に異常があった場合、異常処理ルーチンでUCON0:STPERRをクリアする)
- ・UCON0:RECEADをクリアして割り込みを抜ける。

## ⑦ 次のデータ受信

- ・この後は、④～⑥を繰り返す。

※連続受信動作を停止する場合、UCON0:STRDETとRECRUNに同時に0を書き込むと、即座に受信動作を停止する。

## UART1

### 3-20-5-2 連続8ビットデータ送信モードの例(送信データ=55H)

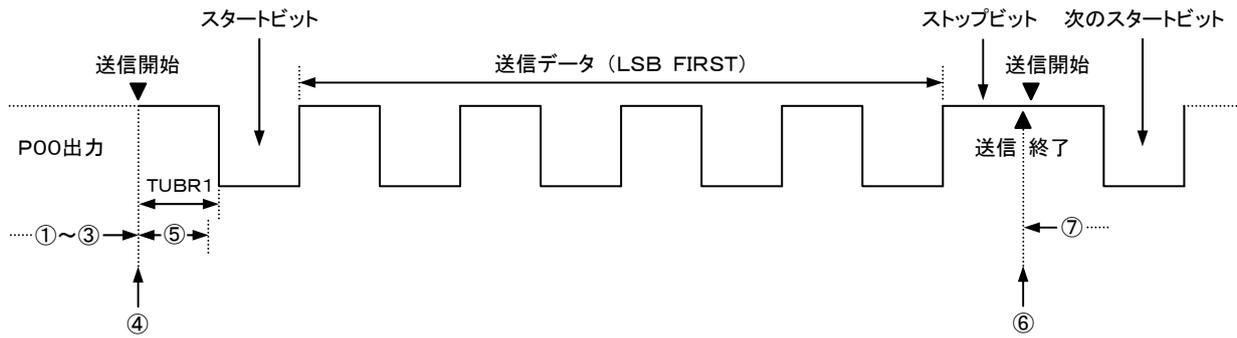


図 3-20-4 連続8ビットデータ送信モードの例

① 転送レートの設定

- ・UCON0:UBRSELとUBRの設定を行う。

② 送信データの設定

- ・TBUF=55Hを設定する。

③ 送信ポート、データ長、割り込みの設定

- ・P0DDR:P00DDR=0, P0:P00=0を設定する。
- ・UCON1=00110001Bを設定する。

④ 送信開始

- ・UCON1:TRUNをセットすると、送信動作を開始する。

⑤ 送信データ転送完了割り込み

- ・次の送信データをTBUFに設定する。
- ・UCON1:EMPTYをクリアし、割り込みを抜ける。

⑥ 送信終了

- ・送信動作が終了すると、UCON1:TRUNが自動的にクリアされるが、同一サイクル(Tcyc)内で自動的にセット(この処理に1Tcycかかる)され、次のデータ送信を開始する。

⑦ 次のデータ送信

- ・この後は、⑤～⑥を繰り返す。

※連続送信動作を終了する場合、⑤の処理で、UCON1:EMPTYはクリアしないで、UCON1:TEMPIEをクリアして割り込みを抜けると、その時の送信動作が最後となる。

### 3-20-5-3 UART1通信のポート設定

#### ①受信ポート(P01)の設定

レジスタデータ		受信ポート(P01)の状態	内蔵プルアップ抵抗
P01	P01DDR		
0	0	入力	OFF
1	0	入力	ON

※P01DDRが“1”の場合、正常に受信できません。

#### ②送信ポート(P00)の設定

レジスタデータ				送信ポート(P00)の状態	内蔵プルアップ抵抗
P00	P00DDR	TDDR	TCMOS		
0	0	1	1	CMOS出力	OFF
0	0	1	0	Nchオープンドレイン出力	OFF
1	0	1	0	Nchオープンドレイン出力	ON

※P00DDRが“1”の場合、送信データは出力されません。

## 3-20-6 UART1のHALTモード時の動作

### 3-20-6-1 受信モード

- ①HALTモード時、受信モードUART1は動作します(HALTモード突入時にUCON0:STRDET=1の場合、受信動作終了後、UCON0:RECRUNがセットされるようなデータが受信ポートに入力されると、再度受信を開始します)。
- ②HALTモードの解除をUART1受信割り込みで行うことができます。

### 3-20-6-2 送信モード

- ①HALTモード時、送信モードUART1は動作します(HALTモード突入時に連続送信動作の設定がされている場合、送信動作終了後、再度送信動作が開始されますが、UCON1:EMPTYをクリアできないため、この送信の終了で動作は停止します)。
- ②HALTモードの解除をUART1送信割り込みで行うことができます。

## 3-21 非同期シリアルインタフェース2 (UART2)

### 3-21-1 概要

本シリーズは、次の機能を持った非同期シリアルインタフェース2 (UART2) を備えています。

- ① データ長 : 7 / 8 / 9 ビット (LSB FIRST)
- ② ストップビット長 : 1 ビット (連続送信時は2ビット)
- ③ パリティビット : なし
- ④ 転送レート :  $\frac{16}{3} \sim \frac{8192}{3} \text{ Tcyc}$
- ⑤ 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことが可能です。また、送信部、受信部ともにダブルバッファ構造となっており、連続データ送受信が可能です。

### 3-21-2 機能

#### ① 非同期シリアル (UART2)

- ・データ長 : 7 / 8 / 9 ビット, ストップビット長 : 1 ビットの全二重の非同期通信を行います。
- ・UART2の転送レートは、 $\frac{16}{3} \sim \frac{8192}{3} \text{ Tcyc}$  の範囲で可変です。

#### ② 連続データ送受信

- ・単一データ長, 単一転送レートでの連続データ送信および受信を行います。連続送信時のストップビットは2ビットです (図 3-21-4 参照)。
- ・UART2の転送レートは、 $\frac{16}{3} \sim \frac{8192}{3} \text{ Tcyc}$  の範囲で可変です。
- ・送信データは、送信データレジスタ (TBUF2) から読み出され、受信データは、受信データレジスタ (RBUF2) に格納されます。

#### ③ 割り込みの発生

割り込み要求許可ビットがセットされている場合、送信データ転送完了、受信終了で割り込み要求を発生します。

#### ④ 非同期シリアルインタフェース1 (UART2) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・UCON2, UCON3, UBR2, TBUF2, RBUF2
- ・P0, P0DDR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE8	0000 0000	R/W	UCON2	UBRSEL2	STRDET2	RECRUN2	STPERR2	U2B3	RBIT82	RECEND2	RECENIE2
FEE9	0000 0000	R/W	UCON3	TRUN2	8/9BIT2	TDDR2	TCMOS2	8/7BIT2	TBIT82	EMPTY2	TEMPIE2
FEEA	0000 0000	R/W	UBR2	U2BRG7	U2BRG6	U2BRG5	U2BRG4	U2BRG3	U2BRG2	U2BRG1	U2BRG0
FEEB	0000 0000	R/W	TBUF2	T2BUF7	T2BUF6	T2BUF5	T2BUF4	T2BUF3	T2BUF2	T2BUF1	T2BUF0
FEEC	0000 0000	R/W	RBUF2	R2BUF7	R2BUF6	R2BUF5	R2BUF4	R2BUF3	R2BUF2	R2BUF1	R2BUF0

### 3-21-3 回路構成

#### 3-21-3-1 UART2制御レジスタ2(UCON2) (8ビットレジスタ)

① UART2の受信動作, 割り込みの制御を行います。

#### 3-21-3-2 UART2制御レジスタ3(UCON3) (8ビットレジスタ)

① UART2の送信動作, データ長, 割り込みの制御を行います。

#### 3-21-3-3 UART1ボーレート制御レジスタ(UBR2) (8ビットレジスタ)

① UART2の転送レートを設定する8ビットのレジスタです。

②  $\frac{(n+1) \times 8}{3} T_{cyc}$ 、または  $\frac{(n+1) \times 32}{3} T_{cyc}$  ( $n=1 \sim 255$ , 注:  $n=0$ は禁止) 周期のクロックを発生できます。

#### 3-21-3-4 UART2送信データレジスタ(TBUF2) (8ビットレジスタ)

① UART2の送信データを格納する8ビットのレジスタです。

#### 3-21-3-5 UART2送信シフトレジスタ(TSFT2) (11ビットシフトレジスタ)

① UART2のデータ送信のためのシフトレジスタです。

② 命令で直接アクセスはできません。送信データレジスタ(TBUF2)を通してアクセスします。

#### 3-21-3-6 UART2受信データレジスタ(RBUF2) (8ビットレジスタ)

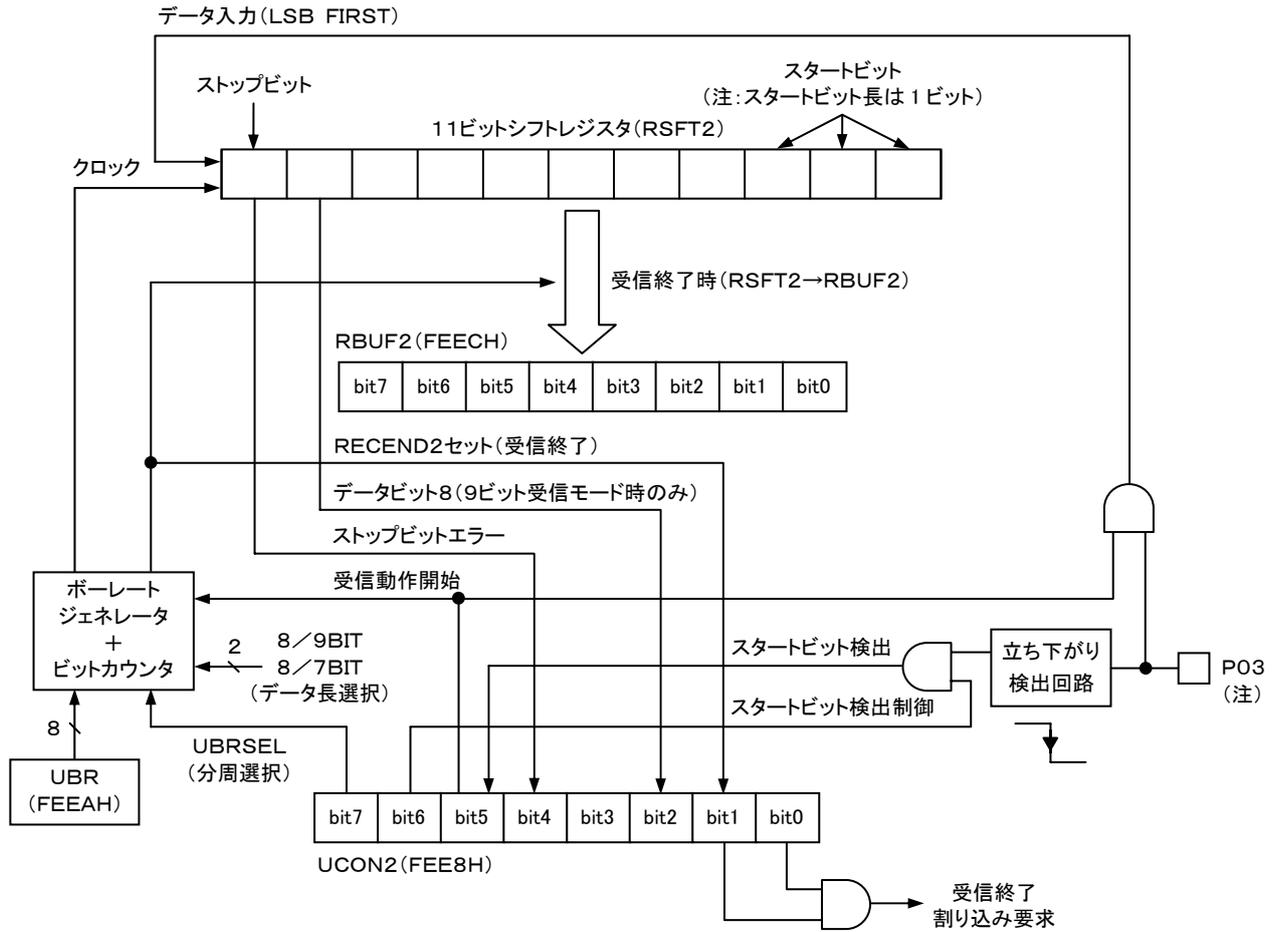
① UART2の受信データを格納する8ビットのレジスタです。

#### 3-21-3-7 UART2受信シフトレジスタ(RSFT2) (11ビットシフトレジスタ)

① UART2のデータ受信のためのシフトレジスタです。

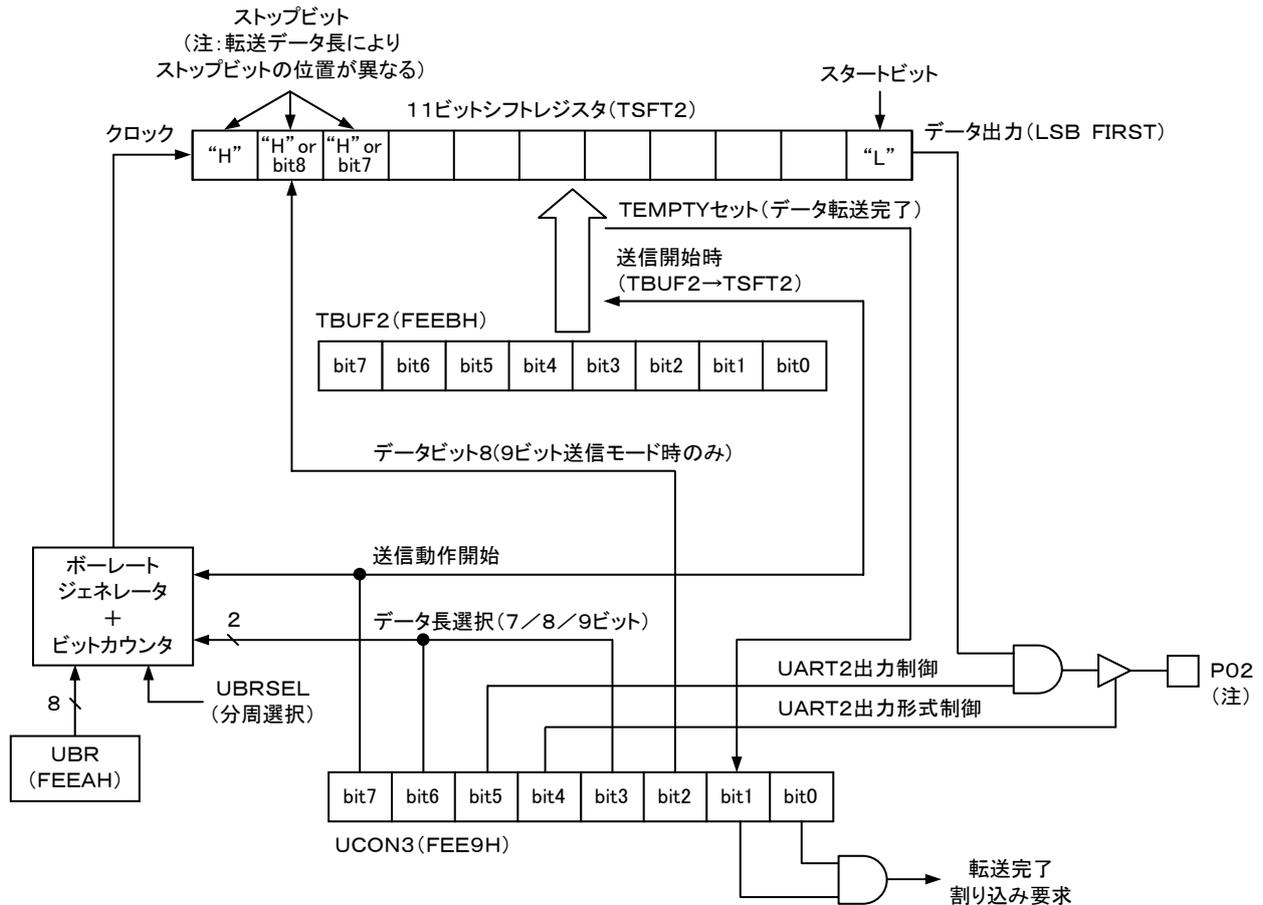
② 命令で直接アクセスはできません。受信データレジスタ(RBUF2)を通してアクセスします。

# UART2



(注) UART2を受信モードで使用する場合、PODDR (FE41H) のビット3は、“0”で使用してください。ビット3が“1”の場合、正常に受信できません。

図 3-21-1 UART2受信動作ブロック図



(注) UART2の送信データを出力する場合、PODDR (FE41H)のビット2は、“0”で使用してください。ビット2が“1”の場合、送信データは出力されません。

図 3-21-2 UART2送信動作ブロック図

### 3-21-4 関連レジスタ

#### 3-21-4-1 UART2制御レジスタ2 (UCON2)

① UART2の受信動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE8	0000 0000	R/W	UCON2	UBRSEL2	STRDET2	RECRUN2	STPERR2	U2B3	RBIT82	RECEND2	RECENIE2

UBRSEL2 (ビット7) : UART2転送レート分周選択

プログラマブル転送モード時の転送レートの分周を選択します。

① このビットが1の時、転送レートの設定範囲は  $\frac{64}{3} \sim \frac{8192}{3} T_{cyc}$  となります。

② このビットが0の時、転送レートの設定範囲は  $\frac{16}{3} \sim \frac{2048}{3} T_{cyc}$  となります。

※ 送信または受信動作中に転送レートを変更すると正常に動作しません。

必ず動作を停止してから設定してください。

## UART2

STRDET2(ビット6):UART2スタートビット検出制御

- ① このビットが1の時、スタートビット検出(立ち下がり検出)は有効となり、受信待機状態となります。
- ② このビットが0の時、スタートビット検出(立ち下がり検出)は無効となります。

RECRUN2(ビット5):UART2受信動作フラグ

- ① スタートビット検出が有効(STRDET2=1)の時、受信ポート(P03)で立ち下がりを検出すると、このビットはセットされて受信動作を開始します。
  - ② 受信動作終了時(ストップビット受信時)、このビットは自動的にクリアされます。
- ※ 受信待機状態(STRDET2=1/RECRUN2=0)または受信動作中(STRDET2=1/RECRUN2=1)の状態から受信動作を停止する場合、STRDET2とRECRUN2に同時に0を書き込んでください。

STPERR2(ビット4):UART2ストップビットエラーフラグ

- ① 受信動作終了時、受信したストップビットが“L”の場合、このビットはセットされます。
- ② このビットのクリアは命令で行ってください。

U2B3(ビット3):UART2汎用フラグ

- ① 汎用フラグとして使用できます。
- ※ このビットを操作しても機能ブロックの動作に影響を与えません。

RBIT82(ビット2):UART2受信データビット8格納ビット

- ① データ長が9ビット(UCON3:8/9BIT=1)の時、受信データのビット8が受信動作終了時に格納されます。

RECEND2(ビット1):UART2受信終了フラグ

- ① 受信動作終了時、このビットはセットされます(このビットがセットされる時、受信シフトレジスタ(RSFT2)から受信データレジスタ(RBUF2)へのデータ転送が行われます)。
- ② このビットのクリアは命令で行ってください。

RECENIE2(ビット0):UART2受信終了割り込み要求発生許可制御

- ① このビットとRECEND2がともに1の時、ベクタアドレス0033Hへの割り込み要求を発生します。

### 3-21-4-2 UART2制御レジスタ3(UCON3)

① UART1の送信動作、データ長、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE9	0000 0000	R/W	UCON3	TRUN2	8/9BIT2	TDDR2	TCMOS2	8/7BIT2	TBIT82	EMPTY2	TEMPIE2

TRUN2(ビット7):UART2送信制御

- ① このビットが1の時、送信動作を開始します。
- ② 送信動作終了時(ストップビット送信終了時)、このビットは自動的にクリアされます(送信動作中にこのビットをクリアすると、送信動作途中で停止します)。

※ 連続送信動作を行う場合、このビットは送信動作終了時にクリアされますが、同一サイクル(Tcyc)内で自動的にセットされます。この処理のため、送信毎に1Tcyc挟んで送信動作を行います。

8/9BIT2(ビット6):UART2転送データ長選択

8/7BIT2(ビット3):UART2転送データ長選択

① 8/9BIT2が1の時、転送データ長は9ビットとなります。

② 8/9BIT2が0、8/7BIT2が0の時、転送データ長は8ビットとなります。

③ 8/9BIT2が0、8/7BIT2が1の時、転送データ長は7ビットとなります。

※ 送信または受信動作中にデータ長を変更すると正常に動作しません。必ず動作を停止してから設定してください。

※ 送信と受信を同時に行う場合、データ長は同一となります。

8/9BIT2	8/7BIT2	データ長
0	0	8ビット
0	1	7ビット
1	—	9ビット

TDDR2(ビット5):UART2送信ポート出力制御

① このビットが1の時、送信ポート(P02)は送信データを出力します(但し、P0DDR(FE41H)のビット2が1の場合、送信データは出力されません)。

② このビットが0の時、送信ポート(P02)は送信データを出力しません。

※ 送信動作停止(TRUN2=0)状態で、このビットが1の時、送信ポートは“HIGH/オープン(CMOS/Nch-オープンドレイン)”を出力します。

※ 送信を使用しない時、このビットは0に設定してください。

TCMOS2(ビット4):UART2送信ポート出力形式制御

① このビットが1の時、送信ポート(P02)の出力形式は“CMOS”となります。

② このビットが0の時、送信ポート(P02)の出力形式は“Nch-オープンドレイン”となります。

TBIT82(ビット2):UART2送信データビット8格納ビット

① データ長が9ビット(8/9BIT=1)の時、送信データのビット8を格納するためのビットです。

EMPTY2(ビット1):UART2送信データ転送完了フラグ

① 送信動作開始時、送信データレジスタ(TBUF2)から送信シフトレジスタ(TSFT2)へのデータ転送が行われ、転送完了時にこのビットはセットされます。

② このビットのクリアは命令で行ってください。

※ 連続送信動作を行う場合、このビットがセットされたのを確認して、次の送信データを送信データレジスタ(TBUF2)に書き込んでください。その後、このビットを送信動作終了前までにクリアすると、送信動作終了時に送信制御ビット(TRUN2)が自動的にセットされ、次の送信動作を開始します。

TEMPIE2(ビット0):UART2送信データ転送完了割り込み要求発生許可制御

① このビットとEMPTY2がともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

## UART2

### 3-21-4-3 UART2ボーレート制御レジスタ(UBR2)

- ① UART2の転送レートを設定する8ビットのレジスタです。
- ② 送信または受信動作停止時(UCON2:RECRUN2=0またはUCON3:TRUN2=0の時)、各々のボーレートジェネレータ用カウンタは初期化されます。
- ③ 転送レート分周選択ビット(UCON2:UBRSEL2)の設定値により、転送レートの設定範囲を切り替えることができます。

UBRSEL2	TUBR1	設定範囲
0	$(\text{UBR2の設定値} + 1) \times \frac{8}{3} \text{ Tcyc}$	$\frac{16}{3} \sim \frac{2048}{3} \text{ Tcyc}$
1	$(\text{UBR2の設定値} + 1) \times \frac{32}{3} \text{ Tcyc}$	$\frac{64}{3} \sim \frac{8192}{3} \text{ Tcyc}$

※送信または受信動作中に転送レートを変更すると正常に動作しません。必ず動作を停止してから設定してください。

※送信と受信を同時に行う場合、転送レートは同一となります。

※UBR2の設定値=00[H]は禁止です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEEA	0000 0000	R/W	UBR2	U2BRG7	U2BRG6	U2BRG5	U2BRG4	U2BRG3	U2BRG2	U2BRG1	U2BRG0

### 3-21-4-4 UART2送信データレジスタ(TBUF2)

- ① UART2の送信データを格納する8ビットのレジスタです。
  - ② 送信動作開始時、TBUF2から送信シフトレジスタ(TSFT2)へのデータ転送が行われます。
- ※連続送信動作を行う場合、次の送信データは送信データ転送完了フラグ(UCON3:EMPTY2)を確認してから設定してください。
- ※データ長が9ビット(UCON3:8/9BIT2=1)の時、送信データのビット8は、送信データビット8格納ビット(UCON3:TBIT82)に設定します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEEB	0000 0000	R/W	TBUF2	T2BUF7	T2BUF6	T2BUF5	T2BUF4	T2BUF3	T2BUF2	T2BUF1	T2BUF0

### 3-21-4-5 UART2受信データレジスタ(RBUF2)

- ① UART2の受信データを格納する8ビットのレジスタです。
  - ② 受信動作終了時、受信シフトレジスタ(RSFT2)からRBUF2へのデータ転送が行われます。
- ※データ長が9ビット(UCON3:8/9BIT2=1)の時、受信データのビット8は、受信データビット8格納ビット(UCON2:RBIT82)に転送されます。
- ※データ長が7ビット(UCON3:8/9BIT2=0, 8/7BIT2=1)の時、R2BUF7には0が転送されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEEC	0000 0000	R/W	RBUF2	R2BUF7	R2BUF6	R2BUF5	R2BUF4	R2BUF3	R2BUF2	R2BUF1	R2BUF0

### 3-21-5 UART2連続通信の具体例

#### 3-21-5-1 連続8ビットデータ受信モードの例(受信データ=55H)

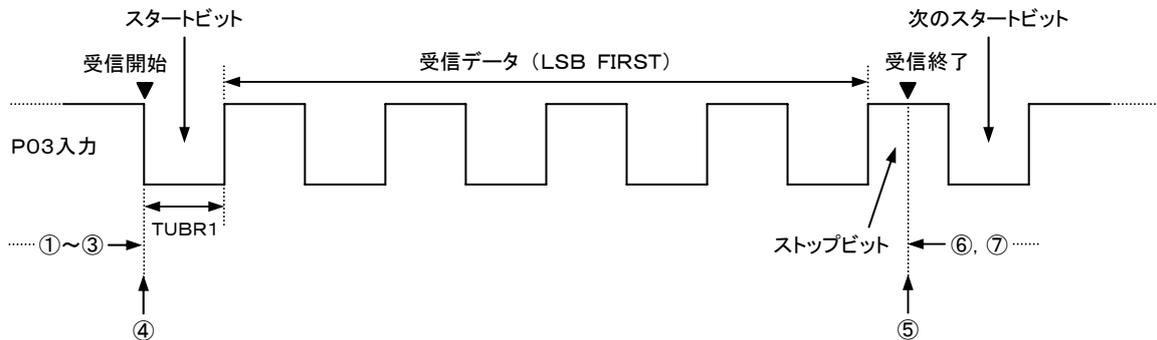


図3-21-3 連続8ビットデータ受信モードの例

#### ① 転送レートの設定

- ・UCON2:UBRSEL2とUBR2の設定を行う。

#### ② データ長の設定

- ・UCON3:8/9BIT2=0, 8/7BIT2=0を設定する。

#### ③ 受信ポート, スタートビット検出, 割り込みの設定

- ・P0DDR:P03DDR=0, P0:P03=0を設定する。
- ・UCON2=X1000001Bを設定する。

#### ④ 受信開始

- ・受信ポート(P03)で立ち下がりを検出すると、UCON2:RECRUN2がセットされ、受信動作を開始する。

#### ⑤ 受信終了

- ・受信動作が終了すると、UCON2:RECRUN2が自動的にクリアされ、UCON2:RECEND2がセットされる。そして、次の受信データのスタートビット待ち状態となる。

#### ⑥ 受信終了割り込み

- ・RBUF2に格納された受信データを読み込む。
- ・UCON2:STPERR2を読み出して、通信に異常がないかを判断する。  
(通信に異常があった場合、異常処理ルーチンでUCON2:STPERR2をクリアする)
- ・UCON2:RECEND2をクリアして割り込みを抜ける。

#### ⑦ 次のデータ受信

- ・この後は、④～⑥を繰り返す。

※連続受信動作を停止する場合、UCON2:STRDET2とRECRUN2に同時に0を書き込むと、即座に受信動作を停止する。

## UART2

### 3-21-5-2 連続8ビットデータ送信モードの例 (送信データ = 55H)

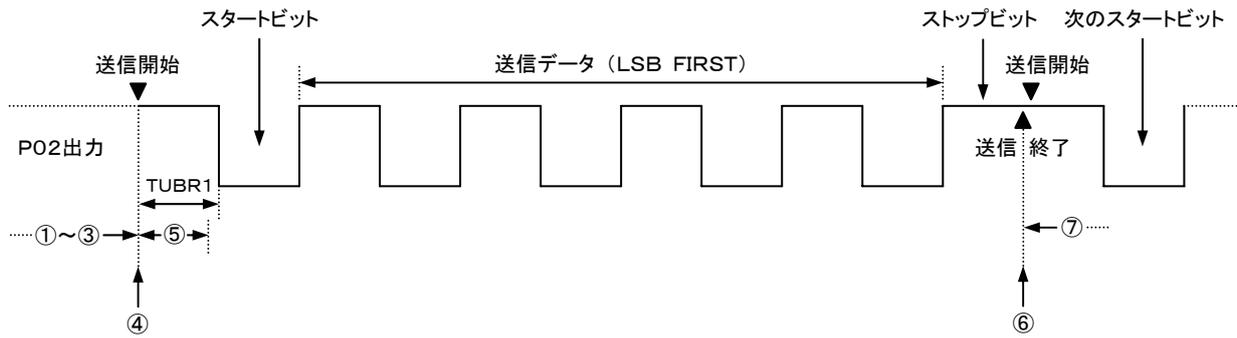


図 3-21-4 連続8ビットデータ送信モードの例

① 転送レートの設定

- ・UCON2:UBRSEL2とUBR2の設定を行う。

② 送信データの設定

- ・TBUF2 = 55Hを設定する。

③ 送信ポート, データ長, 割り込みの設定

- ・P0DDR:P02DDR = 0, P0:P02 = 0を設定する。
- ・UCON3 = 00110001Bを設定する。

④ 送信開始

- ・UCON3:TRUN2をセットすると、送信動作を開始する。

⑤ 送信データ転送完了割り込み

- ・次の送信データをTBUF2に設定する。
- ・UCON3:EMPTY2をクリアし、割り込みを抜ける。

⑥ 送信終了

- ・送信動作が終了すると、UCON3:TRUN2が自動的にクリアされるが、同一サイクル(Tcyc)内で自動的にセット(この処理に1Tcycかかる)され、次のデータ送信を開始する。

⑦ 次のデータ送信

- ・この後は、⑤～⑥を繰り返す。

※連続送信動作を終了する場合、⑤の処理で、UCON3:EMPTY2はクリアしないで、UCON3:TEMPIE2をクリアして割り込みを抜けると、その時の送信動作が最後となる。

### 3-21-5-3 UART2通信のポート設定

#### ①受信ポート(P03)の設定

レジスタデータ		受信ポート(P03)の状態	内蔵プルアップ抵抗
P03	P03DDR		
0	0	入力	OFF
1	0	入力	ON

※P03DDRが“1”の場合、正常に受信できません。

#### ②送信ポート(P02)の設定

レジスタデータ				送信ポート(P02)の状態	内蔵プルアップ抵抗
P02	P02DDR	TDDR2	TCMOS2		
0	0	1	1	CMOS出力	OFF
0	0	1	0	Nch-オープンドレイン出力	OFF
1	0	1	0	Nch-オープンドレイン出力	ON

※P02DDRが“1”の場合、送信データは出力されません。

### 3-21-6 UART2のHALTモード時の動作

#### 3-21-6-1 受信モード

- ① HALTモード時、受信モードUART2は動作します(HALTモード突入時にUCON2:STRDET2=1の場合、受信動作終了後、UCON2:RECRUN2がセットされるようなデータが受信ポートに入力されると、再度受信を開始します)。
- ② HALTモードの解除をUART2受信割り込みで行うことができます。

#### 3-21-6-2 送信モード

- ① HALTモード時、送信モードUART2は動作します(HALTモード突入時に連続送信動作の設定がされている場合、送信動作終了後、再度送信動作が開始されますが、UCON3:EMPTY2をクリアできないため、この送信の終了で動作は停止します)。
- ② HALTモードの解除をUART2送信割り込みで行うことができます。

## 3-22 PWM0/PWM1

### 3-22-1 概要

本シリーズが内蔵しているPWM0/PWM1は2本の12ビットPWMで、周期可変の8ビット基本波PWM発生回路と4ビットの付加パルス発生回路から構成されています。PWM0, PWM1はそれぞれ専用の入出力端子PWM0, PWM1を持ちます。

### 3-22-2 機能

①PWM0: 基本波PWMモード(レジスタPWM0L=0設定)

・基本波周期 =  $\frac{(16\sim 256)}{3} T_{cyc}$  ( $\frac{16}{3} T_{cyc}$ 単位で可変, PWM1と共通)

・HIGHパルス幅 = 0 ~ 基本波周期 -  $\frac{1}{3} T_{cyc}$  ( $\frac{1}{3} T_{cyc}$ 単位で可変)

②PWM0: 基本波 + 付加パルスPWMモード

・基本波周期 =  $\frac{(16\sim 256)}{3} T_{cyc}$  ( $\frac{16}{3} T_{cyc}$ 単位で可変, PWM1と共通)

・全体周期 = 基本波周期 × 16

・HIGHパルス幅 = 0 ~ 全体周期 -  $\frac{1}{3} T_{cyc}$  ( $\frac{1}{3} T_{cyc}$ 単位で可変)

③PWM1: 基本波PWMモード(レジスタPWM1L=0設定)

・基本波周期 =  $\frac{(16\sim 256)}{3} T_{cyc}$  ( $\frac{16}{3} T_{cyc}$ 単位で可変, PWM0と共通)

・HIGHパルス幅 = 0 ~ 基本周期 -  $\frac{1}{3} T_{cyc}$  ( $\frac{1}{3} T_{cyc}$ 単位で可変)

④PWM1: 基本波 + 付加パルスPWMモード

・基本波周期 =  $\frac{(16\sim 256)}{3} T_{cyc}$  ( $\frac{16}{3} T_{cyc}$ 単位で可変, PWM0と共通)

・全体周期 = 基本波周期 × 16

・HIGHパルス幅 = 0 ~ 全体周期 -  $\frac{1}{3} T_{cyc}$  ( $\frac{1}{3} T_{cyc}$ 単位で可変)

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、PWMの全体周期で割り込み要求を発生します。

⑥PWM0/PWM1を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PWM0L, PWM0H, PWM1L, PWM1H, PWM0C, PA, PADDR, PAFCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE20	0000 HHHH	R/W	PWM0L	PWM0L3	PWM0L2	PWM0L1	PWM0L0	-	-	-	-
FE21	0000 0000	R/W	PWM0H	PWM0H7	PWM0H6	PWM0H5	PWM0H4	PWM0H3	PWM0H2	PWM0H1	PWM0H0
FE22	0000 HHHH	R/W	PWM1L	PWM1L3	PWM1L2	PWM1L1	PWM1L0	-	-	-	-
FE23	0000 0000	R/W	PWM1H	PWM1H7	PWM1H6	PWM1H5	PWM1H4	PWM1H3	PWM1H2	PWM1H1	PWM1H0
FE24	0000 0000	R/W	PWM0C	PWM0C7	PWM0C6	PWM0C5	PWM0C4	ENPWM1	ENPWM0	PWM0OV	PWM0IE

### 3-22-3 回路構成

#### 3-22-3-1 PWM0, PWM1制御レジスタ(PWM0C) (8ビットレジスタ)

①PWM0, PWM1の動作, 割り込みの制御を行います。

#### 3-22-3-2 PWM0コンペアレジスタL(PWM0L) (4ビットレジスタ)

①PWM0の付加パルスの制御を行います。

②PWM0Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③PWM0制御ビット(PWM0C:FE24のビット2)が“0”の時、PWM0Lのビット7～4により、PWM0出力(3値)の制御ができます。

#### 3-22-3-3 PWM0コンペアレジスタH(PWM0H) (8ビットレジスタ)

①PWM0の基本波パルス幅の制御を行います。

②PWM0Lのビット7～4を全て“0”固定すると、PWM0はPWM0Hで制御される周期可変8ビットPWMとして使用できます。

#### 3-22-3-4 PWM1コンペアレジスタL(PWM1L) (4ビットレジスタ)

①PWM1の付加パルスの制御を行います。

②PWM1Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③PWM1制御ビット(PWM0C:FE24のビット3)が“0”の時、PWM1Lのビット7～4により、PWM1出力(3値)の制御ができます。

#### 3-22-3-5 PWM1コンペアレジスタH(PWM1H) (8ビットレジスタ)

①PWM1の基本波パルス幅の制御を行います。

②PWM1Lのビット7～4を全て“0”固定すると、PWM1はPWM1Hで制御される周期可変8ビットPWMとして使用できます。

#### 3-22-3-6 PWM01ポート入力レジスタ(PWM01P) (2ビットレジスタ)

①PWM0のデータをビット0として読み込めます。

②PWM1のデータをビット1として読み込めます。

## PWM01

### 3-22-4 関連レジスタ

#### 3-22-4-1 PWM0, PWM1制御レジスタ(PWM0C) (8ビットレジスタ)

①PWM0, PWM1の動作, 割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE24	0000 0000	R/W	PWM0C	PWM0C7	PWM0C6	PWM0C5	PWM0C4	ENPWM1	ENPWM0	PWM0OV	PWM0IE

PWM0C7~PWM0C4(ビット7~4):PWM0, PWM1周期制御

- ・基本波周期 = (PWM0C7~PWM0C4で示される値 + 1) ×  $\frac{16}{3}T_{cyc}$
- ・全体周期 = 基本波周期 × 16

ENPWM1(ビット3):PWM1動作制御

- ・このビットが1の時、PWM1が動作します。
- ・このビットが0の時、PWM1Lのビット7~4により、PWM1出力(3値)の制御ができます。

ENPWM0(ビット2):PWM0動作制御

- ・このビットが1の時、PWM0が動作します。
- ・このビットが0の時、PWM0Lのビット7~4により、PWM0出力(3値)の制御ができます。

PWM0OV(ビット1):PWM0, PWM1オーバフローフラグ

- ・PWMの全体周期毎にセットされます。
- ・このフラグは命令でクリアしてください。

PWM0IE(ビット0):PWM0, PWM1割り込み要求発生許可制御

このビットとPWM0OVがともに1の時、ベクタアドレス004BHへの割り込み要求が発生します。

#### 3-22-4-2 PWM0コンペアレジスタL(PWM0L) (4ビットレジスタ)

①PWM0の付加パルスの制御を行います。

②PWM0Lにはビット7~4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③PWM0制御ビット(PWM0C:FE24のビット2)が“0”の時、PWM0Lのビット7~4により、PWM0出力(3値)の制御ができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE20	0000 HHHH	R/W	PWM0L	PWM0L3	PWM0L2	PWM0L1	PWM0L0	-	-	-	-

PWM0 出力	ENPWM0 FE24-bit2	PWM0L3 FE20-bit7	PWM0L2 FE20-bit6	PWM0L1,0 FE20-bit5,4
HI-Z	0	-	0	-
LOW	0	0	1	0,0
HIGH	0	1	1	0,0

### 3-22-4-3 PWM0コンペアレジスタH(PWM0H) (8ビットレジスタ)

①PWM0の基本波パルス幅の制御を行います。

$$\text{基本波パルス幅} = (\text{PWM0H7} \sim \text{PWM0H0} \text{で示される値}) \times \frac{1}{3} T_{\text{cyc}}$$

②PWM0Lのビット7～4を全て“0”固定すると、PWM0はPWM0Hで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE21	0000 0000	R/W	PWM0H	PWM0H7	PWM0H6	PWM0H5	PWM0H4	PWM0H3	PWM0H2	PWM0H1	PWM0H0

### 3-22-4-4 PWM1コンペアレジスタL(PWM1L) (4ビットレジスタ)

①PWM1の付加パルスの制御を行います。

②PWM1Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

③PWM1制御ビット(PWM0C:FE24のビット3)が“0”の時、PWM1Lのビット7～4により、PWM1出力(3値)の制御ができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE22	0000 HHHH	R/W	PWM1L	PWM1L3	PWM1L2	PWM1L1	PWM1L0	-	-	-	-

PWM1 出力	ENPWM1 FE24-bit3	PWM1L3 FE22-bit7	PWM1L2 FE22-bit6	PWM1L1,0 FE22-bit5,4
HI-Z	0	-	0	-
LOW	0	0	1	0,0
HIGH	0	1	1	0,0

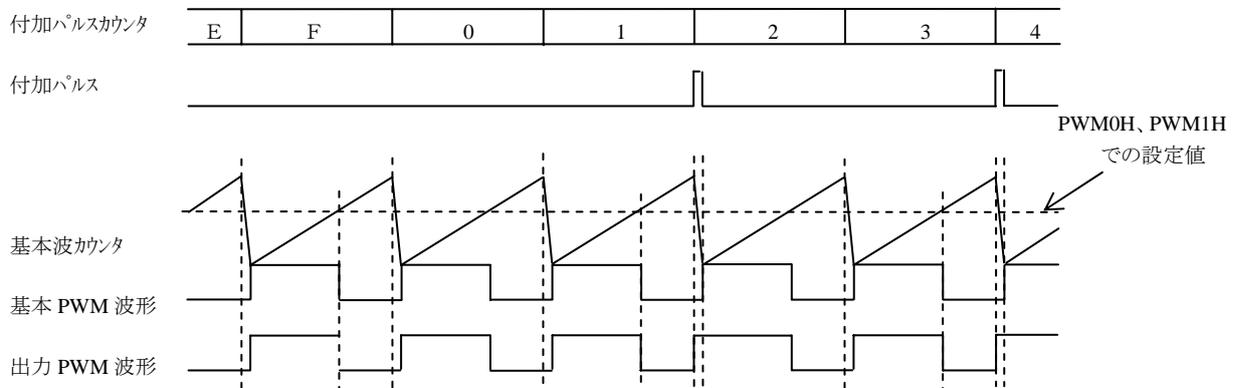
### 3-22-4-5 PWM1コンペアレジスタH(PWM1H) (8ビットレジスタ)

①PWM1の基本波パルス幅の制御を行います。

$$\text{基本波パルス幅} = (\text{PWM1H7} \sim \text{PWM1H0} \text{で示される値}) \times \frac{1}{3} T_{\text{cyc}}$$

②PWM1Lのビット7～4を全て“0”固定すると、PWM1はPWM1Hで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE23	0000 0000	R/W	PWM1H	PWM1H7	PWM1H6	PWM1H5	PWM1H4	PWM1H3	PWM1H2	PWM1H1	PWM1H0



## PWM01

### 3-22-5 PWM0/PWM1出力ポート設定

①PA0～PA3でPWM0出力を行うための設定及び状態は以下のようになります。

レジスタデータ			PAnの状態 (n=0～3)
PAn	PAnDDR	PAnFCR	
0	1	0	LOW
0	1	1	PWM0出力データ
1	1	0	HIGH/オープン (CMOS/Nchオープンドレイン)
1	1	1	HIGH/オープン (CMOS/Nchオープンドレイン)

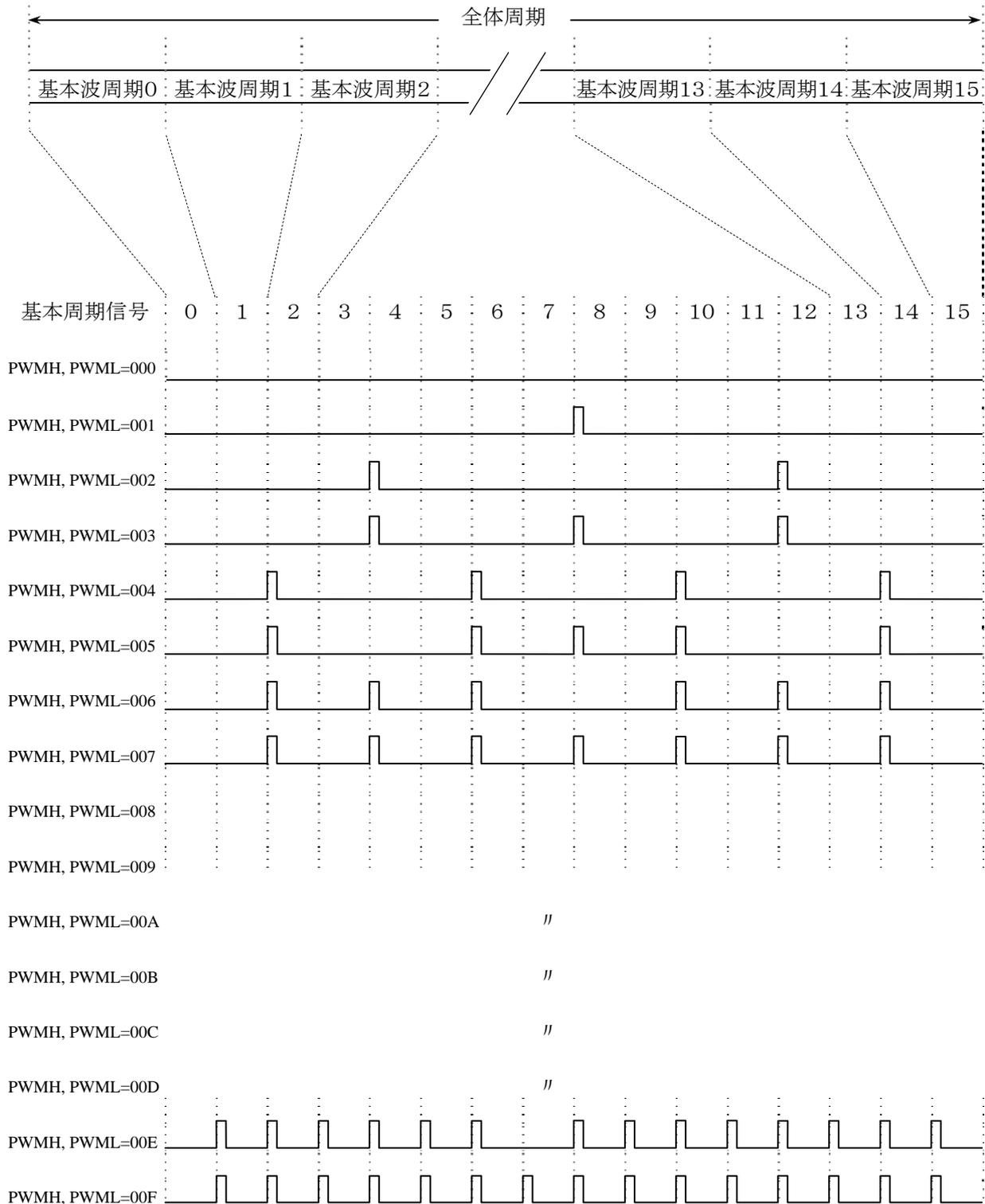
②PA4～PA7でPWM1出力を行うための設定及び状態は以下のようになります。

レジスタデータ			PAnの状態 (n=4～7)
PAn	PAnDDR	PAnFCR	
0	1	0	LOW
0	1	1	PWM1出力データ
1	1	0	HIGH/オープン (CMOS/Nchオープンドレイン)
1	1	1	HIGH/オープン (CMOS/Nchオープンドレイン)

- 12ビットPWMは、以下のような波形構成となります。
  - 全体周期は、基本波周期が16個で構成されます。
  - 基本波周期内は、8ビットPWMで構成されます。 (PWMコンペアレジスタH) (PWMH)
  - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。(PWMコンペアマッチレジスタL) (PWML)

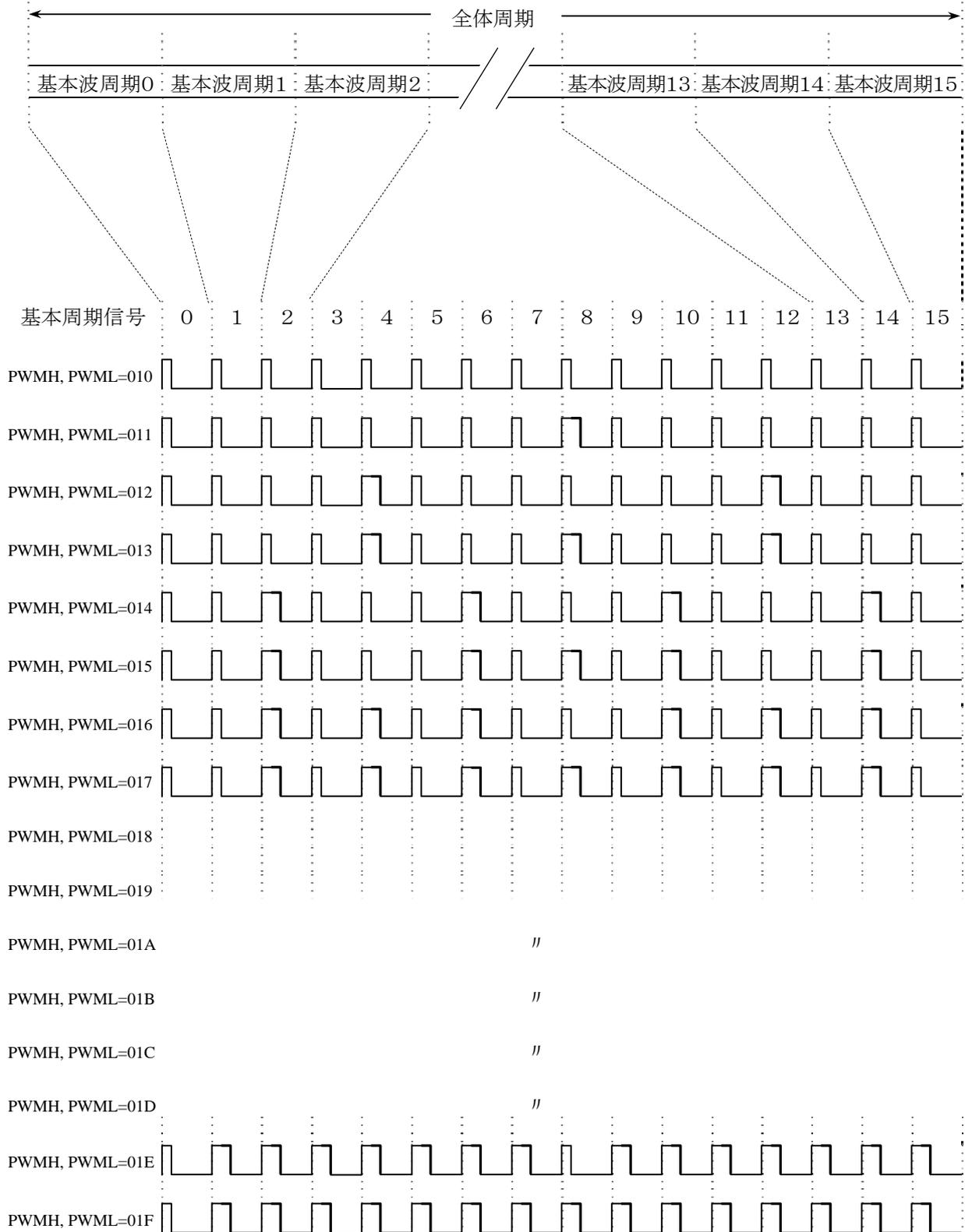
12ビットレジスタ構成 → (PWMH), (PWML) = XXXX XXXX, XXXX (12BIT)

- 基本波周期内への、パルス付加状況 例1。
  - PWMコンペアレジスタH (PWMH) = 00 [H]
  - PWMコンペアレジスタL (PWML) = 0~F [H]



## PWM01

- 基本波周期内への、パルス付加状況。
  - PWMコンペアレジスタH (PWMH) = 01 [H]
  - PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期は、 $\frac{(16 \sim 256)}{3} T_{cyc}$ の範囲で可変です。

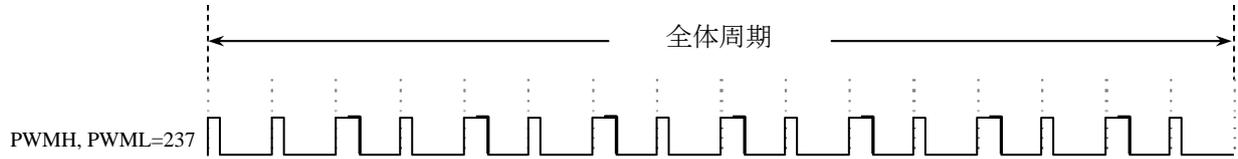
$$\text{基本波周期} = (\text{PWM0C7} \sim \text{PWM0C4} \text{で示される値} + 1) \times \frac{16}{3} T_{cyc}$$

- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

## 参考例

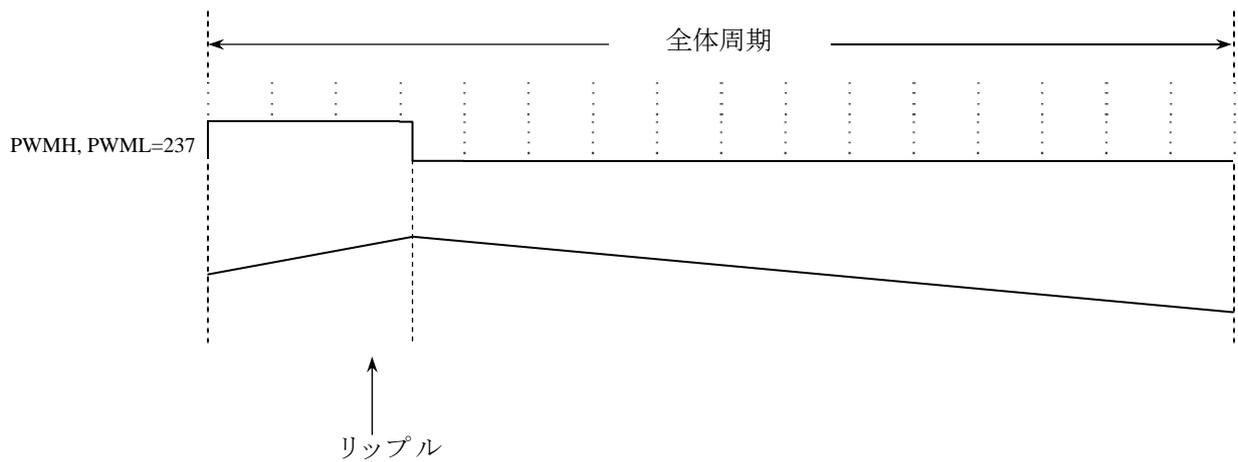
- 12ビットPWMのデータが、237[H]の場合の波形比較  
12ビットレジスタ構成 → (PWMH), (PWML) = 237[H]

## 1. パルス付加方式の場合(本シリーズ)



## 2. 通常方式の場合

下図のように、パルス付加方式と比較して、PWMの積分出力のリプル成分が大きくなりますので、モータ制御にはパルス付加方式の方が良いと考えます。



## 3-23 PWM4/PWM5

### 3-23-1 概要

本シリーズが内蔵しているPWM4/PWM5は2本の12ビットPWMで、周期可変の8ビット基本波PWM発生回路と4ビットの付加パルス発生回路から構成されています。

### 3-23-2 機能

①PWM4:基本波PWMモード(レジスタPWM4L=0設定)

・基本波周期 =  $\frac{(16\sim 256)}{3}T_{cyc}$  ( $\frac{16}{3}T_{cyc}$ 単位で可変, PWM5と共通)

・HIGHパルス幅 = 0 ~ 基本波周期 -  $\frac{1}{3}T_{cyc}$  ( $\frac{1}{3}T_{cyc}$ 単位で可変)

②PWM4:基本波 + 付加パルスPWMモード

・基本波周期 =  $\frac{(16\sim 256)}{3}T_{cyc}$  ( $\frac{16}{3}T_{cyc}$ 単位で可変, PWM5と共通)

・全体周期 = 基本波周期 × 16

・HIGHパルス幅 = 0 ~ 全体周期 -  $\frac{1}{3}T_{cyc}$  ( $\frac{1}{3}T_{cyc}$ 単位で可変)

③PWM5:基本波PWMモード(レジスタPWM5L=0設定)

・基本波周期 =  $\frac{(16\sim 256)}{3}T_{cyc}$  ( $\frac{16}{3}T_{cyc}$ 単位で可変, PWM4と共通)

・HIGHパルス幅 = 0 ~ 基本周期 -  $\frac{1}{3}T_{cyc}$  ( $\frac{1}{3}T_{cyc}$ 単位で可変)

④PWM5:基本波 + 付加パルスPWMモード

・基本波周期 =  $\frac{(16\sim 256)}{3}T_{cyc}$  ( $\frac{16}{3}T_{cyc}$ 単位で可変, PWM4と共通)

・全体周期 = 基本波周期 × 16

・HIGHパルス幅 = 0 ~ 全体周期 -  $\frac{1}{3}T_{cyc}$  ( $\frac{1}{3}T_{cyc}$ 単位で可変)

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、PWMの全体周期で割り込み要求を発生します。

⑥PWM4/PWM5を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PWM4L, PWM4H, PWM5L, PWM5H, PWM4C, P3DDR, P3

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE72	0000 HHHH	R/W	PWM4L	PWM4L3	PWM4L2	PWM4L1	PWM4L0	-	-	-	-
FE73	0000 0000	R/W	PWM4H	PWM4H7	PWM4H6	PWM4H5	PWM4H4	PWM4H3	PWM4H2	PWM4H1	PWM4H0
FE74	0000 HHHH	R/W	PWM5L	PWM5L3	PWM5L2	PWM5L1	PWM5L0	-	-	-	-
FE75	0000 0000	R/W	PWM5H	PWM5H7	PWM5H6	PWM5H5	PWM5H4	PWM5H3	PWM5H2	PWM5H1	PWM5H0
FE76	0000 0000	R/W	PWM4C	PWM4C7	PWM4C6	PWM4C5	PWM4C4	ENPWM5	ENPWM4	PWM4OV	PWM4IE

### 3-23-3 回路構成

#### 3-23-3-1 PWM4, PWM5制御レジスタ(PWM4C) (8ビットレジスタ)

①PWM4, PWM5の動作, 割り込みの制御を行います。

#### 3-23-3-2 PWM4コンペアレジスタL(PWM4L) (4ビットレジスタ)

①PWM4の付加パルスの制御を行います。

②PWM4Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

#### 3-23-3-3 PWM4コンペアレジスタH(PWM4H) (8ビットレジスタ)

①PWM4の基本波パルス幅の制御を行います。

②PWM4Lのビット7～4を全て“0”固定すると、PWM4はPWM4Hで制御される周期可変8ビットPWMとして使用できます。

#### 3-23-3-4 PWM5コンペアレジスタL(PWM5L) (4ビットレジスタ)

①PWM5の付加パルスの制御を行います。

②PWM5Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

#### 3-23-3-5 PWM5コンペアレジスタH(PWM5H) (8ビットレジスタ)

①PWM5の基本波パルス幅の制御を行います。

②PWM5Lのビット7～4を全て“0”固定すると、PWM5はPWM5Hで制御される周期可変8ビットPWMとして使用できます。

## PWM45

### 3-23-4 関連レジスタ

#### 3-23-4-1 PWM4, PWM5制御レジスタ(PWM4C) (8ビットレジスタ)

①PWM4, PWM5の動作, 割り込みの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE76	0000 0000	R/W	PWM4C	PWM4C7	PWM4C6	PWM4C5	PWM4C4	ENPWM5	ENPWM4	PWM4OV	PWM4IE

PWM4C7~PWM4C4(ビット7~4): PWM4, PWM5周期制御

- 基本波周期 = (PWM4C7~PWM4C4で示される値 + 1) ×  $\frac{16}{3} T_{cyc}$
- 全体周期 = 基本波周期 × 16

ENPWM5(ビット3): PWM5動作制御

- このビットが1の時、PWM5が動作します。
- このビットが0の時、PWM5が動作停止します。

ENPWM4(ビット2): PWM4動作制御

- このビットが1の時、PWM4が動作します。
- このビットが0の時、PWM4が動作停止します。

PWM4OV(ビット1): PWM4, PWM5オーバフローフラグ

- PWMの全体周期毎にセットされます。
- このフラグは命令でクリアしてください。

PWM4IE(ビット0): PWM4, PWM5割り込み要求発生許可制御

このビットとPWM4OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

#### 3-23-4-2 PWM4コンペアレジスタL(PWM4L) (4ビットレジスタ)

①PWM4の付加パルスの制御を行います。

②PWM4Lにはビット7~4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE72	0000 HHHH	R/W	PWM4L	PWM4L3	PWM4L2	PWM4L1	PWM4L0	-	-	-	-

#### 3-23-4-3 PWM4コンペアレジスタH(PWM4H) (8ビットレジスタ)

①PWM4の基本波パルス幅の制御を行います。

$$\text{基本波パルス幅} = (\text{PWM4H7~PWM4H0で示される値}) \times \frac{1}{3} T_{cyc}$$

②PWM4Lのビット7~4を全て“0”固定すると、PWM4はPWM4Hで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE73	0000 0000	R/W	PWM4H	PWM4H7	PWM4H6	PWM4H5	PWM4H4	PWM4H3	PWM4H2	PWM4H1	PWM4H0

3-23-4-4 PWM5コンペアレジスタL (PWM5L) (4ビットレジスタ)

- ①PWM5の付加パルスの制御を行います。
- ②PWM5Lにはビット7～4が存在し、読み込み時、下位4ビットは全て“1”として読み込まれます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE74	0000 HHHH	R/W	PWM5L	PWM5L3	PWM5L2	PWM5L1	PWM5L0	-	-	-	-

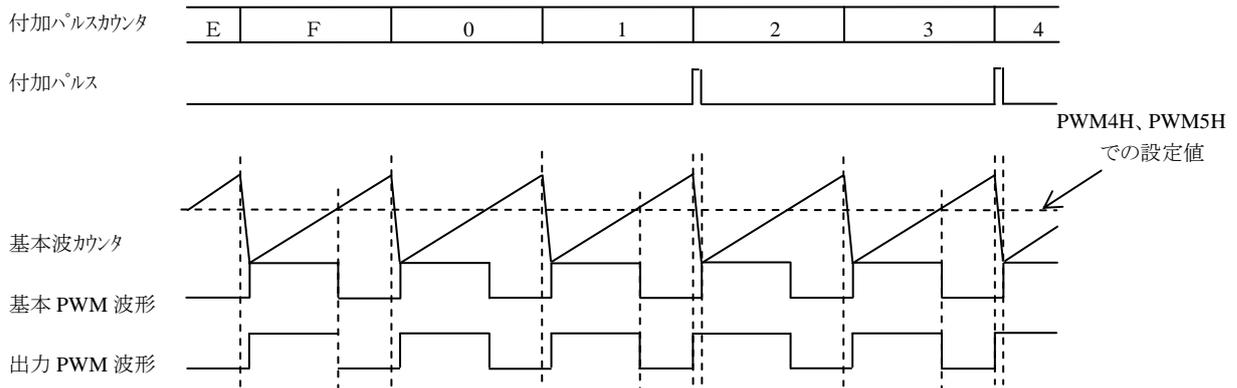
3-23-4-5 PWM5コンペアレジスタH (PWM5H) (8ビットレジスタ)

- ①PWM5の基本波パルス幅の制御を行います。

$$\text{基本波パルス幅} = (\text{PWM5H7} \sim \text{PWM5H0で示される値}) \times \frac{1}{3} T_{\text{cyc}}$$

- ②PWM5Lのビット7～4を全て“0”固定すると、PWM3はPWM3Hで制御される周期可変8ビットPWMとして使用できます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE75	0000 0000	R/W	PWM5H	PWM5H7	PWM5H6	PWM5H5	PWM5H4	PWM5H3	PWM5H2	PWM5H1	PWM5H0



3-23-5 PWM4/PWM5出力ポート設定

- ①P30でPWM4出力、出力を行うための設定及び状態は以下のようになります。

レジスタデータ				P30の状態
P30	P30DDR	ENPWM4	PWM4L2	
0	1	0	0	LOW
0	1	1	-	PWM4出力データ
1	1	0	-	HIGH/オープン (CMOS/Nchオープンドレイン)
1	1	1	-	HIGH/オープン (CMOS/Nchオープンドレイン)

## **PWM45**

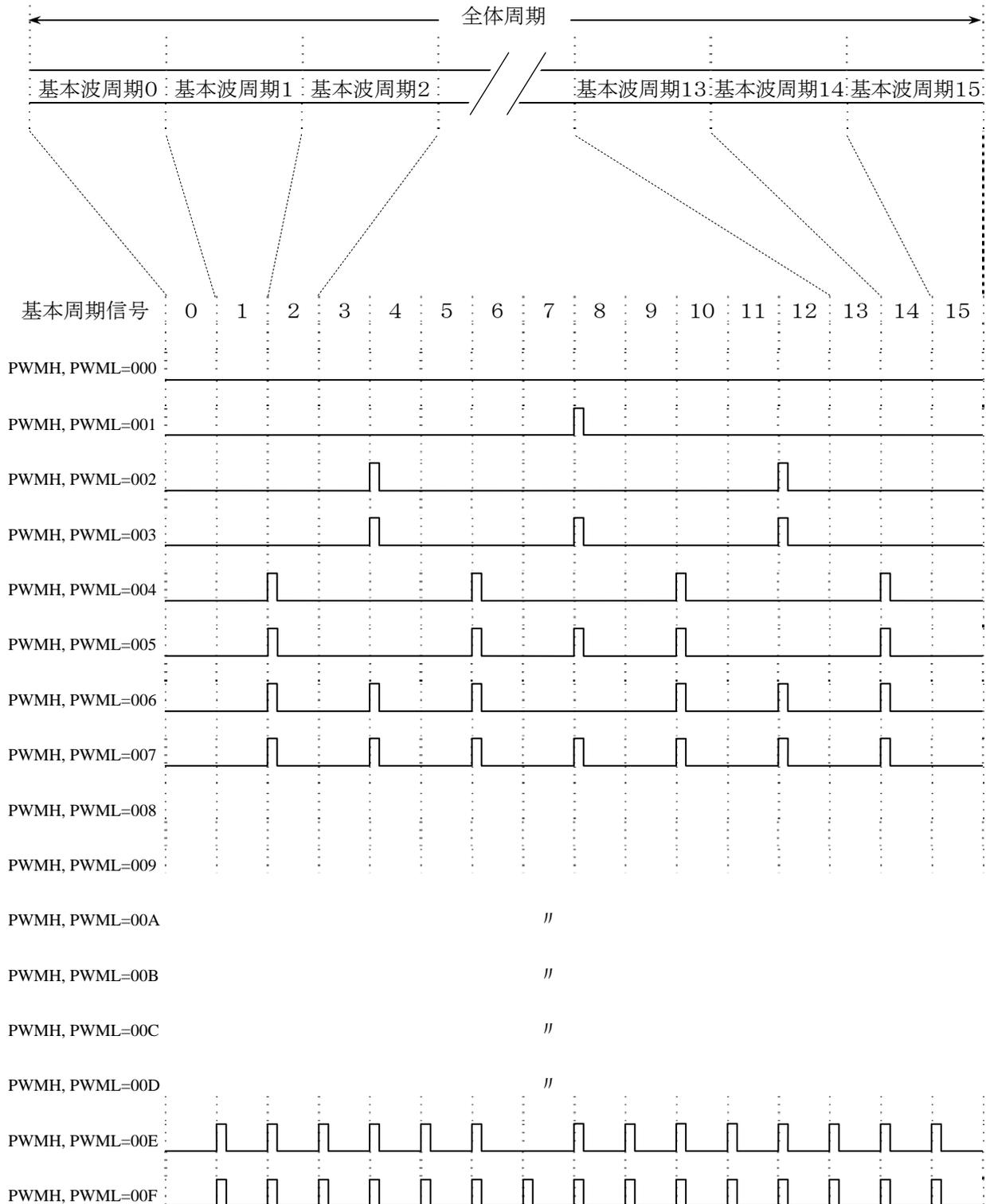
②P31でPWM5出力、出力を行うための設定及び状態は以下のようになります。

レジスタデータ				P31の状態
P31	P31DDR	ENPWM5	PWM5L2	
0	1	0	0	LOW
0	1	1	-	PWM5出力データ
1	1	0	-	HIGH/オープン (CMOS/Nchオープンドレイン)
1	1	1	-	HIGH/オープン (CMOS/Nchオープンドレイン)

- 12ビットPWMは、以下のような波形構成となります。
  - 全体周期は、基本波周期が16個で構成されます。
  - 基本波周期内は、8ビットPWMで構成されます。 (PWMコンペアレジスタH) (PWMH)
  - どの基本波周期内に、パルス付加を行うかを4ビットで制御します。(PWMコンペアマッチレジスタL) (PWML)

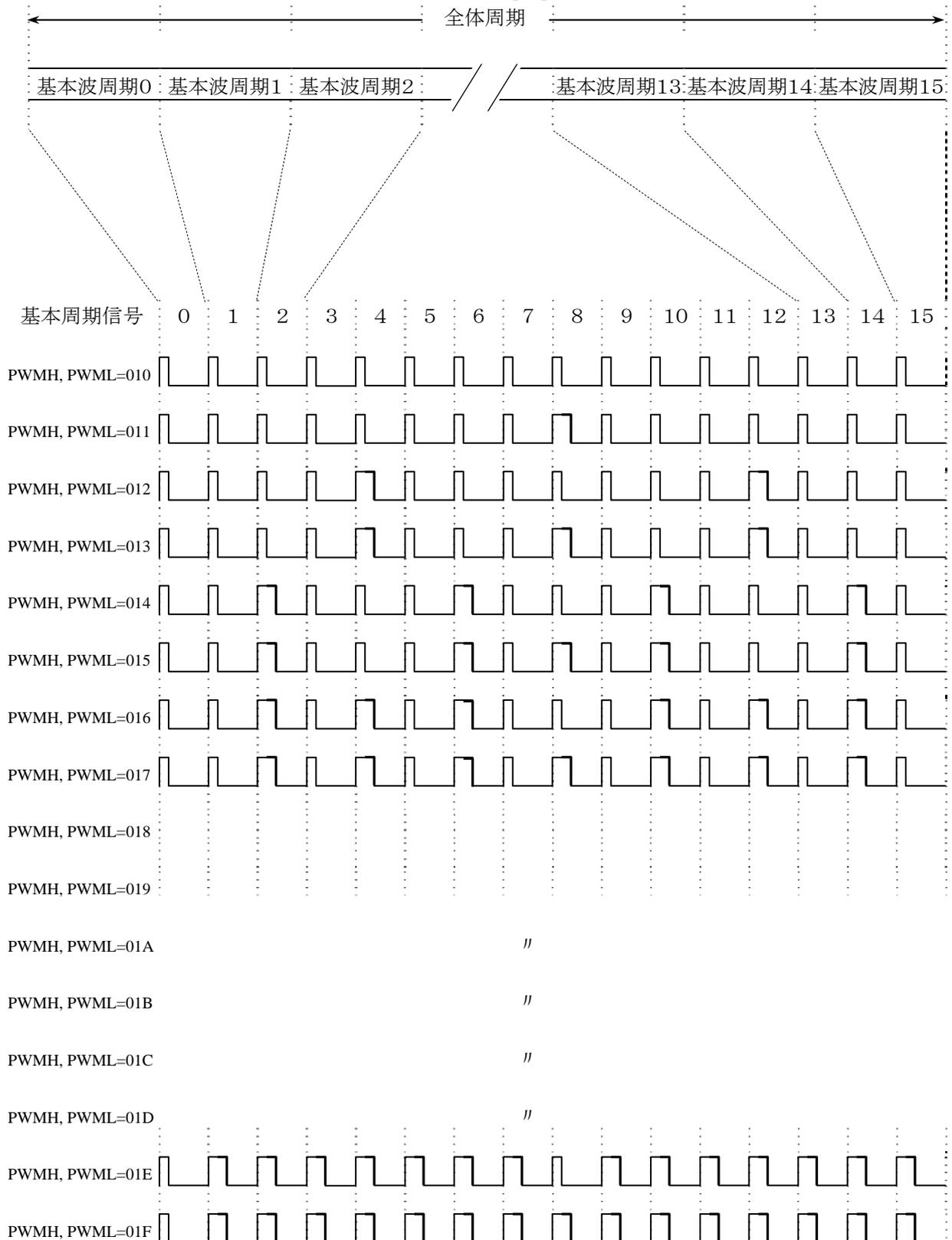
12ビットレジスタ構成 → (PWMH), (PWML) = XXXX XXXX, XXXX (12BIT)

- 基本波周期内への、パルス付加状況 例1。
  - PWMコンペアレジスタH (PWMH) = 00 [H]
  - PWMコンペアレジスタL (PWML) = 0~F [H]



## PWM45

- 基本波周期内への、パルス付加状況。
  - PWMコンペアレジスタH (PWMH) = 01 [H]
  - PWMコンペアレジスタL (PWML) = 0~F [H]



- 基本波周期は、 $\frac{(16 \sim 256)}{3} T_{cyc}$  の範囲で可変です。

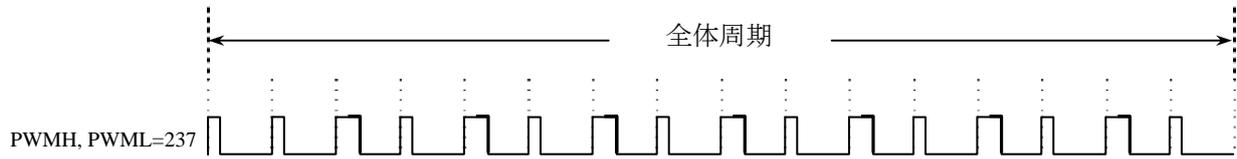
$$\text{基本波周期} = (\text{PWM0C7} \sim \text{PWM0C4} \text{で示される値} + 1) \times \frac{16}{3} T_{cyc}$$

- 基本波周期を変えることにより、全体周期を変えることができます。
- 全体周期は、基本波周期が16個で構成されます。

## 参考例

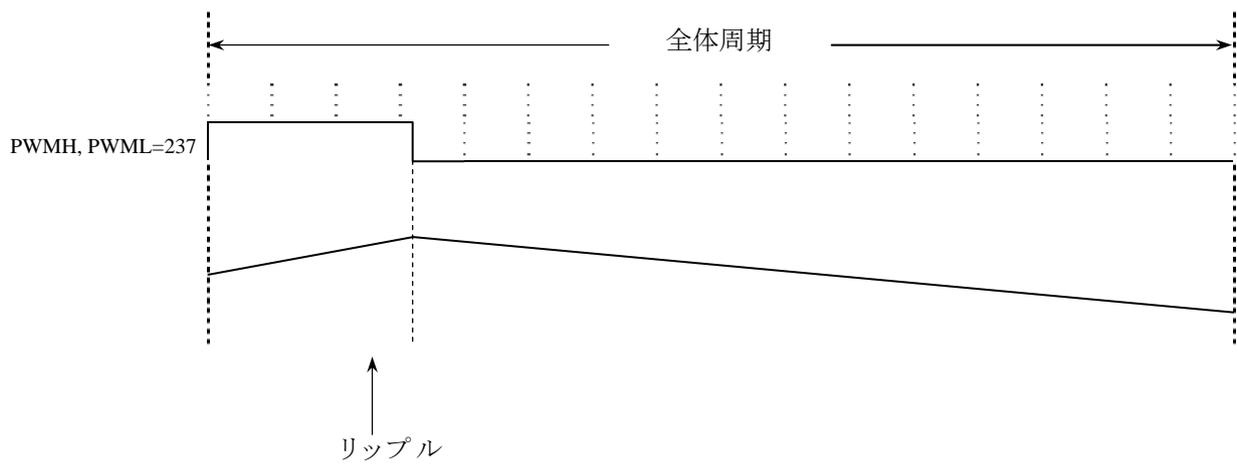
- 12ビットPWMのデータが、237[H]の場合の波形比較  
12ビットレジスタ構成 → (PWMH), (PWML) = 237[H]

### 1. パルス付加方式の場合(本シリーズ)



### 2. 通常方式の場合

下図のように、パルス付加方式と比較して、PWMの積分出力のリプル成分が大きくなりますので、モータ制御にはパルス付加方式の方が良いと考えます。



### 3-24 ADコンバータ(ADC12)

#### 3-24-1 概要

本シリーズは、下記の特徴を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ①12ビット分解能
- ②逐次比較方式
- ③AD変換モード切り替え機能(分解能切り替え)
- ④16チャンネルアナログ入力
- ⑤変換時間切り替え機能
- ⑥基準電圧自動発生制御機能

#### 3-24-2 機能

##### ①逐次比較方式

- ・12ビットの分解能を持っています。
- ・変換には、変換開始から所定の変換時間が必要です。
- ・変換結果は、AD変換結果レジスタ(ADRLC, ADRHC)に転送されます。

##### ②AD変換切り替え機能(分解能切り替え)

使用条件に合わせ分解能を切り替えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ(ADMRC)で行います。

##### ③16チャンネルアナログ入力

変換される信号は、P8及びPBから入力される16種類のアナログ信号からAD制御レジスタ(ADCRC)で選択されます。

##### ④変換時間切り替え機能

AD変換時間を1/1～1/128(分周比)に切り替えることができます。適切なAD変換ができるようにADモードレジスタ(ADMRC)とAD変換結果下位レジスタ(ADRLC)によって切り替えます。

##### ⑤基準電圧自動発生制御機能

基準電圧発生回路を内蔵しており、その電圧発生はADコンバータを開始させると自動的に基準電圧が発生し、終了すると自動的に停止します。このため基準電圧発生の設定/リセット制御は必要ありません。また、外部から基準電圧を供給する必要もありません。

⑥ ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・ADCRC, ADMRC, ADRLC, ADRHC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	DATAL 3	DATAL 2	DATAL 1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

### 3-24-3 回路構成

#### 3-24-3-1 AD変換制御回路

① AD変換制御回路には12ビットAD変換モードと8ビットAD変換モードがあります。

#### 3-24-3-2 比較回路

① 入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCRC)の変換終了フラグ(ADENDF)がセットされます。

変換結果は、AD変換結果レジスタ(ADRHC, ADRLC)に格納されます。

#### 3-24-3-3 マルチプレクサ1(MPX1)

① 16チャンネルからAD変換するアナログ信号を選択します。

#### 3-24-3-4 基準電圧自動発生回路

① ラダー抵抗とマルチプレクサ(MPX2)で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、AD変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はVDD~VSSの範囲で作成されます。

### 3-24-4 関連レジスタ

#### 3-24-4-1 AD制御レジスタ(ADCRC)

① ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE

ADCHSEL3(ビット7):  
ADCHSEL2(ビット6):  
ADCHSEL1(ビット5):  
ADCHSEL0(ビット4):

} AD変換入力信号選択

AD変換する信号を選択します。

## ADC12

AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	信号入力端子
0	0	0	0	P80/AN0
0	0	0	1	P81/AN1
0	0	1	0	P82/AN2
0	0	1	1	P83/AN3
0	1	0	0	P84/AN4
0	1	0	1	P85/AN5
0	1	1	0	P86/AN6
0	1	1	1	P87/AN7
1	0	0	0	PB0/AN8
1	0	0	1	PB1/AN9
1	0	1	0	PB2/AN10
1	0	1	1	PB3/AN11
1	1	0	0	PB4/AN12
1	1	0	1	PB5/AN13
1	1	1	0	PB6/AN14
1	1	1	1	PB7/AN15

ADCRC3 (ビット3) : 固定ビット

‘0’ 固定で使 用 します。

ADSTART (ビット2) : AD変換動作制御

AD変換を開始(1)/停止(0)します。‘1’の設定時、AD変換が開始され、AD変換が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)とADモードレジスタ(ADMRC)のADTM1, ADTM0の3ビットで行います。

‘0’の設定時、AD変換が停止します。AD変換動作中にクリアすると正しい変換結果が得られません。

AD変換動作中は、絶対にクリアまたはHALT, HOLD状態にしないでください。

ADENDF (ビット1) : AD変換終了フラグ

AD変換の終了を知らせます。AD変換が終了するとセット(1)されます。

ADIEが‘1’の場合、ベクタアドレス0043Hへの割り込み要求が発生し、‘0’の場合、AD変換が動作していないことを示しています。

このフラグは、命令でクリアしてください。

ADIE (ビット0) : AD変換割り込み要求発生許可制御

このビットとADENDFがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

注意 :

- ADCHSEL3~0の‘1010’~‘1111’設定を禁止します。
- ADSTARTが‘1’の動作状態でHALT, HOLD状態にしないでください。必ず、‘0’になったことを確認してからHALT, HOLD状態にしてください。

## 3-24-4-2 ADモードレジスタ(ADMRC)

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0

ADMD4(ビット7): 固定ビット。

‘0’固定で使用します。

ADMD3(ビット6): AD変換モード制御(分解能切り替え)

ADコンバータの分解能を12ビットAD変換モード(0)/8ビットAD変換モード(1)に切り替えます。

‘1’の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果レジスタ(ADRHC)のみセットされ、AD変換結果下位レジスタ(ADRLC)は変化しません。

‘0’の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)の上位4ビットにセットされます。

ADMD2(ビット5): 固定ビット。

‘0’固定で使用します。

ADMD1(ビット4): 固定ビット。

‘0’固定で使用します。

ADMD0(ビット3): 固定ビット。

‘0’固定で使用します。

ADMR2(ビット2): 固定ビット。

‘0’固定で使用します。

ADTM1(ビット1):  
ADTM0(ビット0): } AD変換時間制御

AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)の1ビットと合わせて3ビットで変換時間を制御します。

ADRLC レジスタ	ADMRCレジスタ		AD分周比
	ADTM1	ADTM0	
ADTM2			
0	0	0	1/1
0	0	1	1/2
0	1	0	1/4
0	1	1	1/8
1	0	0	1/16
1	0	1	1/32
1	1	0	1/64
1	1	1	1/128

## ADC12

### 変換時間算出方法

- ・12ビットAD変換モード : 変換時間 =  $((52 / (\text{AD分周比})) + 2) \times (1 / 3) \times T_{\text{cyc}}$
  - ・8ビットAD変換モード : 変換時間 =  $((32 / (\text{AD分周比})) + 2) \times (1 / 3) \times T_{\text{cyc}}$
- 注意 :

- ・変換時間は下記の時、通常時の2倍となります。
  - ①システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
  - ②AD変換モードを8ビットAD変換モードから12ビット変換ADモードに切り替え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

### 3-24-4-3 AD変換結果下位レジスタ(ADRLC)

- ①12ビットADモード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2

DATAL3 (ビット7):  
 DATAL2 (ビット6):  
 DATAL1 (ビット5):  
 DATAL0 (ビット4):

} AD変換結果の下位4ビットデータ

- ADRL3 (ビット3): 固定ビット。  
 ‘0’ 固定で使 用 します。
- ADRL2 (ビット2): 固定ビット。  
 ‘0’ 固定で使 用 します。
- ADRL1 (ビット1): 固定ビット。  
 ‘0’ 固定で使 用 します。

ADTM2 (ビット0): AD変換時間制御

ADモードレジスタ(ADMRC)のADTM1(ビット1), ADTM0(ビット0)の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照。

注意 :

- ・変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半 導 体 ニ ュ ー ズ」の規格に従って有効となる変換データのみをご使 用 ください。

### 3-24-4-4 AD変換結果上位レジスタ(ADRHC)

- ①12ビットADモード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットADモード時、AD変換結果の全8ビットを格納するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

### 3-24-5 ADC動作の具体例

#### 3-24-5-1 12ビットAD変換モード

##### ① 12ビットAD変換モードの設定

- ・ADモードレジスタ(ADMRC)のADMD3(ビット6) = 0にします。

##### ② 変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0) = 1にし、ADモードレジスタ(ADMRC)のADTM1(ビット1) = 0、ADTM0(ビット0) = 1にします。

##### ③ 入力チャンネルの設定

- ・ADチャンネル入力のAN5を使用する場合、AD制御レジスタ(ADCRC)のADCHSEL3(ビット7) = 0、ADCHSEL2(ビット6) = 1、ADCHSEL1(ビット5) = 0、ADCHSEL0(ビット4) = 1にします。

##### ④ ADスタート

- ・AD制御レジスタ(ADCRC)のADSTART(ビット2) = 1にします。
- ・システムリセット後と8ビットAD変換モードから12ビットAD変換モードに切り替えた時、最初の変換時間は通常の2倍となります。2回目以降は通常の変換時間となります。

##### ⑤ AD変換終了フラグの検知

- ・AD制御レジスタ(ADCRC)のADENDF(ビット1) = 1になるまでモニタします。
- ・ADENDF(ビット1) = 1になったことを確認後、終了フラグのADENDFを0にクリアします。

##### ⑥ AD変換データの読み込み

- ・AD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)を読み込みます。読み込んだ変換データには誤差(量子化誤差+総合誤差)が含まれていますので、最新の「半導体ニュース」の規格に従って有効となる変換データを使用します。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ
- ・再動作の場合④に戻ります。

### 3-24-6 ADC使用上の留意点

- ① サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、必ず最新の「半導体ニュース」を参照してください。
- ② 変換動作中にADSTART=0にすると、変換動作が停止します。
- ③ 変換動作中にHALT, HOLD状態にしないでください。必ず、ADSTARTが‘0’になったことを確認してからHALT, HOLD状態にしてください。
- ④ 変換中にリセット状態に入ると、自動的にADSTARTがリセットされ変換動作を停止します。
- ⑤ 変換を終了するとAD変換終了フラグ(ADENDF)がセットされ、同時にAD変換動作制御ビット(ADSTART)がリセットされます。変換終了はADENDFをモニタすることによって確認できます。また、ADIEをセットすることによって、変換終了でベクタアドレス0043Hへの割り込み要求が発生します。
- ⑥ 変換時間は下記の時、通常時の2倍となります。
  - ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
  - ・AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切り替え、最初のAD変換を行った時。2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。
- ⑦ 変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。
- ⑧ P80/AN0~P87/AN7, PB0/AN8~PB7/AN15への入力電圧は規格の範囲で使用してください。  
特にVDD以上, VSS以下の電圧が入力されると、そのチャンネルの変換値や他のチャンネルの変換値にも影響を与えることがあります。
- ⑨ ノイズ等による変換精度の低下を極力防ぐ対策として下記を行ってください。
  - ・VDD1, VSS1端子の直近(出来る限り直近 5mm 以内が望ましい)には必ずバイパスコンデンサ(数  $\mu\text{F}$ +数千 pF)を外付けしてください。
  - ・アナログ入力端子にはノイズ除去に最適なローパスフィルタ(RC)やコンデンサをアナログ入力端子の直近に外付けしてください。また、コンデンサのGNDはカップリングの影響を防ぐため、ノイズが重畳していないGNDをご使用ください。(目安としては $R = \sim 5\text{k}\Omega$  以下/ $C = 1000\text{pF} \sim 0.1\mu\text{F}$ )
  - ・アナログ信号線はデジタルパルス信号線や大電流変化のある信号線と隣接・交差・平行配線をしないでください。または、アナログ信号線の両端をノイズが重畳していないGNDでシールドしてください。
  - ・変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力しないでください。

- ・ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成するときには、この点に注意して作成してください。
- ・発振端子の振幅電圧と各端子入出力電圧はVDD～VSS以内になるよう調整してください。

⑩有効とする変換データは多数回行った変換値の最大値と最小値を切り捨て、残りのデータを平均化する等の処理を行ってください。



## 4 制御機能

### 4-1 割り込み機能

#### 4-1-1 概要

本シリーズは、低レベル(L)、高レベル(H)、最高レベル(X)の3レベルの多重割り込み制御機能を持っています。

マスタ割り込み許可レジスタ、割り込み優先制御レジスタで、割り込みの許可や割り込み優先順位の指定を行います。

割り込み要因フラグ一覧レジスタで割り込み状態時にベクタに関連した割り込み要因フラグが一覧できます。

#### 4-1-2 機能

##### ①割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・周辺モジュールからの割り込み要求を受けると、割り込みレベル、優先順位、割り込み許可状態を判断します。その結果、割り込みを受け付ける場合には、PCの値をスタックに待避し、あらかじめ決められているベクタアドレスに分岐します。
- ・割り込みルーチンからの復帰は、RETI命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

##### ②多重割り込み制御

- ・低レベル(L)、高レベル(H)、最高レベル(X)の3つの割り込みレベルがあり、割り込み処理中に同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

##### ③割り込みの優先

- ・2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

##### ④割り込み要求許可受け付け制御

- ・マスタ割り込み許可レジスタで、HレベルとLレベルの割り込み要求受け付けの許可/禁止の制御ができます。
- ・Xレベルの割り込み要求受け付けの禁止はできません。

##### ⑤割り込み受け付け禁止期間

- ・IE(FE08H)、IP(FE09H)レジスタ書き込み、ホールド解除後の2Tcycの期間、割り込みは受け付けられません。
- ・PCON(FE07H)レジスタ書き込み命令と次の命令の実行の間には割り込みはかかりません。
- ・RETI命令と次の命令の実行の間には割り込みはかかりません。

## 割り込み

### ⑥ 割り込みレベル制御

- ベクタアドレス単位で割り込みレベルの選択ができます。

#### 割り込み一覧

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/INT4/T0L
4	0001BH	HまたはL	INT3/INT5/ベースタイマ0 /ベースタイマ1/RTC
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	SIO0/UART1受信/UART2受信
8	0003BH	HまたはL	SIO1/UART1送信/UART2送信
9	00043H	HまたはL	ADC/T6/T7/PWM4, 5
10	0004BH	HまたはL	ポート0/T4/T5/PWM1, 0/SPI

- 優先レベル X > H > L
- 同一レベルではベクタアドレスの小さいものが優先

### ⑦ 割り込み要因の一覧

- 割り込み状態の時、IFLGR (FE05)レジスタでベクタに関連した割り込み要因フラグが一覧できます。

- ⑧ 割り込み要因の一覧、割り込みの許可や割り込み優先順位の指定を行うには、次に示す特殊機能レジスタを操作する必要があります。

- IFLGR, IE, IP

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE05	1111 1111	R	IFLGR	IFLGR7	IFLGR6	IFLGR5	IFLGR4	IFLGR3	IFLGR2	IFLGR1	IFLGR0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

## 4-1-3 回路構成

### 4-1-3-1 マスタ割り込み許可制御レジスタ(IE) (6ビットレジスタ)

- Hレベル, Lレベルの割り込みの許可/禁止を行う。
- 割り込みレベルフラグの状態を読める。
- ベクタアドレス00003H, 0000BHの割り込みのレベル切り替え(L/X)を行う。

### 4-1-3-2 割り込み優先制御レジスタ(IP) (8ビットレジスタ)

- ベクタアドレス00013H~0004BHの割り込みのレベル切り替え(H/L)を行う。

### 4-1-3-3 割り込み要因フラグ一覧レジスタ(IFLGR) (8ビットレジスタ)

- 割り込み状態の時、ベクタに関連した割り込み要因フラグが一覧できる。

## 4-1-4 関連レジスタ

### 4-1-4-1 マスタ割り込み許可制御レジスタ(IE)

① 割り込みの制御を行う6ビットのレジスタで、ビット6～4はリードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0

IE7(ビット7): Hレベル, Lレベルの割り込みの許可/禁止制御

- ・このビットが“1”の時、Hレベル, Lレベルの割り込み要求の受付が許可されます。
- ・このビットが“0”の時、Hレベル, Lレベルの割り込み要求の受付が禁止されます。
- ・このビットの値にかかわらず、Xレベルの割り込み要求の受付は許可されています。

XFLG(ビット6): Xレベル割り込みフラグ(R/O)

- ・Xレベルの割り込みが受け付けられると、このビットがセットされ、Xレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

HFLG(ビット5): Hレベル割り込みフラグ(R/O)

- ・Hレベルの割り込みが受け付けられると、このビットがセットされ、Hレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

LFLG(ビット4): Lレベル割り込みフラグ(R/O)

- ・Lレベルの割り込みが受け付けられると、このビットがセットされ、Lレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

(ビット3, 2): 存在しません。読むと“1”が読めます。

XCNT1(ビット1): 0000BH割り込みレベル制御フラグ

- ・このビットが“1”の時、ベクタアドレス0000BHへの割り込みはLレベルとなります。
- ・このビットが“0”の時、ベクタアドレス0000BHへの割り込みはXレベルとなります。

XCNT0(ビット0): 00003H割り込みレベル制御フラグ

- ・このビットが“1”の時、ベクタアドレス00003Hへの割り込みはLレベルとなります。
- ・このビットが“0”の時、ベクタアドレス00003Hへの割り込みはXレベルとなります。

## 割り込み

### 4-1-4-2 割り込み優先制御レジスタ(IP)

①ベクタアドレス00013H～0004BHの割り込みのレベル切替(H/L)を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

	対象割り込みベクタアドレス	IPのビット	値	割り込みレベル
7	0004BH	IP4B	0	Lレベル
			1	Hレベル
6	00043H	IP43	0	Lレベル
			1	Hレベル
5	0003BH	IP3B	0	Lレベル
			1	Hレベル
4	00033H	IP33	0	Lレベル
			1	Hレベル
3	0002BH	IP2B	0	Lレベル
			1	Hレベル
2	00023H	IP23	0	Lレベル
			1	Hレベル
1	0001BH	IP1B	0	Lレベル
			1	Hレベル
0	00013H	IP13	0	Lレベル
			1	Hレベル

### 4-1-4-3 割り込み要因フラグー覧レジスタ(IFLGR)

- ①割り込み状態の時に、その割り込みベクタに関連した割り込み要因フラグをまとめて一覧できる8ビットのレジスタです。割り込み状態とはIE(FE08)レジスタのビット4, 5, 6のいずれかがセットされている状態です。
- ②割り込み状態でない時、レジスタを読むと全ビット“1”が読み出されます。
- ③割り込み要因フラグは表4-1-1に示すビットに割り付けられています。割り込み要因フラグが割り付けられていないビットは“1”が読み出されます。
- ④割り込み状態の時、その割り込み要因に対応したビットは“1”、割り込み要因でないビットは“0”になります。(詳しくは、次ページの参考例を参照ください)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE05	1111 1111	R	IFLGR	IFLGR7	IFLGR6	IFLGR5	IFLGR4	IFLGR3	IFLGR2	IFLGR1	IFLGR0

表4-1-1 割り込み要因フラグ対応表

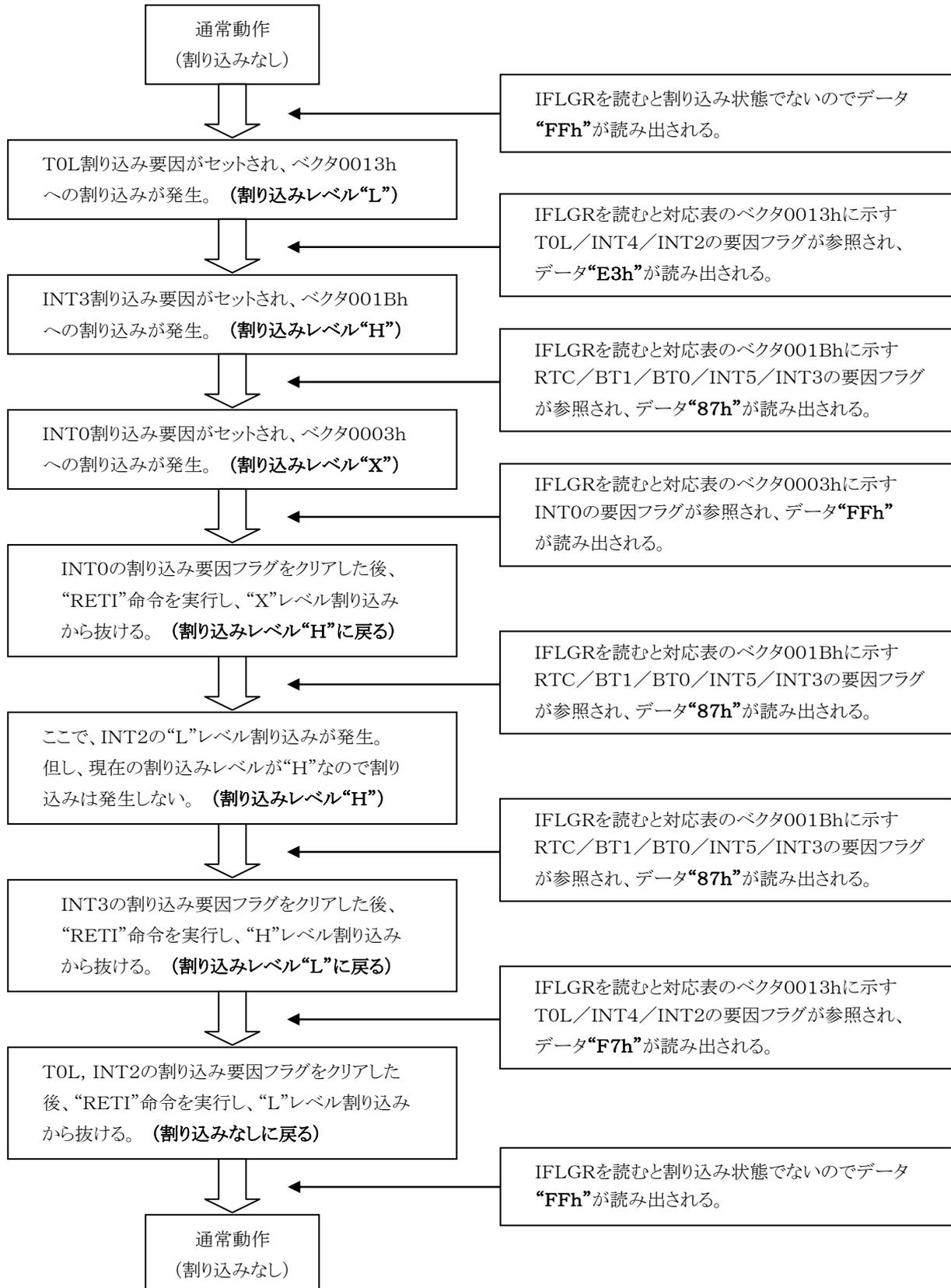
ベクタアドレス	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
00003H	—	—	—	—	—	INT0	—	—
0000BH	—	—	—	—	—	INT1	—	—
00013H	—	—	—	T0L	INT4	INT2	—	—
0001BH	—	RTC	BT1	BT0	INT5	INT3	—	—
00023H	—	—	—	—	—	T0H	—	—
0002BH	—	—	—	—	T1H	T1L	—	—
00033H	—	—	—	UART2 受信	UART1 受信	SIO0	—	—
0003BH	—	—	UART2 送信	UART1 送信	—	SIO1	—	—
00043H	SPI	PWM4, 5	—	T7	T6	ADC	—	—
0004BH	—	—	PWM0, 1	T5	T4	ポート0	—	—

割り込み要因フラグ一覧レジスタ(IFLGR)の参考例

- “INT0, INT2, TOL, INT3”の割り込みが発生した場合の例

※ IP=02h, IE=82hを設定

- ・H/Lレベルの割り込み許可
- ・ベクタアドレス0001Bh = 割り込みレベル“H”
- ・ベクタアドレス00003h = 割り込みレベル“X”



## 4-2 システムクロック発生機能

### 4-2-1 概要

本シリーズは、システムクロック発生回路として、メインクロック発振回路，サブクロック発振回路（水晶発振及び低速RC発振），高速RC発振回路，周波数可変RC発振回路の4系統の発振回路を内蔵しています。このうち、低速RC発振回路と高速RC発振回路と周波数可変RC発振回路は抵抗とコンデンサCを内蔵しており、外付け回路が不要です。

これら4種類のクロックからプログラムでシステムクロックを選択します。

この章では、サブクロックは水晶発振及び低速RC発振のことを示し、RC発振は高速RC発振のことを示します。

### 4-2-2 機能

#### ①システムクロック選択

- ・メインクロック発振，サブクロック発振，RC発振，周波数可変RC発振の4系統の発振クロックからプログラムでシステムクロックを選択します。

#### ②システムクロック分周

- ・システムクロックに選択された発振クロックを分周して、システムクロックとして供給します。
- ・分周回路は2段階で構成されています。
  - 1段目は、 $\frac{1}{1}$  または  $\frac{1}{2}$  の選択ができます。
  - 2段目は、 $\frac{1}{1}$ ,  $\frac{1}{2}$ ,  $\frac{1}{4}$ ,  $\frac{1}{8}$ ,  $\frac{1}{16}$ ,  $\frac{1}{32}$ ,  $\frac{1}{64}$ ,  $\frac{1}{128}$  の選択ができます。

#### ③発振回路の制御

- ・命令で、上記4系統の発振の停止／許可を独立に制御できます。

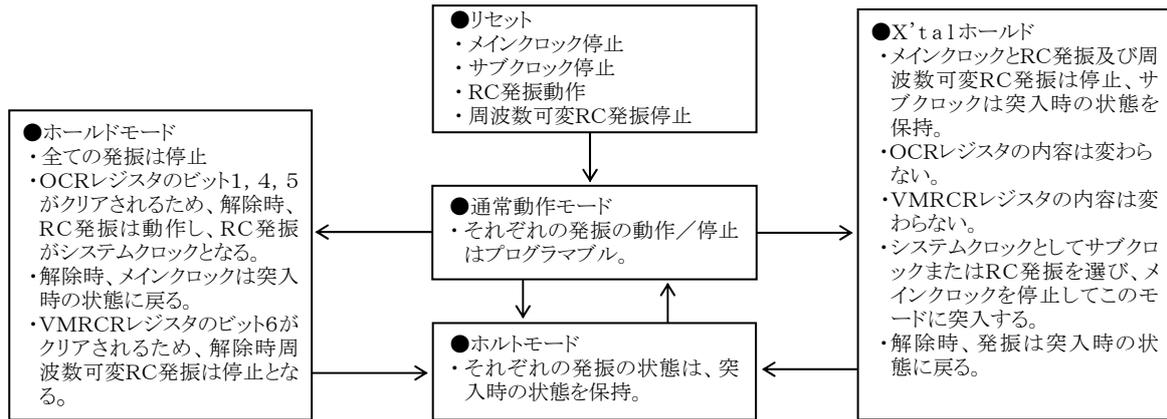
#### ④入力端子兼用機能

- ・CF発振端子（CF1, CF2）は、CF1は入力ポートとして、CF2は入出力ポートとしても使用できます。
- ・水晶発振端子（XT1, XT2）は、XT1は入力ポートとして、XT2は入出力ポートとしても使用できます。

#### ⑤モード毎の発振回路の状態

モード/クロック	メインクロック	サブクロック	RC発振	周波数可変RC発振	システムクロック
リセット	停止	停止	動作	停止	RC発振
通常動作	プログラマブル	プログラマブル	プログラマブル	プログラマブル	プログラマブル
ホルト	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態
ホールド	停止	停止	停止	停止	停止
ホールド解除直後	突入時の状態	突入時の状態	動作	停止	RC発振
X'talホールド	停止	突入時の状態	停止	停止	停止
X'talホールド解除直後	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態

各モードの突入方法／解除方法については『4-4 スタンバイ機能』を参照してください。



⑥システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・PCON, CLKDIV, OCR, OCR2, SUBCNT
- ・VMRCR, VMCTRL, VMCTRM, VMCTRH

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE43	00XX 0000	R/W	OCR2	OCR2B7	ECFOSC	CF2IN	CF1IN	CF2DR	CF2DT	XT2DR	XT2DT
FE7C	0000 0000	R/W	OCR3	FIX0	FIX0	FIX0	FIX0	XTLAMP	FIX0	FIX0	FIX0
FEB4	0000 0000	R/W	VMRCR	VMRCSEL	VMRCST	VMRAJ2	VMRAJ1	VMRAJ0	VMFAJ2	VMFAJ1	VMFAJ0
FEB5	0000 0000	R	VMCTRL	VMCTR07	VMCTR06	VMCTR05	VMCTR04	VMCTR03	VMCTR02	VMCTR01	VMCTR00
FEB6	0000 0000	R	VMCTRM	VMCTR15	VMCTR14	VMCTR13	VMCTR12	VMCTR11	VMCTR10	VMCTR09	VMCTR08
FEB7	0000 0000	R/W	VMCTRH	VMAJST	VMAJEND	VMSL4M	FIX0	VMCTROV	VMCTR18	VMCTR17	VMCTR16
FEE1	HHH0 0000	R/W	SUBCNT	-	-	-	SL500K	SXTCNT1	SXTCNT0	SELSRC	STASRC

### 4-2-3 回路構成

#### 4-2-3-1 メインクロック発振回路

- ① CF1, CF2端子にセラミック発振子と容量を接続することにより発振可能になります。
- ② CF1, CF2端子のデータをOCR2レジスタのビット4, 5として読むことができます。
- ③ CF2は汎用出力(Nchオープンドレイン)が可能です。
- ④ 上記①～③を使用しない場合は、CF1をVDDに接続し、CF2端子を解放し、OCR2レジスタのビット6をセットしてください。

#### 4-2-3-2 サブクロック発振回路

- ・水晶発振回路

  - ① XT1, XT2端子に水晶発振子(標準32.768kHz)と容量, 帰還抵抗, ダンピング抵抗を接続することにより発振可能になります。
  - ② XT1, XT2端子のデータをOCRレジスタのビット2, 3として読むことができます。
  - ③ XT2は汎用出力(Nchオープンドレイン)が可能です。

## システムクロック

- ④ 上記①～③を使用しない場合は、XT1をVDDに接続し、XT2端子を解放し、OCRレジスタのビット6をセットしてください。

### ・低速RC発振回路

- ① 内蔵の抵抗と容量で発振します。

#### 4-2-3-3 内蔵RC発振回路

- ① 内蔵の抵抗と容量で発振します。  
② リセットまたはホールド解除後には、RC発振のクロックがシステムクロックとなります。  
③ メインクロック発振やサブクロック発振とは異なり、発振開始直後から正常な周波数で発振を行います。

#### 4-2-3-4 周波数可変RC発振回路

- ① 内蔵の抵抗と容量で発振します。  
② 発振周波数は可変式で、VMRAJ2～0, VMFAJ2～0, VMSL4Mの設定により周波数変化します。  
③ 主にCF発振で使用される、中速～高速のシステムクロックとして使用します。  
※この機能の詳細は『4-3 周波数可変RC発振回路』を参照してください。

#### 4-2-3-5 パワー制御レジスタ(PCON) (3ビットレジスタ)

- ① 動作モード(通常/ホルト/ホールド/X'talホールド)を設定します。

#### 4-2-3-6 発振制御レジスタ(OCR) (8ビットレジスタ)

- ① 発振回路の動作停止/開始の制御を行います。  
② システムクロックの選択を行います。  
③ システムクロックに使う発振クロックの分周比を  $\frac{1}{1}$  または  $\frac{1}{2}$  に設定します。  
④ XT1, XT2端子のデータをビット2, 3として読み込めます。

#### 4-2-3-7 発振制御レジスタ2(OCR2) (8ビットレジスタ)

- ① メインクロック発振回路の制御を行います。  
② CF2端子及びXT2端子の汎用出力(Nchオープンドレイン)の制御を行います。  
③ CF1, CF2端子のデータをビット4, 5として読み込めます。

#### 4-2-3-8 システムクロック分周制御レジスタ(CLKDIV) (5ビットレジスタ)

- ① システムクロック分周回路の制御を行います。  
分周比は  $\frac{1}{1}$ ,  $\frac{1}{2}$ ,  $\frac{1}{4}$ ,  $\frac{1}{8}$ ,  $\frac{1}{16}$ ,  $\frac{1}{32}$ ,  $\frac{1}{64}$ ,  $\frac{1}{128}$  の設定が可能です。  
② サブクロックの逡倍回路の制御を行います。  
逡倍比は1倍、2倍、3倍の設定が可能です。  
逡倍されたクロックは、システムクロックセクタにのみ供給されます。ベースタイマや赤外線リモコン受信回路への供給側に逡倍回路は影響しません。

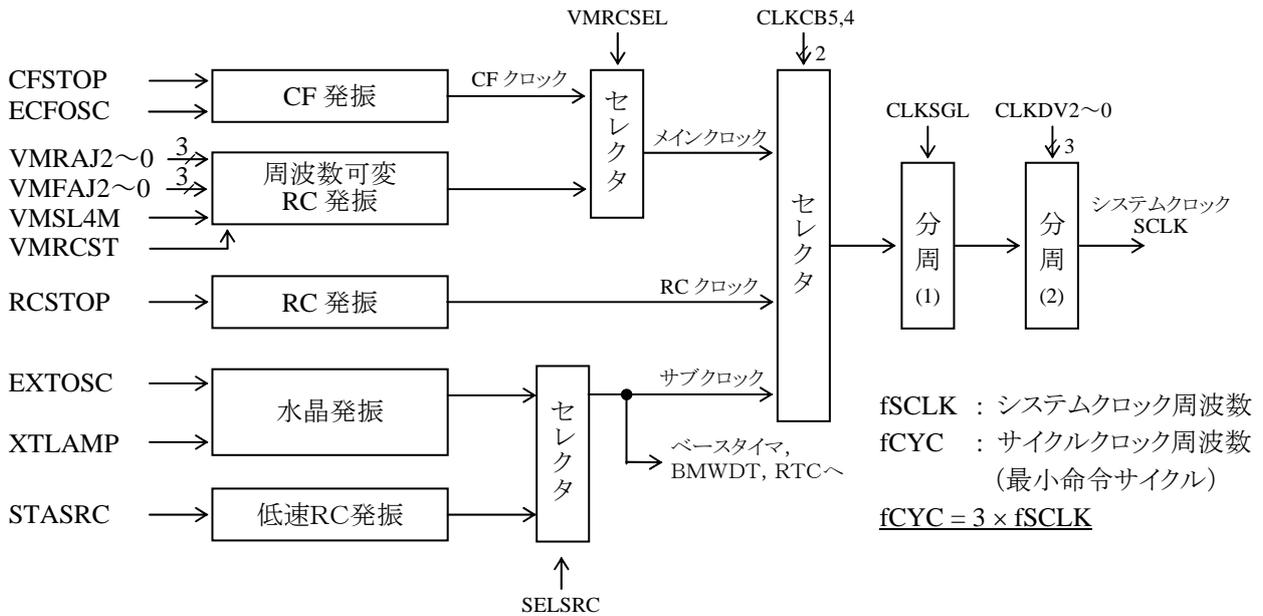


図 4-2-1 システムクロック発生回路ブロック図

#### 4-2-4 関連レジスタ

##### 4-2-4-1 パワー制御レジスタ (PCON) (3ビットレジスタ)

- ① 動作モード (通常 / ホルト / ホールド / X'talホールド) を設定する3ビットのレジスタです。
- 各モードの突入方法 / 解除方法については『4-4 スタンバイ機能』を参照してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE

(ビット7～3) : 存在しません。読むと“1”が読めます。

XTIDLE (ビット2) : X'talホールドモード設定フラグ

PDN (ビット1) : ホールドモード設定フラグ

XTIDLE	PDN	動作モード
—	0	通常動作またはホルトモード
0	1	ホールドモード
1	1	X'talホールドモード

① これらのビットのセットは命令で行います。

- ホールドモードに入ると全ての発振 (メインクロック, サブクロック, RC) が停止し、OCRのビット1, 4, 5が“0”になる。
- ホールドモード復帰後、RC発振は開始し、メインクロック、サブクロックはホールド突入前の状態になり、システムクロック = RCとなる。
- X'talホールドモードに入るとXT以外の発振 (メインクロック, RC) が停止するが、OCRレジスタは変化しない。

## システムクロック

- ・X'talホールドモード復帰後、メインクロックの発振安定時間をとれないので、X'talホールドモード突入時のシステムクロックはサブクロックかRCのどちらかにする必要があります。
- ・通常X'talホールドモードは、低消費電流時計カウントや赤外線リモコン受信待機用に使うので、突入前にシステムクロックをサブクロックに切り替え、メインクロックとRC発振を停止したほうがより低消費電流となる。

- ② XTIDLEのクリアは命令で行います。
- ③ PDNのクリアは、ホールド解除信号(INT0, INT1, INT2, INT4, INT5, POINT)の発生、またはリセット信号で行われます。
- ④ PDNがセットされると自動的にビット0もセットされます。

IDLE(ビット0):ホルトモード設定フラグ

- ① このビットをセットするとホルトモードに入ります。
- ② ビット1がセットされると自動的にこのビットもセットされます。
- ③ インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

### 4-2-4-2 発振制御レジスタ(OCR) (8ビットレジスタ)

- ① 発振回路の動作制御、システムクロックの選択、XT1, XT2端子のデータの読み込みを行う8ビットのレジスタです。読み出し専用のビット3, 2以外は読み/書き可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP

CLKSGL(ビット7):クロック分周選択

- ① このビットが“1”の時、ビット4, 5で選択されたクロックを直接システムクロックとして使用します。
- ② このビットが“0”の時、ビット4, 5で選択されたクロック周波数の $\frac{1}{2}$ のクロックをシステムクロックとして使用します。

EXTOSC(ビット6):XT1, XT2機能制御

- ① このビットが“1”の時、XT1, XT2端子がサブクロック発振用の端子になり、水晶発振子(標準32.768kHz)と容量, 帰還抵抗, ダンピング抵抗を接続することにより発振可能になります。また、この時OCRレジスタを読むと、ビット3ではXT2端子のデータが読め、ビット2では“0”が読めます。
- ② このビットが“0”の時、XT1, XT2端子は入力端子となり、OCRレジスタを読むと、ビット3ではXT2端子のデータが読め、ビット2ではXT1端子のデータが読めます。

- 注意: ・このビットが“1”の時、XT2汎用ポート出力機能は無効になります。
- ・RTC動作中は、EXTOSCの値に関わらず、XT1, XT2端子は、サブクロック発振用端子になっています。
  - ・水晶発振のローアンプ・モードを使用するときは、OCR3レジスタのビット3(XTLAMP)をセットした後、ビット6(EXTOSC)をセットしてください。セットする順序を逆にした場合、ローアンプ・モードには設定されません。

CLKCB5(ビット5):システムクロック選択

CLKCB4(ビット4):システムクロック選択

- ① CLKCB5, CLKCB4で、システムクロックの選択を行います。
- ② リセット時、ホールドモード突入時、CLKCB5, CLKCB4はクリアされます。

CLKCB5	CLKCB4	システムクロック
0	0	内蔵RC発振
0	1	メインクロック
1	0	サブクロック
1	1	メインクロック

XT2IN(ビット3):XT2データ(読み出し専用)

XT1IN(ビット2):XT1データ(読み出し専用)

- ① EXTOSC(ビット6)の値によりXT1INで読めるデータが下表のように変わります。

EXTOSC	XT2IN	XT1IN
0	XT2端子データ	XT1端子データ
1	XT2端子データ	“0”が読まれる

RCSTOP(ビット1):内蔵RC発振回路制御

- ① このビットが“1”の時、内蔵RC発振は停止します。
- ② このビットが“0”の時、内蔵RC発振回路は動作します。
- ③ リセット時、ホールドモード突入時、このビットはクリアされ発振可能になります。

CFSTOP(ビット0):メインクロック発振回路制御

- ① このビットが“1”の時、メインクロック発振は停止します。
- ② このビットが“0”の時、メインクロック発振回路は動作します。
- ③ リセット時、ホールドモード突入時、このビットはクリアされ発振可能になります。

#### 4-2-4-3 発振制御レジスタ2(OCR2) (8ビットレジスタ)

- ① 発振回路の動作制御、CF2, XT2端子の汎用出力(Nchオープンドレイン)の制御、CF1, CF2端子のデータの読み込みを行う8ビットのレジスタです。読み出し専用のビット5, 4以外は読み/書き可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE43	00XX 0000	R/W	OCR2	OCR2B7	ECFOSC	CF2IN	CF1IN	CF2DR	CF2DT	XT2DR	XT2DT

OCR2B7(ビット7):汎用フラグ

汎用フラグとして使用できます。

このビットを操作しても機能ブロックの動作に影響を与えません。

ECFOSC(ビット6):CF1, CF2機能制御

- ① このビットが“1”の時、CF1, CF2端子がメインクロック発振用の端子になり、CF1, CF2端子にセラミック発振子と容量を接続することにより発振可能になります。また、この時OCR2レジスタを読むと、ビット4、ビット5では“0”が読めます。

## システムクロック

- ② このビットが“0”の時、CF1、CF2端子は入力端子となり、OCR2レジスタを読むと、ビット5ではCF2端子のデータが読め、ビット4ではCF1端子のデータが読めます。

注意：このビットが“1”の時、CF2汎用ポート出力機能は無効になります。

CF2IN(ビット5)：CF2データ(読み出し専用)

CF1IN(ビット4)：CF1データ(読み出し専用)

- ① ECFOSC(ビット7)の値によりCF2IN、CF1INで読めるデータが下表のように変わります。

ECFOSC	CF2IN	CF1IN
0	CF2端子データ	CF1端子データ
1	“0”が読まれる	“0”が読まれる

CF2DR(ビット3)：CF2入出力制御

CF2DT(ビット2)：CF2出力データ

レジスタデータ		ポートCF2の状態	
CF2DT	CF2DR	入力	出力
0	0	可能	オープン
1	0	可能	オープン
0	1	可能	Low
1	1	可能	オープン

注意：ECFOSC(OCR2:FE43H レジスタのビット6) = “1”の時、CF2汎用出力ポート機能は無効になります。汎用出力ポートとして機能させる為には、ECFOSC = “0”と設定した上で行ってください。

XT2DR(ビット1)：XT2入出力制御

XT2DT(ビット0)：XT2出力データ

レジスタデータ		ポートXT2の状態	
XT2DT	XT2DR	入力	出力
0	0	可能	オープン
1	0	可能	オープン
0	1	可能	Low
1	1	可能	オープン

注意：EXTOSC(OCR:FE0EH レジスタのビット6) = “1”の時、XT2汎用出力ポート機能は無効になります。汎用出力ポートとして機能させる為には、EXTOSC = “0”と設定した上で行ってください。

### 4-2-4-4 システムクロック分周制御レジスタ(CLKDIV)(3ビットレジスタ)

- ① システムクロック分周制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0

(ビット7～3)：存在しません。読むと“1”が読めます。

CLKDV2(ビット2):  
 CLKDV1(ビット1):  
 CLKDV0(ビット0):

} システムクロックの分周比を設定します。

CLKDV2	CLKDV1	CLKDV0	分周比
0	0	0	1/1
0	0	1	1/2
0	1	0	1/4
0	1	1	1/8
1	0	0	1/16
1	0	1	1/32
1	1	0	1/64
1	1	1	1/128

#### 4-2-4-5 サブクロック制御レジスタ(SUBCNT)

①サブクロックの制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEE1	HHH0 0000	R/W	SUBCNT	-	-	-	SL500K	SXTCNT1	SXTCNT0	SELSRC	STASRC

SL500K(ビット4):

“0”固定で使用します。

SXTCNT1、SXTCNT0(ビット3、2):

汎用レジスタとして、使用してください。

SELSRC(ビット1):サブクロック・セクタ

サブクロック発振の発振回路を選択します。

①“1”の設定時、低速RC発振がサブクロックとして選択されます。

②“0”の設定時、水晶発振がサブクロックとして選択されます。

STASRC(ビット0):低速RC発振の開始/停止

低速RC発振回路の開始/停止を選択します。

①“1”の設定時、低速RC発振は発振を開始します。

②“0”の設定時、低速RC発振は発振を停止します。

<注意>

低速RC発振を使用する場合は、以下の順序に従ってください。

①SUBCNTレジスタのビット0をセットし、低速RC発振動作を開始させてください。

②SUBCNTレジスタのビット1をセットし、サブクロックを水晶発振から低速RC発振に変更してください。

#### 4-2-4-6 発振制御レジスタ3(OCR3)

①発振制御レジスタは、水晶発振回路を制御する8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7C	0000 0000	R/W	OCR3	FIX0	FIX0	FIX0	FIX0	XTLAMP	FIX0	FIX0	FIX0

(ビット7~4):

“0”に設定してください。

## システムクロック

XTLAMP(ビット3) :

水晶発振回路のモードを選択します。このビットがセットされている場合、水晶発振回路の消費電力を大幅に減少させることができます。

- ①“1”の設定時、マイクロコントローラの水晶発振は、ローアンプ・モードに設定されます。ローアンプ・モードでは、水晶発振回路の消費電流を大幅に削減することができます。また、このモードは、X'tal HOLDモードや、システムクロックが水晶発振である場合に、特に効果があります。
- ②“0”の設定時、マイクロコントローラの水晶発振は、ノーマル・モードに設定されます。

(ビット2～0) :

“0”に設定してください。

<注意1>

ローアンプ・モードを使用する場合には、以下の手順に従ってください。

- ①OCR3レジスタのビット3をセットしてください(ローアンプ・モードの選択)。
- ②OCRレジスタのビット6をセットしてください(水晶発振の発振開始)。
- ③発振安定時間を十分(2秒以上)に取ってください。

<注意2>

OCRレジスタのビット6(EXTOSC)を“1”に設定した後は、XTLAMPを変更しても、発振モードは切り替わりません。発振モードは、“1”に設定した状態で固定されます。レジスタの読み出し値と実際の設定が異なる場合が生じますので、注意してプログラムしてください。

## 4-3 周波数可変RC発振回路 (VMRC)

### 4-3-1 概要

本シリーズが内蔵している周波数可変RC発振回路 (VMRC) は、抵抗とコンデンサCを内蔵しており、外付け回路が不要です。また、発振周波数は制御レジスタの設定により調整が可能です。主にCF発振で使用されている、中速～高速のシステムクロックとして使用することができます。

### 4-3-2 機能

#### ① システムクロック選択

VMRCの発振クロックをプログラムによりシステムクロックとして選択できます。

#### ② 発振周波数調整機能

VMRC発振周波数は可変式になっています。周波数の設定は、VMRC周波数測定カウンタ/レジスタ・H (VMCTRH) のVMSL4M (VMCTRHのビット5) の値により、センター・レンジ設定時の周波数を約4MHzまたは約10MHzに設定することができます。また、VMRC制御レジスタ (VMRCR) にはVMRAJ2～0 (VMRCRのビット5～3) のレンジ設定とVMFAJ2～0 (VMRCRのビット2～0) の微調整の設定があり、センター・レンジから上下に周波数を調整することができます。

※VMRC発振周波数のセンター・レンジ設定は、VMRAJ2～0 = “4”, VMFAJ2～0 = “0”を設定した状態を指します。

#### ③ 発振周波数測定機能

XT1端子からの入力信号をリファレンスとして、VMRC発振周波数を測定することができます。VMRCの発振を開始後、VMAJST (VMCTRHのビット7) を設定することで、リファレンス信号の1周期分をVMRCの発振クロックでカウントできます。この機能を用いて、VMRC発振周波数をプログラムにて調整してください。

#### ④ 動作モード毎の発振回路の状態

モード/クロック	周波数可変RC発振
リセット	停止
通常動作	プログラマブル
ホルト	突入時の状態
ホールド	停止
ホールド解除直後	停止
X <sup>1</sup> talホールド	停止
X <sup>1</sup> talホールド解除直後	突入時の状態

## VMRC

⑤ VMRCを制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・VMRCR, VMCTRL, VMCTRM, VMCTRH
- ・OCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEB4	0000 0000	R/W	VMRCR	VMRCSEL	VMRCST	VMRAJ2	VMRAJ1	VMRAJ0	VMFAJ2	VMFAJ1	VMFAJ0
FEB5	0000 0000	R	VMCTRL	VMCTR07	VMCTR06	VMCTR05	VMCTR04	VMCTR03	VMCTR02	VMCTR01	VMCTR00
FEB6	0000 0000	R	VMCTRM	VMCTR15	VMCTR14	VMCTR13	VMCTR12	VMCTR11	VMCTR10	VMCTR09	VMCTR08
FEB7	0000 0000	R/W	VMCTRH	VMAJST	VMAJEND	VMSL4M	FIX0	VMCTROV	VMCTR18	VMCTR17	VMCTR16
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP

### 4-3-3 回路構成

#### 4-3-3-1 周波数可変RC発振回路 (VMRC)

- ① 内蔵の抵抗と容量で発振します。
- ② 発振周波数は可変式で、VMRAJ2~0, VMFAJ2~0, VMSL4Mの設定により周波数変化します。

#### 4-3-3-2 VMRC制御レジスタ (VMRCR) (8ビットレジスタ)

- ① VMRCの動作停止 / 開始の制御を行います。
- ② メインクロックのCF / VMRCの選択を行います。
- ③ VMRCの発振クロックの周波数をVMRAJ2~0, VMFAJ2~0で設定します。

#### 4-3-3-3 VMRC周波数測定カウンタ / レジスタ・H, M, L (VMCTRH, VMCTRM, VMCTRL) (20ビットカウンタ + 4ビットレジスタ)

- ① VMRCの発振クロックをカウントする20ビットのアップカウンタと、カウント動作の制御及びセンター・レンジ周波数の制御を行う4ビットのレジスタです。
  - ② VMRCの発振を開始後、VMAJST="1"を設定すると、XT1端子からの入力信号をリファレンスとして、その1周期分をVMRCの発振クロックでカウントできます。(詳細は図4-3-2を参照)
  - ③ VMRCの発振クロックのカウント結果は、VMCTRHのビット3~0及びVMCTRMとVMCTRLで読み出すことができます。
  - ④ VMSL4M="0/1"により、VMRCのセンター・レンジ周波数を“約10MHz / 約4MHz”に設定することができます。
- ※この機能を用いて、VMRC発振周波数をプログラムにて調整してください。
- ※VMRC発振周波数のセンター・レンジ設定は、VMRAJ2~0="4", VMFAJ2~0="0"を設定した状態を指します。

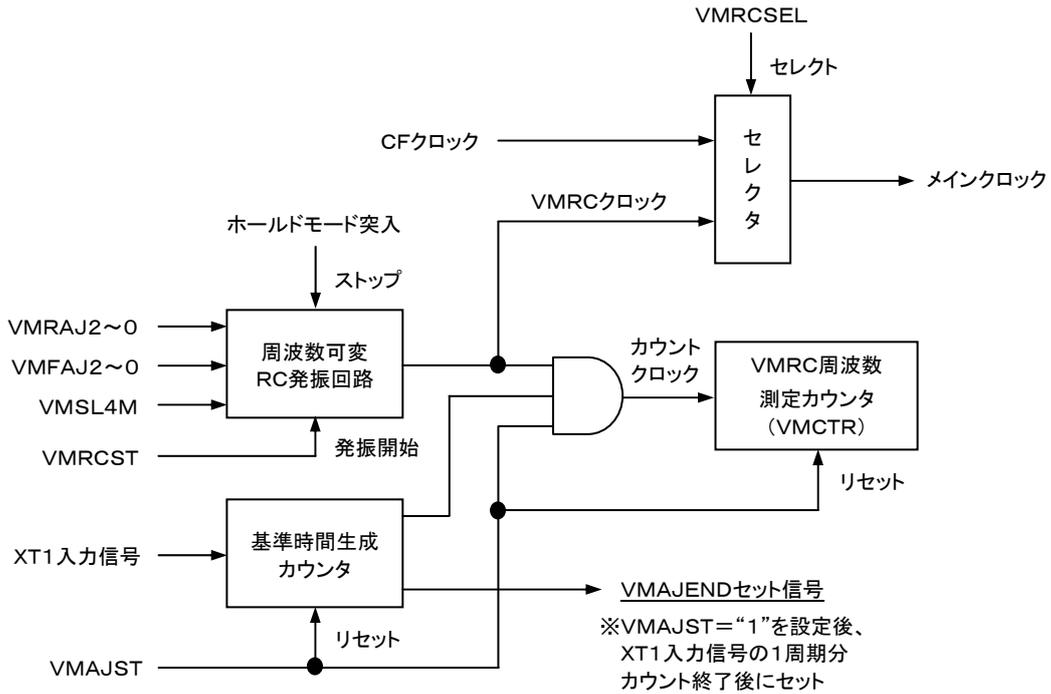


図 4-3-1 VMRCブロック図

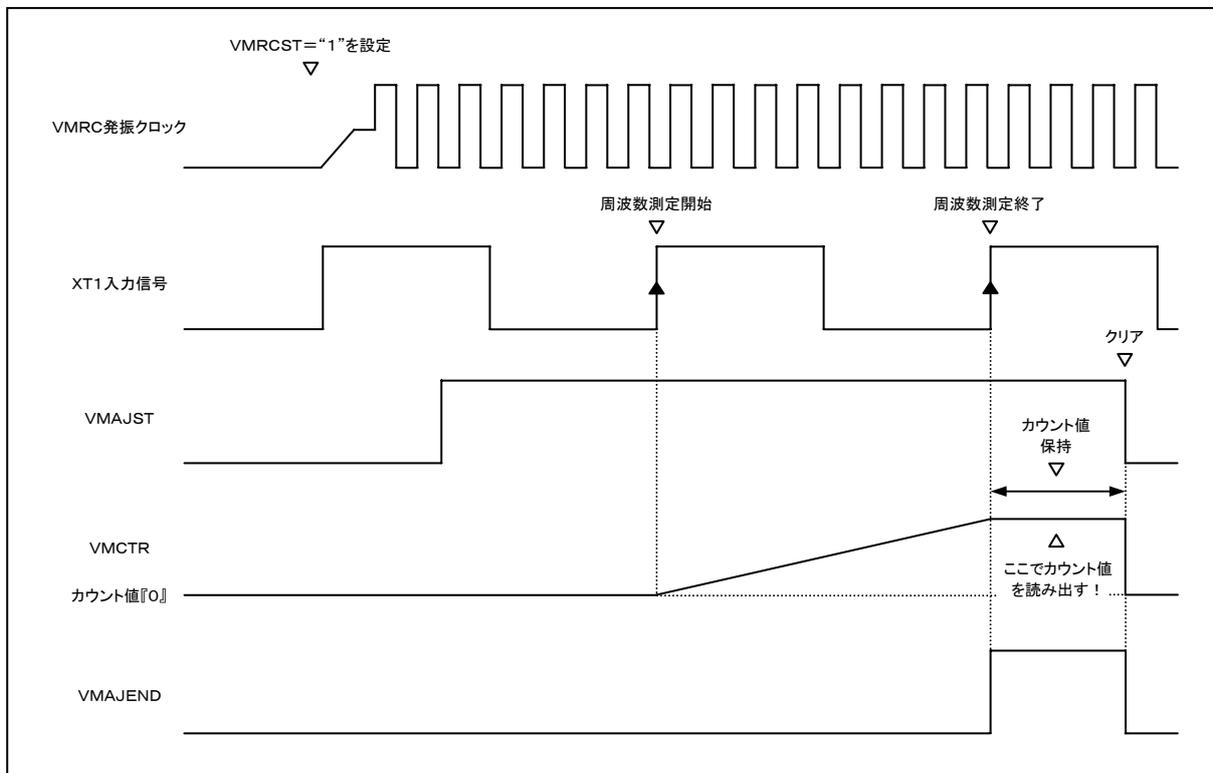


図 4-3-2 VMRC周波数測定動作タイミングチャート

## VMRC

### 4-3-4 関連レジスタ

#### 4-3-4-1 VMRC制御レジスタ(VMRCR)

- ① VMRCの動作制御、メインクロックの選択、発振周波数の調整を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEB4	0000 0000	R/W	VMRCR	VMRCSEL	VMRCST	VMRAJ2	VMRAJ1	VMRAJ0	VMFAJ2	VMFAJ1	VMFAJ0

VMRCSEL(ビット7):VMRCメインクロック選択

このビットが“0”の時、VMRCはメインクロックに選択されません。CFがメインクロックとなります。

このビットが“1”の時、VMRCがメインクロックに選択されます。OCRレジスタ(FE0EH)の設定で、メインクロックがシステムクロックに選択されている場合、VMRCはシステムクロックとなります。

VMRCST(ビット6):VMRC発振開始制御

このビットが“0”の時、VMRCは発振を停止します。

このビットが“1”の時、VMRCは発振を開始します。

※このビットはホールドモード突入時にクリアされます。X'talホールドモードではクリアされません。

VMRAJ2(ビット5):  
VMRAJ1(ビット4): } VMRC発振周波数調整ビット  
VMRAJ0(ビット3): }

これらのビットはVMRC発振周波数の調整幅が“約24%”で、設定は8種類となります。

※このビットの周波数調整幅は、電圧や温度により変化しますので、詳細は最新の『半導体ニュース』で確認してください。

VMFAJ2(ビット2):  
VMFAJ1(ビット1): } VMRC発振周波数微調整ビット  
VMFAJ0(ビット0): }

これらのビットはVMRC発振周波数の調整幅が“約4%”で、設定は8種類となります。

※このビットの周波数調整幅は、電圧や温度により変化しますので、詳細は最新の『半導体ニュース』で確認してください。

#### 4-3-4-2 VMRC周波数測定カウンタ/レジスタ・L(VMCTRL)

- ① VMRC発振周波数を測定する為の20ビットカウンタのビット7~0のカウンタです。
- ② このレジスタはリードオンリーです。
- ③ VMRCの発振を開始後、VMAJST=“1”を設定すると、XT1端子からの入力信号をリファレンスとして、その1周期分をVMRCの発振クロックでカウントできます。(詳細は図4-3-2を参照)
- ④ VMRCの発振クロックのカウント結果は、VMCTRHのビット3~0及びVMCTRMとVMCTRLで読み出すことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEB5	0000 0000	R	VMCTRL	VMCTR07	VMCTR06	VMCTR05	VMCTR04	VMCTR03	VMCTR02	VMCTR01	VMCTR00

#### 4-3-4-3 VMRC周波数測定カウンタ/レジスタ・M (VMCTRM)

- ① VMRC発振周波数を測定する為の20ビットカウンタのビット15～8のカウンタです。
- ② このレジスタはリードオンリーです。
- ③ VMRCの発振を開始後、VMAJST=“1”を設定すると、XT1端子からの入力信号をリファレンスとして、その1周期分をVMRCの発振クロックでカウントできます。(詳細は図4-3-2を参照)
- ④ VMRCの発振クロックのカウント結果は、VMCTRHのビット3～0及びVMCTRMとVMCTRLで読み出すことができます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEB6	0000 0000	R	VMCTRM	VMCTR15	VMCTR14	VMCTR13	VMCTR12	VMCTR11	VMCTR10	VMCTR09	VMCTR08

#### 4-3-4-4 VMRC周波数測定カウンタ/レジスタ・H (VMCTRH)

- ① VMRCのセンター・レンジ周波数選択、発振周波数測定の制御及び発振周波数を測定する為の20ビットカウンタのビット19～16のカウンタで、ビット19はオーバーフローフラグ (VMCTROV) となります。
- ② このレジスタのビット6, ビット3～0はリードオンリーです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEB7	0000 0000	R/W	VMCTRH	VMAJST	VMAJEND	VMSL4M	FIX0	VMCTROV	VMCTR18	VMCTR17	VMCTR16

##### VMAJST (ビット7): VMRC周波数測定制御

このビットが“0”の時、VMRC周波数測定は行われません。

このビットが“1”の時、VMRC周波数測定が有効になります。

※このビットを“0”にすると、VMCTROV, VMCTR18～VMCTR00とVMAJENDは“0”にクリアされますので、測定動作終了後、カウント値を読み出してからこのビットをクリアしてください。

※このビットが“1”の状態に1度測定動作が終了すると、次にXT1端子からの入力信号の立ち上がりを受けても測定動作は行われませんので注意してください。

##### VMAJEND (ビット6): VMRC周波数測定終了フラグ

VMRC周波数測定が終了するとセットされます。このフラグはVMAJSTを“0”にするとクリアされます。

※VMRC周波数測定結果は、このフラグがセットされているのを確認した後、VMCTROV, VMCTR18～VMCTR00を読み出して判断してください。

##### VMSL4M (ビット5): センター・レンジ周波数選択

このビットが“0”の時、センター・レンジ設定時のVMRC発振周波数は“約10MHz”となります。

このビットが“1”の時、センター・レンジ設定時のVMRC発振周波数は“約4MHz”となります。

※VMRC発振周波数のセンター・レンジ設定は、VMRAJ2～0=“4”, VMFAJ2～0=“0”を設定した状態を指します。

※システムクロックにVMRCの発振クロックを選択している状態で、このビットの値を変更することは禁止です。

※このビットの周波数設定は、電圧や温度により変化しますので、詳細は最新の『半導体ニュース』で確認してください。

##### FIX0 (ビット4): テスト用ビット

このビットはテスト用です。必ず“0”で使用してください。

## VMRC

VMCTROV (ビット3) : VMRC周波数測定カウンタ・オーバーフローフラグ

VMRC周波数測定カウンタのオーバーフローが発生した場合にセットされます。このフラグは、VMAJSTを“0”にするとクリアされます。

※このフラグが“1”の時、正しいカウント値が読めない場合がありますので、その際は、VMRC発振周波数やXT1端子からの入力信号等の調整をしてください。

VMCTR18 (ビット2) : }  
 VMCTR17 (ビット1) : } VMRC周波数測定カウンタ・ビット18～16  
 VMCTR16 (ビット0) : }

### 4-3-5 VMRCに関する補足

① VMRC発振周波数は、電圧や温度により発振周波数特性が変化します。クロック周波数の精度が必要な際は、プログラムにて定期的にVMRC発振周波数を調整してください。

② VMRAJ2～0, VMFAJ2～0の調整によるVMRC発振周波数は、“VMFAJ2～0=6”付近の周波数と、その時の“VMRAJ2～0の値+1, VMFAJ2～0=0”の周波数が近い特性になるように設計されています。

例えば、

- 1) {VMRAJ2～0, VMFAJ2～0} = {0, 6} と {1, 0}
- 2) {VMRAJ2～0, VMFAJ2～0} = {1, 6} と {2, 0}
- 3) {VMRAJ2～0, VMFAJ2～0} = {2, 6} と {3, 0}
- 4) {VMRAJ2～0, VMFAJ2～0} = {3, 6} と {4, 0}
- 5) {VMRAJ2～0, VMFAJ2～0} = {4, 6} と {5, 0}
- 6) {VMRAJ2～0, VMFAJ2～0} = {5, 6} と {6, 0}
- 7) {VMRAJ2～0, VMFAJ2～0} = {6, 6} と {7, 0}

上記はVMRC発振周波数が近い特性となります。(詳細は図4-3-3を参照)

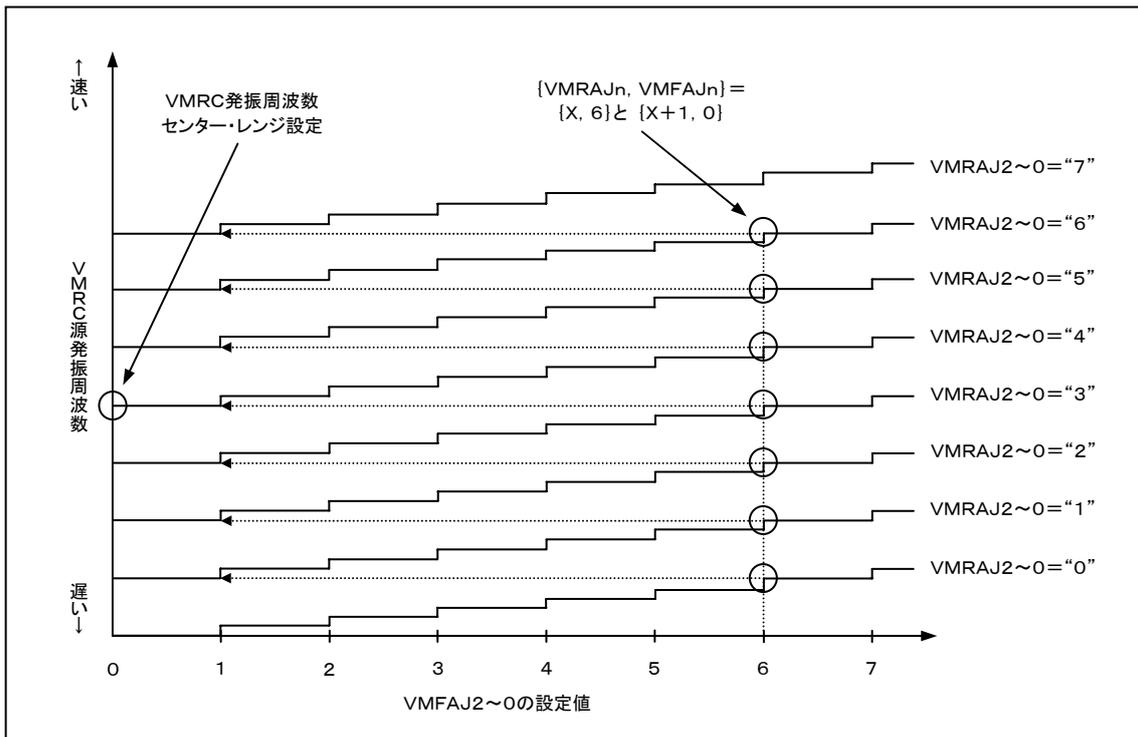


図4-3-3 VMRC発振周波数特性例

- ③システムクロックにVMRCの発振クロックを選択した時と、その状態でVMRCRレジスタに書き込みを行った場合、直ちに2～4クロック期間、システムクロックが停止します。その後、システムクロックは供給されますが、注意が必要です。
- ④VMRCの発振周波数は、VMRAJ2～0, VMFAJ2～0の設定により、本シリーズの許容動作周波数を超える場合がありますので、発振周波数測定機能を使用して、許容動作周波数を超えないように設定してください。
- ⑤VMRCの発振回路が“発振停止”状態から“発振許可”状態となった後、システムクロックに切り替える前に、10  $\mu$  sec以上の発振安定時間を設けてください。  
※X'talホールドモードから復帰後、VMRCの発振安定時間をとれないので、X'talホールドモード突入時のシステムクロックはサブクロックかRCのどちらかにする必要があります。

## 4-4 スタンバイ機能

### 4-4-1 概要

本シリーズは、停電時やプログラム待機中の消費電流を低減するために、ホルト、ホールド、X'talホールドと呼ばれる3つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

### 4-4-2 機能

#### ①ホルトモード

- ・命令の実行は停止するが、周辺回路は動作を継続する(シリアル転送の一部機能は停止します)。
- ・PCONレジスタのビット0をセットすることにより、ホルトモードに入る。
- ・リセットまたは割り込み要求の受付により、PCONレジスタのビット0がクリアされ、通常動作モードに復帰する。

#### ②ホールドモード

- ・全ての発振が停止する。命令の実行が停止し、周辺回路も動作を停止する。
- ・PCONレジスタのビット2="0"で、ビット1をセットすることにより、ホールドモードに入る。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされる。
- ・リセットまたはホールド解除信号(INT0, INT1, INT2, INT3, INT4, INT5, POINT)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行する。

#### ③X'talホールドモード

- ・サブクロック以外の発振が停止する。命令の実行が停止し、ベースタイマを除く周辺回路が動作を停止する。
- ・PCONレジスタのビット2="1"で、ビット1をセットすることにより、X'talホールドモードに入る。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされる。
- ・リセットまたはホールド解除信号(ベースタイマ割り込み, RTC, INT0, INT1, INT2, INT3, INT4, INT5, SPI, POINT)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行する。

### 4-4-3 関連レジスタ

#### 4-4-3-1 パワー制御レジスタ(PCON) (3ビットレジスタ)

①動作モード(通常/ホルト/ホールド/X'talホールド)を設定する3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE

(ビット7～3):存在しません。読むと“1”が読まれます。

XTIDLE (ビット2) : X'talホールドモード設定フラグ

PDN (ビット1) : ホールドモード設定フラグ

XTIDLE	PDN	動作モード
—	0	通常動作またはホルトモード
0	1	ホールドモード
1	1	X'talホールドモード

① これらのビットのセットは命令で行います。

- ・ホールドモードに入ると全ての発振 (メインクロック, サブクロック, RC) が停止し、OCRのビット1, 4, 5とVMRCRのビット6が“0”になる。
- ・ホールドモード復帰時、RC発振は開始し、メインクロック, サブクロックはホールド突入前の状態になり、システムクロック=RCとなる。
- ・X'talホールドモードに入るとXT以外の発振 (メインクロック, RC) が停止するが、OCRレジスタは変化しない。
- ・X'talホールドモード復帰時、メインクロックの発振安定時間をとれないので、X'talホールドモード突入時のシステムクロックはサブクロックかRCのどちらかにする必要がある。
- ・通常 X'talホールドモードは、低消費電流時計カウントや赤外線リモコン受信待機用に使うので、突入前にシステムクロックをサブクロックに切り換え、メインクロックとRC発振を停止したほうがより低消費電流となる。

② XTIDLEのクリアは命令で行います。

③ PDNのクリアは、ホールド解除信号 (INT0, INT1, INT2, INT3, INT4, INT5, POINT) の発生、またはリセット信号で行われます。

④ PDNがセットされると自動的にビット0もセットされます。

IDLE (ビット0) : ホルトモード設定フラグ

① このビットをセットするとホルトモードに入ります。

② ビット1がセットされると自動的にこのビットもセットされます。

③ インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

## スタンバイ

表 4-4-1 スタンバイ動作

項目/モード	リセット状態	ホルトモード	ホールドモード	X'talホールドモード
突入条件	<ul style="list-style-type: none"> <li>RES 信号印加</li> <li>ウォッチドッグタイマでのリセット発生</li> </ul>	PCONレジスタ ビット1="0" ビット0="1"	PCONレジスタ ビット2="0" ビット1="1"	PCONレジスタ ビット2="1" ビット1="1"
突入後、 変化するデータ	別表の示すように初期化される。	WDTレジスタ (FE0F) ビット4がセットされている場合、WDTのビット2~0がクリアされる。	<ul style="list-style-type: none"> <li>WDTレジスタ (FE0F) ビット4がセットされている場合、WDTのビット2~0がクリアされる。</li> <li>PCONのビット0が"1"になる。</li> <li>OCRレジスタ (FE0E) のビット5, 4, 1がクリアされる。</li> </ul>	<ul style="list-style-type: none"> <li>WDTレジスタ (FE0F) ビット4がセットされている場合、WDTのビット2~0がクリアされる。</li> <li>PCONのビット0が"1"になる。</li> </ul>
メインクロック発振	停止	突入時の状態	停止	停止
内蔵RC発振	動作	突入時の状態	停止	停止
サブクロック発振	停止	突入時の状態	停止	突入時の状態
周波数可変RC発振	停止	突入時の状態	停止	停止
CPU	初期化される	停止	停止	停止
I/O端子状態	表4-4-2参照	←	←	←
RAM	<ul style="list-style-type: none"> <li>RES の場合: 不定</li> <li>ウォッチドッグタイマリセットの場合: データ保持</li> </ul>	データ保持	データ保持	データ保持
ベースタイマとリモコン受信回路	停止	突入時の状態	停止	突入時の状態
ベースタイマとリモコン受信回路以外の周辺モジュール	停止	突入時の状態 (注2)	停止	停止
復帰条件	突入条件の解消	<ul style="list-style-type: none"> <li>割り込み要求の受付</li> <li>リセット突入条件の成立</li> </ul>	<ul style="list-style-type: none"> <li>INT0~5, SPIまたはPOINTからの割り込み要求発生</li> <li>リセット突入条件の成立</li> </ul>	<ul style="list-style-type: none"> <li>INT0~5, SPI, POINT, ベースタイマまたはRTCからの割り込み要求発生</li> <li>リセット突入条件の成立</li> </ul>
復帰先	通常動作モード	通常動作モード (注1)	ホルトモード(注1)	ホルトモード(注1)
復帰後に変化するデータ	なし	PCONレジスタのビット0="0"となる	PCONレジスタのビット1="0"となる	PCONレジスタのビット1="0"となる

(注1) リセット突入条件の成立で復帰した場合、リセット状態に移行する。

(注2) シリアル転送の一部機能は停止します。

表 4-4-2 モードによる端子状態 (本シリーズの場合)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RES	・入力端子	←	←	←	←
XT1	・入力端子 ・X'tal 発振は開始しない。  ・XT1,XT2 の間の帰還抵抗はオフ。	・レジスタ OCR(FE0EH)で X'tal 発振用入力端子として使用を制御。 ・XT1 のデータをレジスタ (FE0EH)で読める (発振モード時は常に“0”が読まれる)。 ・XT1,XT2 の間の帰還抵抗はプログラムで制御。	←	・X'tal 発振用入力端子として使用時、発振停止状態。 ※X'tal ホールド時は発振状態を保持する。  ・XT1,XT2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
XT2	・入力端子 ・X'tal 発振は開始しない。  ・XT1,XT2 の間の帰還抵抗はオフ。	・レジスタ OCR(FE0EH)で X'tal 発振用出力端子として使用を制御。 ・XT2 のデータをレジスタ OCR(FE0EH)で読める。 ・入力/出力はプログラムで制御 ・XT1,XT2 の間の帰還抵抗はプログラムで制御。	←	・X'tal 発振用入力端子として使用時、発振停止状態。 ・XT1 に関係なく VDD レベルに出力。 ※X'tal ホールド時は発振状態を保持する。 ・XT1,XT2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
CF1	・入力端子 ・CF 発振は開始しない。  ・CF1,CF2 の間の帰還抵抗はオフ。	・レジスタ OCR2(FE43H)でCF 発振入力端子として使用を制御。 ・レジスタ OCR(FE0EH)で発振可能/停止を制御。 ・CF1 のデータをレジスタ (FE43H)で読める (発振モード時は常に“0”が読まれる)。 ・CF1,CF2 の間の帰還抵抗はプログラムで制御。	←	・CF 発振用入力端子として使用時、発振停止状態。  ・CF1,CF2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
CF2	・入力端子 ・CF 発振は開始しない。  ・CF1,CF2 の間の帰還抵抗はオフ。	・レジスタ OCR2(FE43H)でCF 発振入力端子として使用を制御。 ・レジスタ OCR(FE0EH)で発振可能/停止を制御。 ・CF2 のデータをレジスタ (FE43H)で読める (発振モード時は常に“0”が読まれる)。 ・入力/出力はプログラムで制御 ・発振停止時は CF1 に関係なく VDD レベル出力。 ・CF1,CF2 の間の帰還抵抗はプログラムで制御。	←	・CF 発振用入力端子として使用時、発振停止状態。 ・CF1 に関係なく VDD レベル出力。  ・CF1,CF2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。

次 ページへ続く

## スタンバイ

### モードによる端子状態(続き)

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
P00-P07	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
P10-P17	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
P20-P27	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
P30-P34	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
P70	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。 ・ウォッチドッグタイマ用 Nch 出力トランジスタはプ ログラムで制御(オン時間 が自動拡張されるので、オ フするまで 1920~ 2048(CYC かかる)。	・入力モード ・プルアップ抵抗はオフ。 ・ウォッチドッグタイマ用 Nch 出力トランジスタは オフ(オン時間の自動拡 張機能はリセットされ る)。	←	・通常動作時と同 じ。
P71-P73	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
P80-P87	・Nch オープンドレ イン ・Nch トランジスタ オフ	・Nch オープンドレイン ・Nch トランジスタのオン/ オフはプログラムで制御。	←	←	←
PA0-PA7	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
PB0-PB7	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←
PC0-PC7	・入力モード ・プルアップ抵抗 オフ	・入力/出力/プルアップ 抵抗はプログラムで制御。	←	←	←

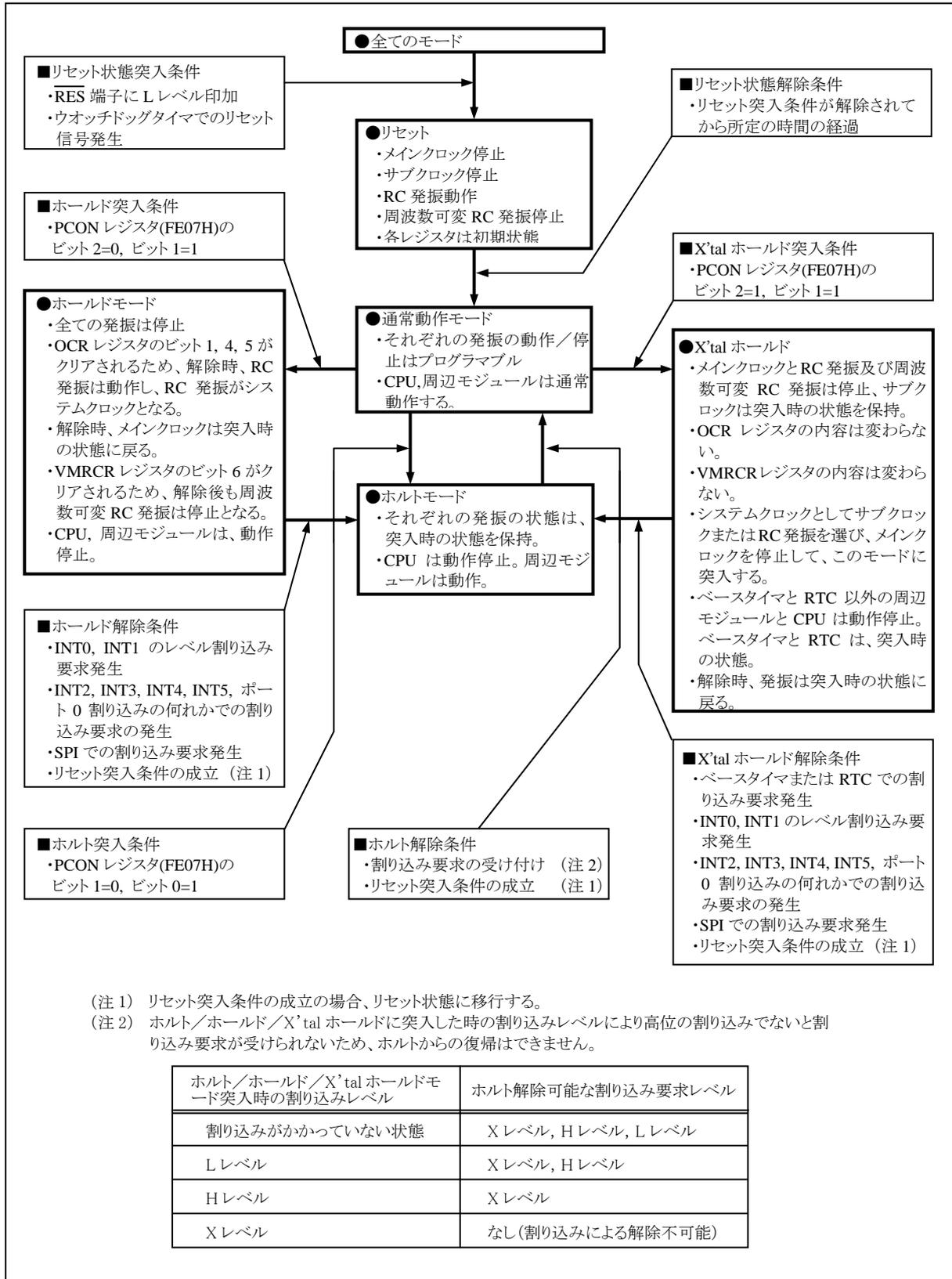


図 4-4-1 スタンバイモード遷移

## リセット

### 4-5 リセット機能

#### 4-5-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

#### 4-5-2 機能

本シリーズは、次の3つの機能を持っています。

##### ① $\overline{\text{RES}}$ 端子による外部リセット機能

$\overline{\text{RES}}$  端子に「L」レベルを200[ $\mu\text{s}$ ]以上印加することで、確実にリセットがかかります。しかし、わずかな幅(200[ $\mu\text{s}$ ]以内)の「L」レベルが印加されてもリセットがかかることがあるので注意が必要です。

$\overline{\text{RES}}$  端子に適正な時定数を外付けすことにより、電源投入時のリセットとして使用できます。

##### ② 内蔵リセット機能

電源の初期投入時にリセットをかけるパワーオンリセット(POR)機能と電源電圧が低下した時にリセットをかける低電圧検知リセット(LVD)機能があります。パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

##### ③ ウォッチドッグタイマによる暴走検出リセット機能

ウォッチドッグタイマは、外部割り込み端子(P70/INT0/TOLCP)に抵抗とコンデンサを外付けして、適正な時定数を作ることで暴走検出リセットとして使用することができます。

リセット回路の構成例を図4-5-1に示します。リセット端子の外付け回路は内蔵リセット機能オプションを【禁止】し外部パワーオンリセット回路を構成した場合の一例です。

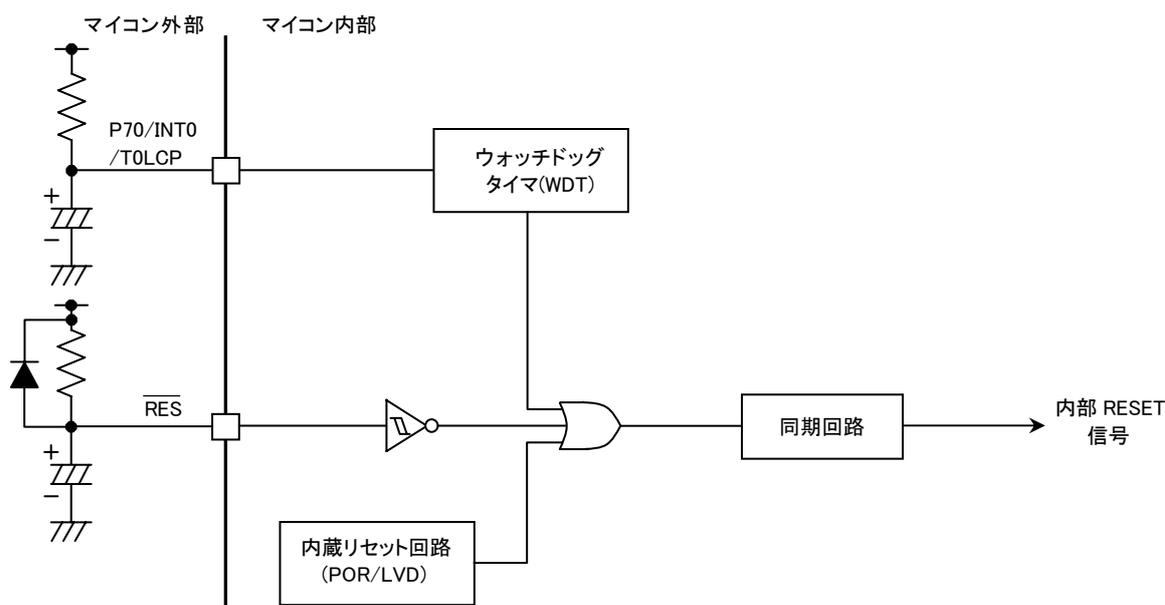


図4-5-1 リセット回路ブロック図

### 4-5-3 リセット時の状態

RES 端子、内蔵リセット回路、ウォッチドッグからのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかるとシステムクロックは内蔵中速RC発振に切り換わるため、電源投入時でも直ちにハードウェアの初期化が行われます。メインクロック発振が安定するのを待って、システムクロックをメインクロックに切り換えます。リセット時、プログラムカウンタの初期値は、0000Hになります。また、各特殊機能レジスタ(SFR)の初期値は、APPENDIX(AI)87レジスタマップに示す値となります。

< 注意点 >

- スタックポインタの初期値は0000Hとなります。
- データRAMの内容はリセットで初期化されることはありません。よって、電源投入時にはRAMの内容が「不定」となっていますので注意が必要です。
- 内蔵リセット機能を使用する場合、リセット端子には使用条件に合わせた外付け回路を構成する必要がありますので、必ず【4-7項 内蔵リセット機能】の各リセット機能の動作仕様、回路構成、注意点・留意点をご確認ください。

### 4-6 ウォッチドッグタイマ機能

本シリーズでは、2種類のウォッチドッグタイマ機能を内蔵しています。

- ① RC回路を外付けして利用するウォッチドッグタイマ
- ② ベースタイマを利用するウォッチドッグタイマ

#### 4-6-1 概要 (RC外付け)

本シリーズは、プログラムの暴走を検出するためにRC回路を外付けするウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマはP70/INT0/T0LCP端子に外付けしたRC回路を充電し、「H」レベルに達するとプログラムが暴走したとみなし、リセットや割り込みをかけることができます。

#### 4-6-2 機能

##### ① 暴走の検出

定期的にRC回路を放電するプログラムを作成します。プログラムが暴走するとRC回路を放電する命令を実行しないので、P70/INT0/T0LCP端子のP電位は「H」レベルに達し、暴走検出フラグがセットされます。

##### ② 暴走検出後の動作

ウォッチドッグタイマが暴走を検出した場合、次の2つの動作を選択することができます。

- ・リセット(プログラムの再実行)
- ・外部割り込みINT0の発生(プログラムの継続)

外部割り込みINT0はマスタ割り込み許可制御レジスタ(IE)によって優先レベルが変わります。

#### 4-6-3 回路構成

ウォッチドッグタイマは、高スレッシュホールドバッファ、パルスストレッチャ回路とウォッチドッグタイマ制御レジスタで構成されています。構成図を4-6-1に示します。

- ・高スレッシュホールドバッファ  
外付けされた容量Cの充電圧を検出します。
- ・パルスストレッチャ回路  
外付けされた容量Cの放電を確実にを行うために、放電時間よりも長く放電します。  
ストレッチ時間は、 $1920 \sim 2048T_{cyc}$ です。
- ・ウォッチドッグタイマ制御レジスタ(WDT)  
ウォッチドッグタイマの動作を制御します。

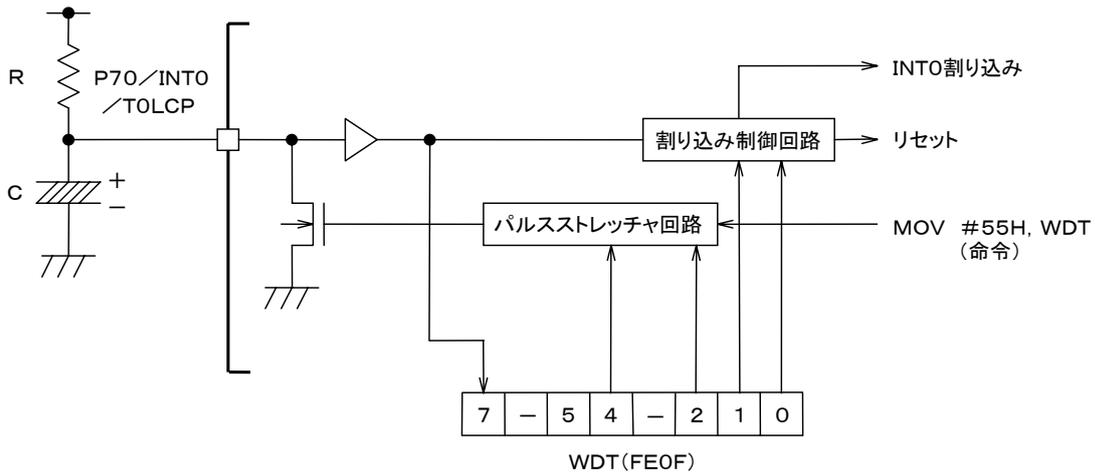


図 4-6-1 ウォッチドッグタイマ構成図

#### 4-6-4 関連レジスタ

##### ① ウォッチドッグタイマ制御レジスタ(WDT)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0F	0H00 H000	R/W	WDT	WDTFLG	-	WDTB5	WDTHLT	-	WDTCLR	WDTRST	WDTRUN

ビット名	機能
WDTFLG(ビット7)	暴走検出フラグ 0 : 暴走無し 1 : 暴走有り
WDTB5(ビット5)	汎用フラグ 汎用フラグとして使用できます
WDTHLT(ビット4)	HALT/HOLD時の機能制御 0 : ウォッチドッグタイマの動作許可 1 : ウォッチドッグタイマの動作停止
WDTCLR(ビット2)	ウォッチドッグタイマのクリア制御 0 : ウォッチドッグタイマのクリア禁止 1 : ウォッチドッグタイマのクリア許可
WDTRST(ビット1)	暴走検出時のリセット制御 0 : 暴走検出時のリセット禁止 1 : 暴走検出時のリセット実行
WDTRUN(ビット0)	ウォッチドッグタイマの動作制御 0 : ウォッチドッグタイマの動作維持 1 : ウォッチドッグタイマの動作開始

##### WDTFLG(ビット7): 暴走検出フラグ

ウォッチドッグタイマによって暴走が検出された場合はセットされます。このビットをモニタすることによって、暴走が発生したかどうかを知ることができます。(ただし、WDTRST=1の場合のみ)

このビットは自動的にリセットされません。プログラムでリセットする必要があります。

## ウォッチドッグタイマ

### WDTB5(ビット5):汎用フラグ

汎用フラグとして使用できます。

このビットを操作しても機能ブロックの動作に影響を与えません。

### WDTHLT(ビット4):HALT/HOLD時の機能制御

マイクロコンピュータがHALT/HOLD状態になった場合のウォッチドッグタイマ動作(0)/停止(1)を制御します。「1」の設定時、HALT/HOLD状態ではWDT2~0がリセットされ、ウォッチドッグタイマは停止します。「0」の設定時ではWDT2~0は変化せず、HALT/HOLD状態でもウォッチドッグタイマは動作します。

### WDTCLR(ビット2):ウォッチドッグタイマのクリア制御

外付け容量の電荷の放電を許可(1)/禁止(0)します。「1」の設定時、P70/INT0/T0LCP端子のNチャネルトランジスタがONし、外付け容量の電荷を放電しウォッチドッグタイマをクリアします。この時、パルスストレッチチャ回路が動作します。「0」の設定時、P70/INT0/T0LCP端子のNチャネルトランジスタをONさせることを禁止し、ウォッチドッグタイマをクリアすることができないようにします。

### WDTRST(ビット1):暴走検出時のリセット制御

ウォッチドッグタイマがプログラムの暴走を検出した場合、リセットの実行(1)/禁止(0)を制御します。「1」の設定時、暴走検出時にリセットがかかり、プログラムを0000H番地から再実行します。「0」の設定時にはリセットはかからず、外部割り込み「INT0」が発生して、ベクタアドレス0003H番地をコールします。

### WDTRUN(ビット0):ウォッチドッグタイマの動作制御

ウォッチドッグタイマの動作の開始(1)/維持(0)を制御します。「1」の設定時、ウォッチドッグタイマ機能が動作し、「0」の設定時、ウォッチドッグタイマ機能に何も影響を与えません。つまり、一旦動作開始したウォッチドッグタイマはプログラムで停止させることはできません。(リセット時停止)

#### 【注意】

WDTRST=1の場合、ウォッチドッグタイマが動作していなくても、INT0=1の条件でリセットがかかります。ウォッチドッグタイマのクリア制御ビット(WDTCLR)を「1」にセットして、ウォッチドッグタイマを停止(WDTRUN=0)させると、P70/INT0/T0LCP端子のNチャネルトランジスタがONします。ウォッチドッグタイマを使用しない場合は、この点に留意してプログラムを作成してください。プログラムや応用回路によっては、消費電流が増加する場合があります。

### ② マスタ割り込み許可制御レジスタ(IE)

詳細は、『第4章 4-1-4-1 マスタ割り込み許可制御レジスタ』を参照してください。

### ③ ポート7制御レジスタ(P7)

詳細は、『第3章 3-5-3-1 ポート7制御レジスタ』を参照してください。

#### 4-6-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。また、外付けRC回路の時定数がウォッチドッグタイマをクリアする時間間隔よりも大きくなるように、抵抗値R、容量値Cを選択します。

##### ①ウォッチドッグタイマの初期化

リセット時、ウォッチドッグタイマ制御レジスタ(WDT)の全ビットはリセットされます。P70/INT0/T0LCP端子は「H」レベルに充電されている場合、ウォッチドッグタイマの動作を開始する前に「L」レベルまで放電します。放電に際しては、内蔵のNチャンネルトランジスタを使用しますが、ON抵抗を持っているので、外付けの容量値と時定数だけの放電時間が必要です。

P7のモード設定レジスタP7(FE5C)のビット0, 4を0, 0または1, 1にし、P7端子ポート出力をオープンとします。

##### ・放電開始

WDTに「04H」を書き込み、P70/INT0/T0LCP端子の出力NチャンネルトランジスタをONさせ、コンデンサを放電します。

##### ・「L」レベル確認

P70/INT0/T0LCP端子のデータ検出

P70/INT0/T0LCP端子のデータをLD命令等で読み込み、「0」が読み込まれれば、P70/INT0/T0LCP端子は「L」レベルになっていると判断します。

##### ②ウォッチドッグタイマの動作開始

(1) ビット2(WDTCLR)とビット0(WDTRUN)に「1」を書き込みます。

(2) 暴走検出でリセットをかける場合は、ビット1(WDTRST)を同時に「1」にします。

(3) HOLDモードとHALTモード時にウォッチドッグタイマの動作を停止する場合には、ビット4(WDTHLT)を同時にセットします。

ビット0(WDTRUN)に「1」を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、WDTへの書き込みは禁止され、ウォッチドッグタイマのクリアとWDTの読み出しのみが可能となります。従って、命令による停止はできません。ウォッチドッグタイマの機能が停止するのは、リセット時、またはWDTHLTがセットされた状態でHALT/HOLDモード時に入った場合です。この場合、WDT 2～0がリセットされます。

## ウォッチドッグタイマ

### ③ウォッチドッグタイマのクリア

ウォッチドッグタイマが動作を開始すると、P70/INT0/T0LCP端子に外付けしたRC回路が充電されます。この端子の電圧値が「H」レベルに達すると、ウォッチドッグタイマ制御レジスタ(WDT)の設定に従って、リセットあるいは割り込みが発生します。通常のプログラム動作を行うには、P70/INT0/T0LCP端子が「H」レベルに達する前に、定期的にRC回路を放電する必要があります(ウォッチドッグタイマのクリア)。ウォッチドッグタイマの動作中にクリアするには、次の命令を実行してください。

```
MOV #55H,WDT
```

前述の命令は、P70/INT0/T0LCP端子のNチャネルトランジスタをONにし、パルスストレッチャ機能(MOV命令実行後もトランジスタがONになっている)により、最短1920～最長2048サイクルタイムの間、コンデンサを放電します。

### ④暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマがクリアされないので外付けRC回路が充電されます。充電が進み、P70/INT0/T0LCP端子が「H」レベルに達すると、プログラムが暴走したと判断され、リセットあるいは割り込みが発生します。この時、暴走検出フラグWDTFLGがセットされます。この場合、WDTRSTが「1」であればリセットがかかり、プログラムを0000H番地から再実行し、「0」であれば外部割り込み(INT0)が発生し、ベクタアドレス0003Hへプログラムの実行が移ります。

### ・使用上の注意点

- ①HOLDモードを使って極低消費電力を実現する場合、ウォッチドッグタイマを使用しないか、またはWDTHLTに「1」を書き込んで、HOLD時にウォッチドッグタイマの動作を禁止しておく必要があります。また、ウォッチドッグタイマを使用しない時は、必ずWDTCLRを「0」にしてください。
- ②P70/INT0/T0LCP端子は2つの入力レベルを持っており、ウォッチドッグタイマ回路の入力レベルは、ポート入力や割り込み検出レベルに比べてスレッシュホールドレベルが高くなっています。入力レベルについては、最新の「半導体ニュース」を参照してください。

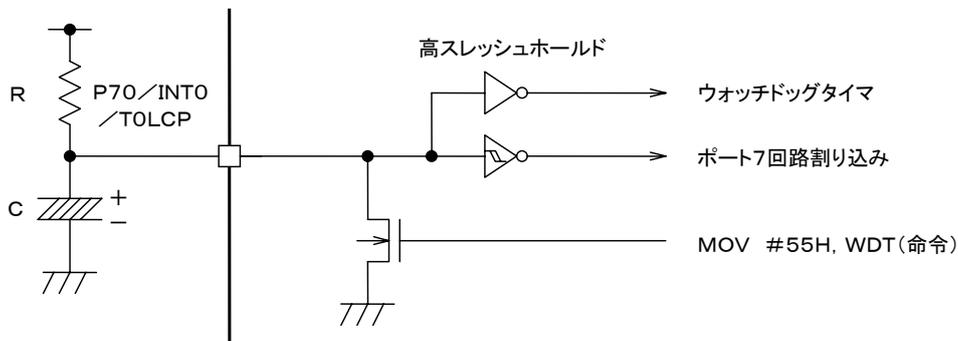


図 4-6-2 P70/INT0/T0LCP端子の構造 (P70設定:プルアップ抵抗OFF)

③レジスタP7 (FE5C)のビット4, 0を0, 1としてP70/INT0/TOLCP端子にプルアップ抵抗をつけた場合、ウォッチドッグタイマで外付けする抵抗を省略することができます(図4-6-3参照)。

この場合、プルアップ抵抗の値は電源電圧VDDによって変化します。最新の「半導体ニュース」でプルアップ抵抗値を確認した上で、ウォッチドッグタイマの時定数を計算してください。

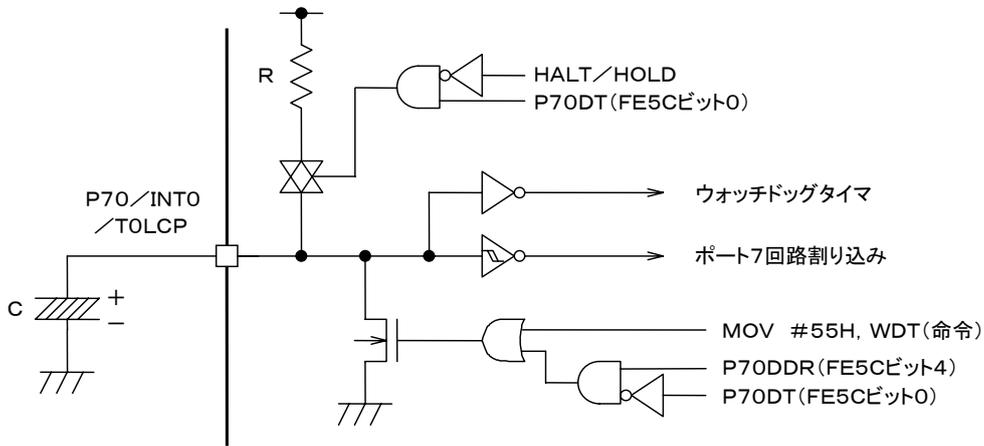


図4-6-3 プルアップ抵抗を使用した場合の応用回路

#### 4-6-6 概要 (ベースタイマ)

プログラムの暴走を検出するために、ベースタイマ動作を利用するウォッチドッグタイマを内蔵しています。

このウォッチドッグタイマは、一定期間のうちに、プログラムによるクリア信号を検出しなかった場合にプログラムが暴走したとみなし、リセットや割り込みをかけることができます。

RC回路を外付けするウォッチドッグタイマと比較して、消費電流が少ないという利点があります。

#### 4-6-7 機能

##### ① 暴走の検出

定期的にベースタイマ動作によるウォッチドッグタイマをクリアするプログラムを作成します。プログラムが暴走するとタイマをクリアする命令が実行されないため、タイマはオーバーフローを起こし、暴走検出フラグがセットされます。

##### ② 暴走検出後の動作

ウォッチドッグタイマが暴走を検出した場合、次の2つの動作が選択可能です。

- ・リセット(プログラムの再実行)
- ・外部割り込みINT0の発生(プログラムの継続)

外部割り込みINT0はマスタ割り込み許可制御レジスタ(IE)によって優先レベルが変わります。

#### 4-6-8 回路構成

ウォッチドッグタイマは、ウォッチドッグタイマ制御レジスタとベースタイマ回路で構成されています。構成図を4-6-4に示します。

- ・ウォッチドッグタイマ制御レジスタ(BMWDT)

ウォッチドッグタイマの動作を制御します。

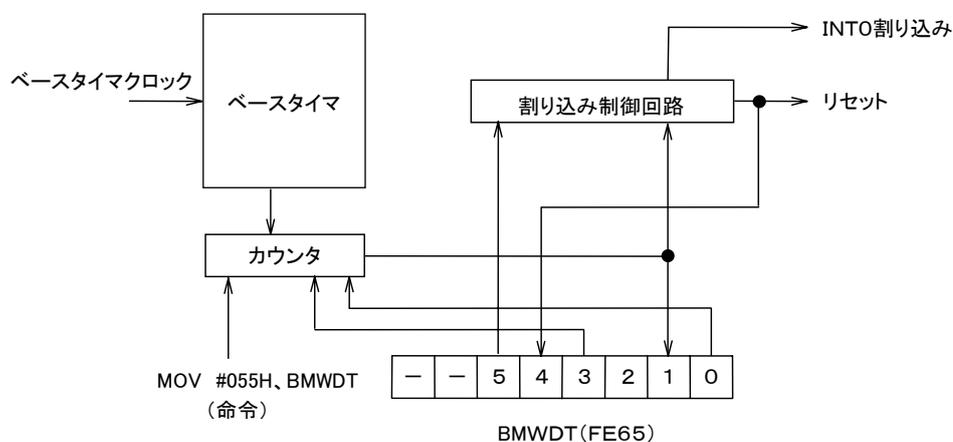


図 4-6-4 ウォッチドッグタイマ(ベースタイマ)構成図

## 4-6-9 関連レジスタ

## ①ウォッチドッグタイマ制御レジスタ(BMWDT)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE65	HH00 0000	R/W	BMWDT	-	-	BWTRE	BWTRF	BWTHLT	BWTB2	BWTOVF	BWTRUN

ビット名	機能
BWTRE (ビット5)	暴走検出時のマイコン動作
	0 : 外部割り込み「INT0」実行 1 : リセット実行
BWTRF (ビット4)	リセット実行検出フラグ
	0 : 暴走によるリセット実行無し 1 : 暴走によるリセット実行有り
BWTHLT (ビット3)	HALT/X'tal HOLD時の機能制御
	0 : ウォッチドッグタイマの動作許可 1 : ウォッチドッグタイマの動作停止
BWTB2 (ビット2)	汎用フラグ
	汎用フラグとして使用できます
BWTOVF (ビット1)	暴走検出フラグ
	0 : 暴走無し 1 : 暴走有り
BWTRUN (ビット0)	ウォッチドッグタイマの動作制御
	0 : ウォッチドッグタイマの動作維持 1 : ウォッチドッグタイマの動作開始

## BWTRE (ビット5): 暴走検出時のマイコン制御

ウォッチドッグタイマがプログラムの暴走を検出した場合に、マイクロコンピュータが実行する動作を選択します。

「1」の設定時、暴走検出時にリセットがかかり、プログラムを0000H番地から再実行します。

「0」の設定時、暴走検出時に外部割り込み「INT0」が発生し、ベクタアドレス0003H番地をコールします。

## BWTRF (ビット4): リセット実行検出フラグ

以下の状態時、このビットは自動的にセットされます。

- ・BWTRE = 1の状態 で暴走が検出された場合、
- ・ウォッチドッグタイマを実行するための設定が不十分な状態で、ウォッチドッグタイマを実行開始した場合

このビットをモニタすることによって、ウォッチドッグタイマによるリセット実行が行われたかどうかを判断することが出来ます。

## BWTHLT (ビット3): HALT/X'tal HOLD時の機能制御

マイクロコンピュータがHALT/X'tal HOLD状態になった場合のウォッチドッグタイマ動作(0)/停止(1)を制御します。

「1」の設定時、BWTRUNがリセットされるため、HALT/X'tal HOLD状態ではウォッチドッグタイマは停止します。

「0」の設定時ではBWTRUNは変化せず、HALT/X'tal HOLD状態でもウォッチドッグタイマは動作します。ただし、X'tal HOLD時にウォッチドッグタイマを動作させる場合には、暴走検出時、マイコンにリセットが実行されるように設定して下さい(BMWDTレジスタのビット5を「1」に設定してください)。

## ウォッチドッグタイマ

BWTB2(ビット2):汎用フラグ

汎用フラグとして使用できます。

このビットを操作しても機能ブロックの動作に影響を与えません。

BWTOVF(ビット1):暴走検出フラグ

ウォッチドッグタイマのオーバーフローによって暴走が検出された場合、セットされます。

BWTRUN(ビット0):ウォッチドッグタイマの動作制御

ウォッチドッグタイマの動作の開始(1)/維持(0)を制御します。

「1」の設定時、ウォッチドッグタイマ機能が動作開始します。

「0」の設定時、ウォッチドッグタイマ機能は何も影響を与えません。

つまり、一旦動作開始したウォッチドッグタイマはプログラムで停止させることはできません。(リセット時停止)

### 【注意】

ウォッチドッグタイマを実行するためには、以下の設定が必要です。これらの設定を行わないで実行した場合、マイクロコンピュータはリセット実行します。

・水晶発振動作開始

→OCRレジスタ(FE0E)のビット6をセットして下さい。

・ベースタイマ動作開始

→BTCRレジスタ(FE7F)のビット6をセットして下さい。

②マスタ割り込み許可制御レジスタ(IE)

詳細は、「第4章 4-1-4-1 マスタ割り込み許可制御レジスタ」を参照してください。

## 4-6-10 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。

①ウォッチドッグタイマ実行前の状態設定

ウォッチドッグタイマ動作を開始する前に、以下のレジスタ設定を行ってください。設定しないまま、ウォッチドッグタイマ動作を開始した場合、マイクロコンピュータはリセット実行しますので注意してください。

・OCRレジスタ(FE0E)のビット6(EXTOSC)をセット。

・BTCRレジスタ(FE7F)のビット6(BTON)をセット。

また、リセット時に、ウォッチドッグタイマ制御レジスタ(BMWDT)のビットは、リセットされています。

②ウォッチドッグタイマの動作開始

(1)ビット0(BWTRUN)に「1」を書き込みます。

(2)暴走検出でリセットをかける場合は、ビット5(BWTRE)を同時に「1」にします。

(3) HALTモードとX'tal HOLDモード時にウォッチドッグタイマの動作を停止する場合には、ビット3 (BWITHLT)を同時にセットします。

ビット0 (BWTRUN)に「1」を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、BMWDTへの書き込みは禁止され、ウォッチドッグタイマのクリアとBMWDTの読み出しのみが可能となります。従って、命令による停止はできません。ウォッチドッグタイマの機能が停止するのは、リセット時、またはBWITHLTがセットされた状態でHALT/X'tal HOLDモード時に入った場合です。この場合、BMWDT1~0がリセットされます。

#### ③ウォッチドッグタイマのクリア

ウォッチドッグタイマが動作を開始すると、カウンタがカウントアップします。このカウンタがオーバーフローすると、ウォッチドッグタイマ制御レジスタ (BMWDT) の設定に従って、リセットあるいは割り込みが発生します。カウンタは、ベースタイマクロックとしてサブクロック (32.768kHz) を使用した場合、約8秒でオーバーフローを起こすようになっています。従って、通常のプログラム動作を行うには、カウンタがオーバーフローする前に、定期的にカウンタをクリアする必要があります。(ウォッチドッグタイマのクリア)。ウォッチドッグタイマの動作中にクリアするには、次の命令を実行してください。

```
MOV #055H, BMWDT
```

#### ④暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマがクリアされないのでカウンタがオーバーフローします。オーバーフローしますとプログラムが暴走したと判断され、リセットあるいは割り込みが発生します。この時、暴走検出フラグBWTOVFがセットされます。

このとき、BWTREが「1」であればリセットがかかり、プログラムを0000H番地から再実行し、「0」であれば外部割り込み (INT0) を発生し、ベクタアドレス0003Hへプログラムの実行が移ります。

#### ・使用上の注意点

X'tal HOLDモードを使って低消費電力を実現する場合、ウォッチドッグタイマを使用しないか、またはBWITHLTに「1」を書き込んで、X'tal HOLD時にウォッチドッグタイマの動作を禁止しておく必要があります。

### 4-7 内蔵リセット機能

#### 4-7-1 概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

#### 4-7-2 機能

##### ①パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

##### ②低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

#### 4-7-3 回路構成

内蔵リセット回路は、POR、LVD、パルスストレッチャ回路、容量CRES放電トランジスタ、外付け容量CRES+プルアップ抵抗RRESまたはプルアップ抵抗RRESのみで構成されています。構成図を4-7-1項に示します。

##### ・パルスストレッチャ回路

POR、LVDのリセット信号をストレッチする回路で、内部リセット期間とリセット端子に外付けされた場合の容量CRESを放電するために使用します。ストレッチ時間は $30\mu\text{s}\sim 100\mu\text{s}$ です。

##### ・容量CRES放電トランジスタ

リセット端子に外付けされた容量CRESを放電するためのNchトランジスタです。リセット端子に容量CRESを外付けしない場合には、プルアップ抵抗RRESのみ外付けし内部リセット信号のモニタを行うこともできます。

##### ・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。4-7-4項を参照ください。

##### ・外付け容量CRES+プルアップ抵抗RRES

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC、R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は容量CRESとプルアップ抵抗RRESを外付けした、図4-7-1の回路構成を推奨します。推奨定数は $CRES=0.022\mu\text{F}$ 、 $RRES=510\text{k}\Omega$ です。但し、セット仕様によりリセット端子に容量CRESを外付けできない場合でも、プルアップ抵抗RRESを必ず外付けしてください。

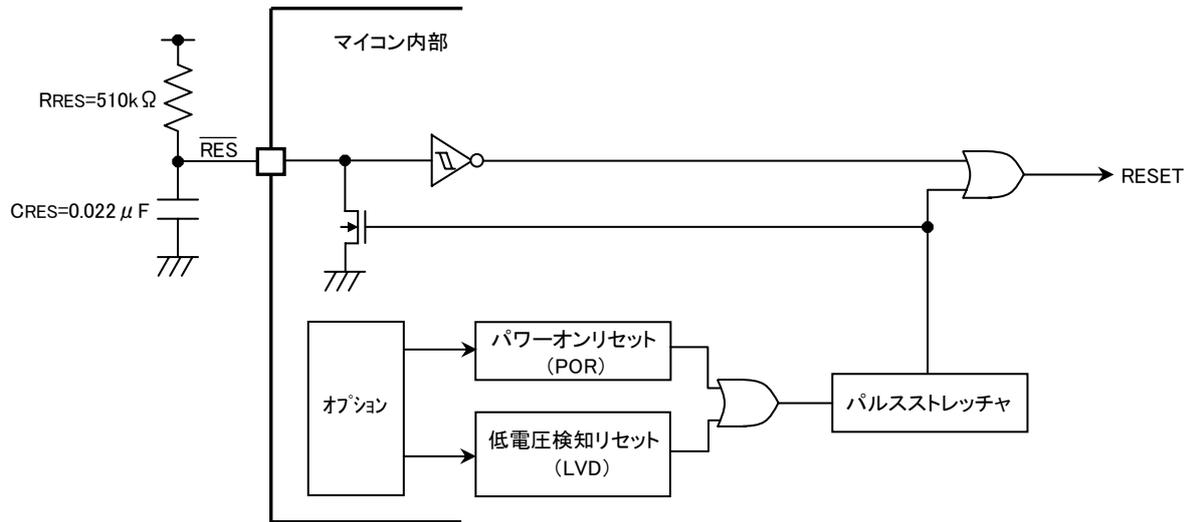


図4-7-1 内蔵リセット回路構成図

#### 4-7-4 オプション

リセット回路オプションにはPORとLVDオプションがあります。

①LVDリセット機能オプション			
【許可】:使用する		【禁止】:使用しない	
②LVDリセットレベルオプション		③POR解除レベルオプション	
選択オプション typ.値	VDD動作 min.値 (*)	選択オプション typ.値	VDD動作 min.値 (*)
—	—	【1.67V】	1.8V～
【1.91V】	2.1V～	【1.97V】	2.1V～
【2.01V】	2.2V～	【2.07V】	2.2V～
【2.31V】	2.5V～	【2.37V】	2.5V～
【2.51V】	2.7V～	【2.57V】	2.7V～
【2.81V】	3.0V～	【2.87V】	3.0V～
【3.79V】	4.0V～	【3.86V】	4.0V～
【4.28V】	4.5V～	【4.35V】	4.5V～

\* VDD動作 min. 値はオプションで選択したPOR解除レベル/LVDリセットレベルに対して、リセットがかからずに動作させることのできる下限値の目安を示します。

##### ①LVDリセット機能オプション

【許可】を選択するとLVDリセットレベルオプションで選択された電圧でリセットがかかります。

(注1)この時の動作電流は全てのモードにおいて数 $\mu$ A常時流れます。

【禁止】を選択するとLVDリセットはかかりません。

(注2)この時の動作電流は全てのモードにおいて流れません。

\*詳細は4-7-5項のリセット回路の動作波形例を参照ください。

##### ②LVDリセットレベルオプション

LVDリセット機能オプションで【許可】を選択した時のみLVDリセットレベルを7レベル選択できます。使用する動作条件に適した検知レベルを選択します。

##### ③POR解除レベルオプション

LVDリセット機能オプションで【禁止】を選択した時のみPOR解除レベルを8レベル選択できます。内蔵リセット回路を使用しない場合のPOR解除レベルは、保証動作電圧 min. に影響しない最低レベル(1.67V)を選択してください。

(注3)この時の動作電流はPORがリセットを解除すると電流は流れません。

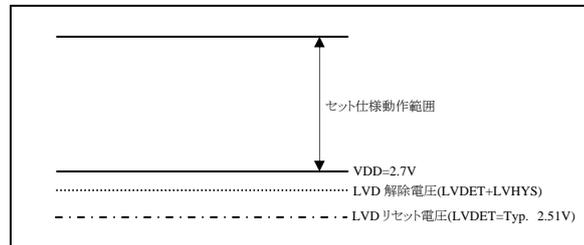
(注4)保証動作電圧 min. 以下のPOR解除レベルを選択(1.67V)する場合には、使用上の留意点がありますので4-7-6-②項を参照ください。

## 内蔵リセット

### ● 選択参考例 1

セット仕様によりVDD=2.7Vまでリセットをかけずに動作させたいので、それに最適なLVDリセットレベルを選択したい。

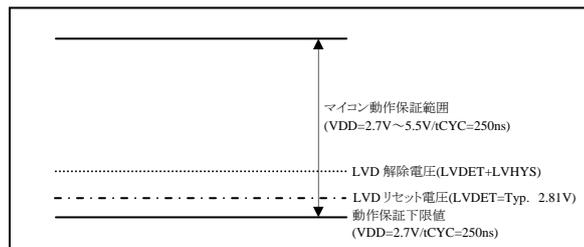
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルは【2.51V】を選択します。



### ● 選択参考例 2

VDD=2.7V/Tcyc=250nsまでの動作保証となっているので、その条件で最適なLVDリセットレベルを選択したい。

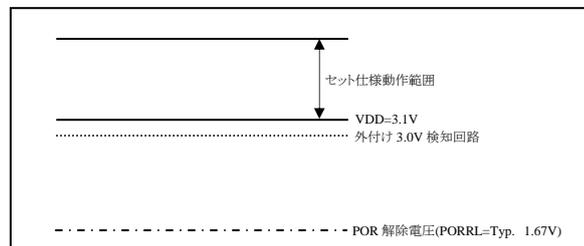
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルオプションは【2.81V】を選択します。



### ● 選択参考例 3

外付けに3.0V検知のリセットICを使用するので、内部リセット回路は使用したくない。(4-7-7-①項を合わせてご参照ください)

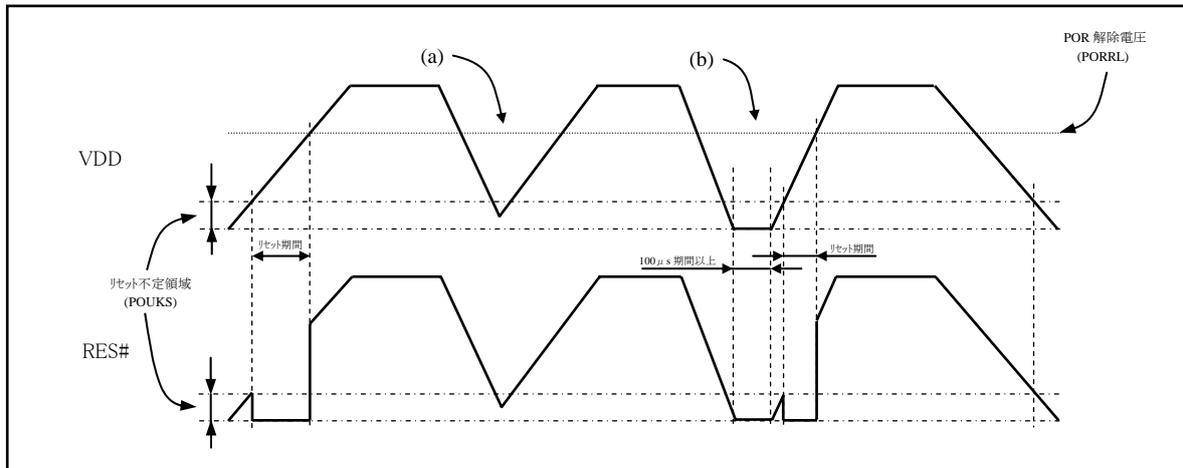
LVDリセット機能オプションは【禁止】を選択し、POR解除レベルオプションは【1.67V】を選択します。



(注5) 参考例に表記されている動作保証値(電圧/動作周波数)は使用する機種により異なりますので、必ず最新の半導体ニュースを参照し適切な設定レベルを選択してください。

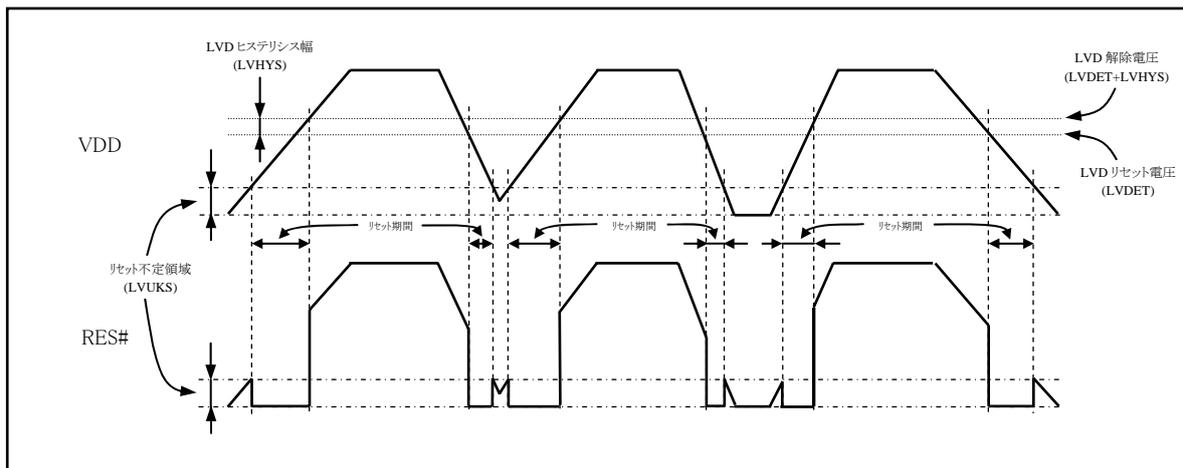
## 4-7-5 内蔵リセット回路の動作波形例

- ①PORのみ(LVD使用しない)の動作波形例  
(リセット端子:プルアップ抵抗RRESのみ)



- PORはトランジスタが駆動始めるまでの期間、不定領域(POUKS)が存在します。
- PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- (a)のように電源がVSSレベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
- (b)のように電源がVSSレベルまで十分下がり、その状態が100 $\mu$ s以上保持されてから電源が再投入された場合のみリセットがかかります。

- ②POR+LVDを併用した場合の動作波形例  
(リセット端子:プルアップ抵抗RRESのみ)



- POR+LVDの併用時も同様にトランジスタが駆動始めるまでの期間、不定領域(LVUKS)が存在します。
- 電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除/突入電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- LVDには検知レベル付近でリセット解除/突入を繰り返さないようヒステリシス幅(LVHYS)があります。

### 4-7-6 内蔵リセット回路使用上の留意点

①内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないください。必ず、使用条件に最適な容量CRESとプルアップ抵抗RRESまたはプルアップ抵抗RRESのみを外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

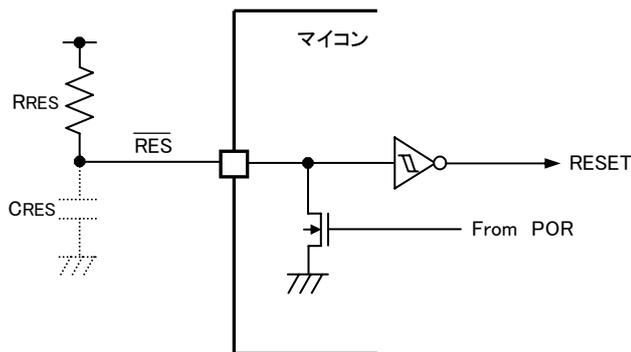


図 4-7-2 内蔵PORのみのリセット回路構成例

②内蔵PORのみでPOR解除レベル1.67V選択時

内蔵POR解除レベル1.67V選択時は、電源立ち上り時間に合わせリセット端子に容量CRESとプルアップ抵抗RRESを外付けし、解除電圧が保証動作電圧 min. 以上に達してからリセットが解除されるよう調整してください。または、保証動作電圧 min. 以上に達するまでの期間、リセット端子にLレベルを入力してください。

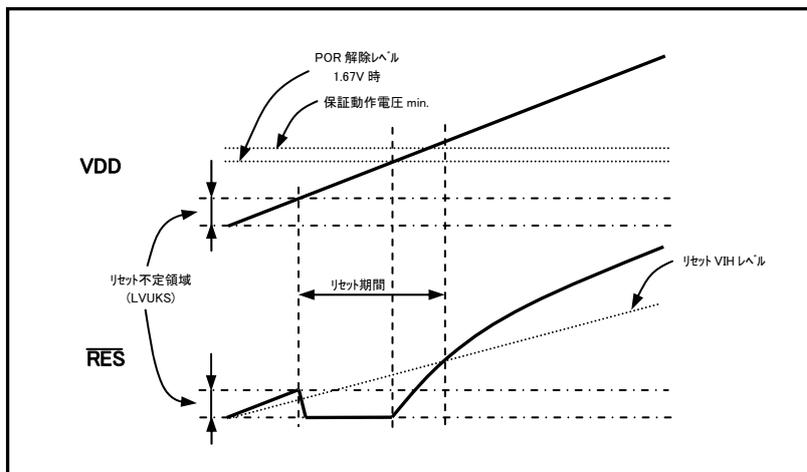


図 4-7-3 内蔵PORのみの解除レベル波形例

- ③数百  $\mu\text{s}$ より短い(速い)電源瞬停・電源変動が想定される時  
 内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知してからリセット信号を発生させるまでの応答時間があり、図4-7-4のような低電圧最小検知幅 TLVDWが規定されています。(半導体ニュースを参照)このため、電源が最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、図4-7-5のような対策例やその他の対策を必ず行ってください。

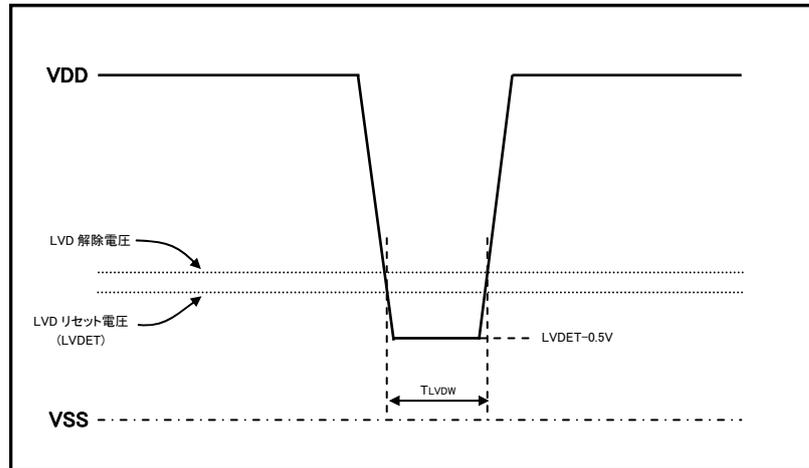


図4-7-4 電源瞬停・電源変動波形例

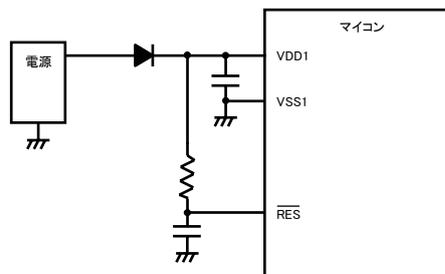


図4-7-5 電源瞬停・電源変動対策例

### 4-7-7 内蔵リセット回路未使用上の留意点

①内蔵リセット回路を使用せず外付けにリセットICを構成する時

内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量CRES放電用NchトランジスタがONします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧min.以上のタイプを使用し、マイコン内蔵のPOR解除レベルは保証動作電圧min.に影響しない最低レベル(1.67V)を選択してください。下図にリセットICのNchオープンドレイン・タイプとCMOS・タイプ使用時のリセット回路構成例を示します。

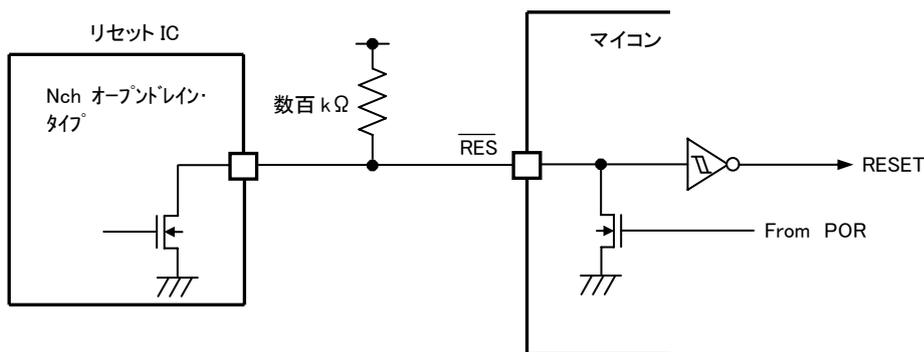


図 4-7-6 Nchオープンドレイン・タイプ使用時のリセット回路構成例

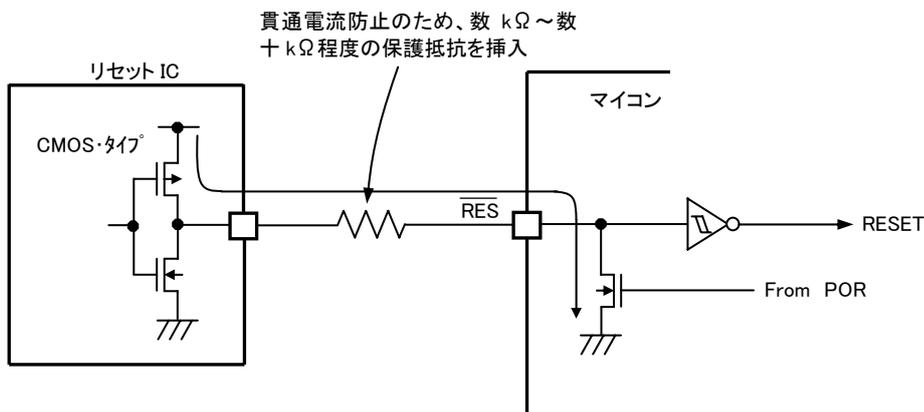


図 4-7-7 CMOS・タイプ使用時のリセット回路構成例

## ②内蔵リセット回路を使用せず外付けにPOR回路を構成する時

4-7-7-①項と同様に内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作します。しかし、内蔵PORより長いリセット期間を設けたいために外部にもPOR回路を構成し、容量CRESを $0.1\mu\text{F}$ 以上にする場合には、必ず図4-7-8のようにダイオードDRESも外付けしてください。

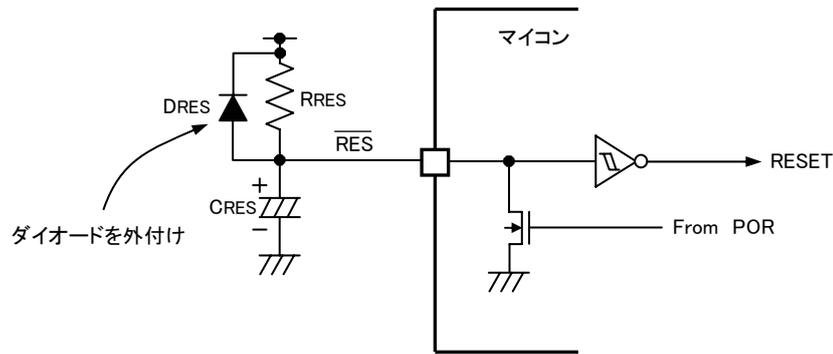


図4-7-8 外部PORのリセット回路構成例

## 内蔵リセット

# *APPENDIX*

# APPENDIX・目次

## APPENDIX－ I

- ・スペシャルファンクションレジスタ (SFR) マップ

## APPENDIX－ II

- ・ポート0ブロック図
- ・ポート1ブロック図
- ・ポート2ブロック図
- ・ポート3ブロック図
- ・ポート7ブロック図
- ・ポート8ブロック図
- ・ポートAブロック図
- ・ポートBブロック図
- ・ポートCブロック図
- ・ポートEブロック図

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0~7FF	XXXX XXXX	R/W	RAM2048	9ビット構成									
FE00	0000 0000	R/W	AREG		-	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
FE01	0000 0000	R/W	BREG		-	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
FE02	0000 0000	R/W	CREG		-	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
FE03													
FE04													
FE05	1111 1111	R	IFLGR		-	IFLGR7	IFLGR6	IFLGR5	IFLGR4	IFLGR3	IFLGR2	IFLGR1	IFLGR0
FE06	0000 0000	R/W	PSW		-	CY	AC	PSWB5	PSWB4	LDCBNK	OV	R8	PARITY
FE07	HHHH H000	R/W	PCON		-	-	-	-	-	-	XTIDLE	PDN	IDLE
FE08	0000 HH00	R/W	IE		-	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP		-	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13
FE0A	0000 0000	R/W	SPL		-	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH		-	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP
FE0C	HHHH H000	R/W	CLKDV		-	-	-	-	-	-	CLKDV2	CLKDV1	CLKDVO
FE0D													
FE0E	0000 XX00	R/W	OCR	BIT2, 3 で XT1, XT2 を読む	-	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE0F	0H00 H000	R/W	WDT		-	WDTFLG	-	WDTB5	WDTHLT	-	WDTCLR	WDRST	WDRUN
FE10	0000 0000	R/W	TOCNT		-	TOHRUN	TOLRUN	TOLONG	TOLEXT	TOHCMP	TOHIE	TOLCMP	TOLIE
FE11	0000 0000	R/W	TOPRR	フリスケラは 8 ビット(max. 256Tcyc)	-	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL		-	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH		-	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR		-	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR		-	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL	タイマ0 キャパチャレジスタ L	-	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH	タイマ0 キャパチャレジスタ H	-	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0
FE18	0000 0000	R/W	T1CNT		-	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE19	0000 0000	R/W	T1PRR		-	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0
FE1A	0000 0000	R	T1L		-	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H		-	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR		-	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR		-	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1E													
FE1F													
FE20	0000 HHHH	R/W	PWMOL	PWM0 コンパリアル(付加)	-	PWMOL3	PWMOL2	PWMOL1	PWMOL0	-	-	-	-
FE21	0000 0000	R/W	PWM0H	PWM0 コンパリアル(基準)	-	PWM0H7	PWM0H6	PWM0H5	PWM0H4	PWM0H3	PWM0H2	PWM0H1	PWM0H0
FE22	0000 HHHH	R/W	PWM1L	PWM1 コンパリアル(付加)	-	PWM1L3	PWM1L2	PWM1L1	PWM1L0	-	-	-	-
FE23	0000 0000	R/W	PWM1H	PWM1 コンパリアル(基準)	-	PWM1H7	PWM1H6	PWM1H5	PWM1H4	PWM1H3	PWM1H2	PWM1H1	PWM1H0
FE24	0000 0000	R/W	PWMOC	PWM0, PWM1 制御	-	PWMOC7	PWMOC6	PWMOC5	PWMOC4	ENPWM1	ENPWM0	PWM0OV	PWM0IE
FE25													
FE26													
FE27													
FE28	HHHH 0000	R/W	PE	Port E データレジスタ	-	-	-	-	-	PE3	PE2	PE1	PE0
FE29	HHHH 0000	R/W	PEDDR	Port E DDR レジスタ	-	-	-	-	-	PE3DDR	PE2DDR	PE1DDR	PE0DDR
FE2A													
FE2B													
FE2C													
FE2D													
FE2E													
FE2F													
FE30	0000 0000	R/W	SCON0		-	S10BNK	S10WRT	S10RUN	S10CTR	S10DIR	S10OVR	S10END	S10IE
FE31	0000 0000	R/W	SBUF0		-	SBUF07	SBUF06	SBUF05	SBUF04	SBUF03	SBUF02	SBUF01	SBUF00
FE32	0000 0000	R/W	SBR0		-	SBRG07	SBRG06	SBRG05	SBRG04	SBRG03	SBRG02	SBRG01	SBRG00
FE33	0000 0000	R/W	SCTR0		-	SCTR07	SCTR06	SCTR05	SCTR04	SCTR03	SCTR02	SCTR01	SCTR00
FE34	0000 0000	R/W	SCON1		-	S11M1	S11M0	S11RUN	S11REC	S11DIR	S11OVR	S11END	S11IE
FE35	00000 0000	R/W	SBUF1	9bit REG	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1		-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10
FE37	0000 0000	R/W	SWCON0	S100 連続転送途中停止制御	-	SOWSTP	S10MC1	S10MC0	SOXBYT4	SOXBYT3	SOXBYT2	SOXBYT1	SOXBYT0
FE38													
FE39													
FE3A													
FE3B													
FE3C	0000 0000	R/W	T45CNT		-	T5C1	T5C0	T4C1	T4C0	T5OV	T5IE	T4OV	T4IE
FE3D													

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3E	0000 0000	R/W	T4R	6bitフリスケラ付き 8bitタイマ	-	T4R7	T4R6	T4R5	T4R4	T4R3	T4R2	T4R1	T4R0
FE3F	0000 0000	R/W	T5R	6bitフリスケラ付き 8bitタイマ	-	T5R7	T5R6	T5R5	T5R4	T5R3	T5R2	T5R1	T5R0
FE40	0000 0000	R/W	P0		-	P07	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	PODDR		-	P07DDR	P06DDR	P05DDR	P04DDR	P03DDR	P02DDR	P01DDR	P00DDR
FE42	0000 0000	R/W	POFCR		-	T70E	T60E	POFLG	P01E	CLKOEN	CKODV2	CKODV1	CKODV0
FE43	0000 0000	R/W	OCR2		-	OCR2B7	ECFOSC	CF21N	CF11N	CF2DR	CF2DT	XT2DR	XT2DT
FE44	0000 0000	R/W	P1		-	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR		-	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR		-	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	0HHH 0HO0	R/W	P1TST		-	FIX0	-	-	-	-	DSNK0T	-	FIX0
FE48	0000 0000	R/W	P2		-	P27	P26	P25	P24	P23	P22	P21	P20
FE49	0000 0000	R/W	P2DDR		-	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
FE4A	0000 0000	R/W	I45CR		-	INT5HEG	INT5LEG	INT51F	INT51E	INT4HEG	INT4LEG	INT41F	INT41E
FE4B	0000 0000	R/W	I45SL		-	I5SL3	I5SL2	I5SL1	I5SL0	I4SL3	I4SL2	I4SL1	I4SL0
FE4C	HHH0 0000	R/W	P3		-	-	-	-	P34	P33	P32	P31	P30
FE4D	HHH0 0000	R/W	P3DDR		-	-	-	-	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
FE4E													
FE4F													
FE50													
FE51													
FE52													
FE53													
FE54													
FE55													
FE56													
FE57													
FE58	0000 0000	R/W	ADCRC		-	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	ADIE
FE59	0000 0000	R/W	ADMRC		-	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTMO
FE5A	0000 0000	R/W	ADRLC		-	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADRL0
FE5B	0000 0000	R/W	ADRHC		-	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
FE5C	0000 0000	R/W	P7	4bit-10 (7-4:DDR 3:0:DATA)	-	P73DDR	P72DDR	P71DDR	P70DDR	P73DT	P72DT	P71DT	P70DT
FE5D	0000 0000	R/W	I01CR		-	INT1LH	INT1LV	INT11F	INT11E	INT0LH	INT0LV	INT01F	INT01E

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR		-	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	0000 0000	R/W	ISL		-	STOHCP	STOLCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN
FE60													
FE61													
FE62													
FE63	1111 1111	R/W	P8	Nch-0D 出力	-	P87	P86	P85	P84	P83	P82	P81	P80
FE64													
FE65	HH00 0000	R/W	BWMDT		-	-	-	BWTRE	BWTRF	BWTHLT	BWTB2	BWTOVF	BWTRUN
FE66													
FE67													
FE68	0000 0000	R/W	PA		-	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
FE69	0000 0000	R/W	PADDR		-	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
FE6A													
FE6B	0000 0000	R/W	PAFCR		-	PA7FCR	PA6FCR	PA5FCR	PA4FCR	PA3FCR	PA2FCR	PA1FCR	PA0FCR
FE6C	0000 0000	R/W	PB		-	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
FE6D	0000 0000	R/W	PBDDR		-	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
FE6E													
FE6F													
FE70	0000 0000	R/W	PC		-	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
FE71	0000 0000	R/W	PCDDR		-	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
FE72	0000 HHHH	R/W	PWM4L	PWM4 コンペア L (付加)	-	PWM4L3	PWM4L2	PWM4L1	PWM4L0	-	-	-	-
FE73	0000 0000	R/W	PWM4H	PWM4 コンペア H (基準)	-	PWM4H7	PWM4H6	PWM4H5	PWM4H4	PWM4H3	PWM4H2	PWM4H1	PWM4H0
FE74	0000 HHHH	R/W	PWM5L	PWM5 コンペア L (付加)	-	PWM5L3	PWM5L2	PWM5L1	PWM5L0	-	-	-	-
FE75	0000 0000	R/W	PWM5H	PWM5 コンペア H (基準)	-	PWM5H7	PWM5H6	PWM5H5	PWM5H4	PWM5H3	PWM5H2	PWM5H1	PWM5H0
FE76	0000 0000	R/W	PWM4C	PWM4, PWM5 制御	-	PWM4C7	PWM4C6	PWM4C5	PWM4C4	ENPWM5	ENPWM4	PWM4OV	PWM4IE
FE77													
FE78	0000 0000	R/W	T67CNT		-	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE
FE79													
FE7A	0000 0000	R/W	T6R		-	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0
FE7B	0000 0000	R/W	T7R		-	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0
FE7C	0000 0000	R/W	OCR3		-	FIX0	FIX0	FIX0	FIX0	XTLAMP	FIX0	FIX0	FIX0

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D	0000 0000	R/W	NKREG		-	NKEN	NKCMP2	NKCMP1	NKCMP0	NKCOV	NKCAP2	NKCAP1	NKCAPO
FE7E	0000 0000	R/W	FSRO	FLASH 制御 (bit4 は R/O)	-	FSROB7 Fix to 0	FSROB6 Fix to 0	FSAERR	FSWOK	INTHIGH	FSLDAT	FSPGL	FSWREQ
FE7F	0000 0000	R/W	BTCR	バックスタイア制御	-	BTFST	BT0N	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE80													
FE81													
FE82													
FE83													
FE84													
FE85													
FE86													
FE87													
FE88													
FE89													
FE8A													
FE8B													
FE8C													
FE8D													
FE8E													
FE8F													
FE90													
FE91													
FE92													
FE93													
FE94													
FE95													
FE96													
FE97													
FE98													
FE99													
FE9A													
FE9B													

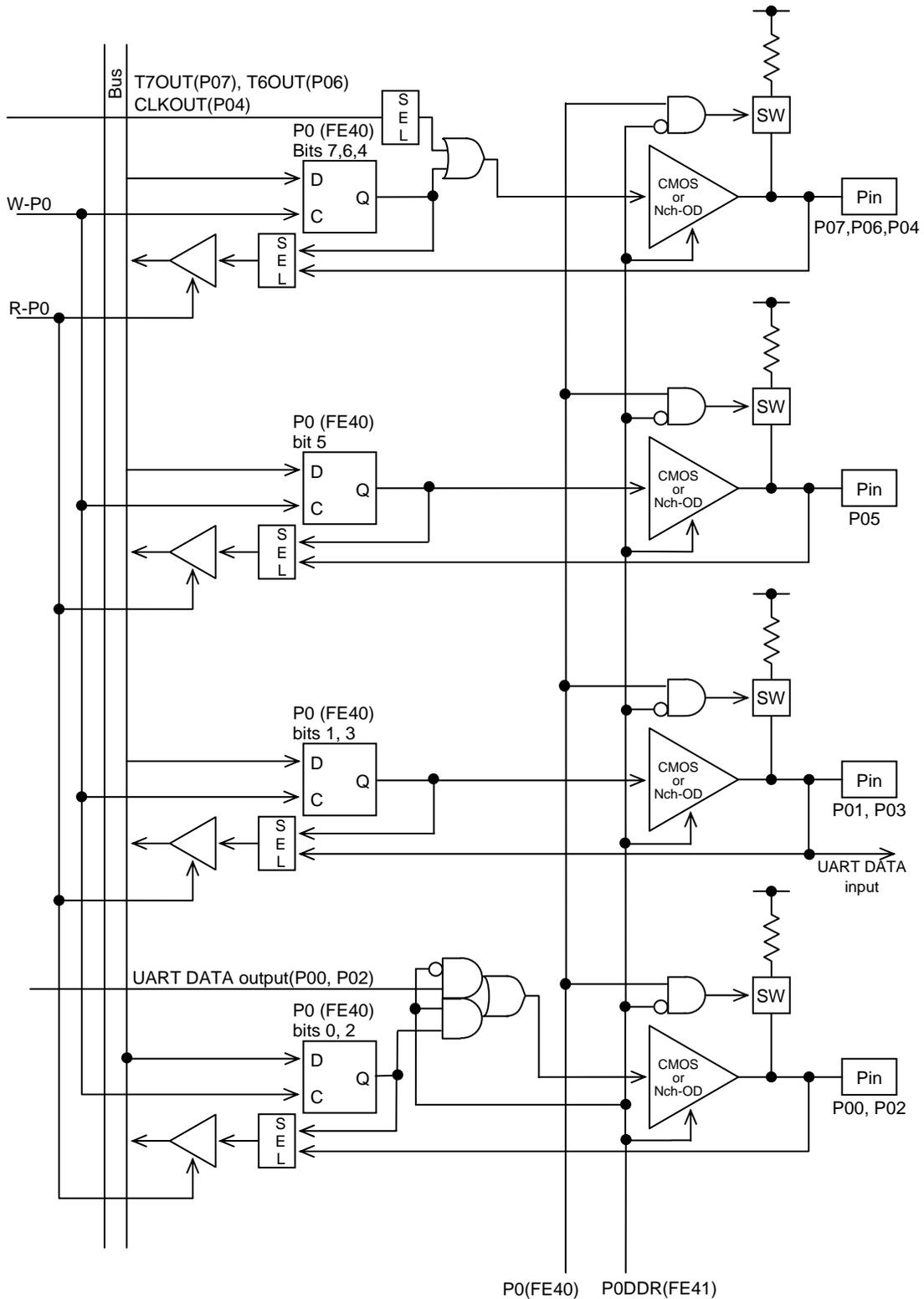
アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9C													
FE9D													
FE9E													
FE9F													
FEA0													
FEA1													
FEA2													
FEA3													
FEA4													
FEA5													
FEA6													
FEA7													
FEA8													
FEA9													
FEAA													
FEAB													
FEAC													
FEAD													
FEAE													
FEAF													
FEB0													
FEB1													
FEB2													
FEB3													
FEB4	0000 0000	R/W	VMRCR		-	VMRCSEL	VMRCST	VMRAJ2	VMRAJ1	VMRAJ0	VMFAJ2	VMFAJ1	VMFAJ0
FEB5	0000 0000	R/W	VMCTRL		-	VMCTRO7	VMCTRO6	VMCTRO5	VMCTRO4	VMCTRO3	VMCTRO2	VMCTRO1	VMCTRO0
FEB6	0000 0000	R/W	VMCTRM		-	VMCTR15	VMCTR14	VMCTR13	VMCTR12	VMCTR11	VMCTR10	VMCTR09	VMCTR08
FEB7	0000 0000	R/W	VMCTRH	ビット 6, 3-0 は R/O	-	VMAJST	VMAJEND	VMSL4M	FIX0	VMCTROV	VMCTR18	VMCTR17	VMCTR16
FEB8													
FEB9													
FEBA	0000 0000	R/W	RTCCNT		-	RTCRUN	RTCRRD	RTCIF	RTCIE	RTCIS1	RTCIS0	FIX0	FIX0
FEBB	HH00 0000	R/W	SECR		-	-	-	SECR5	SECR4	SECR3	SECR2	SECR1	SECR0

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FECB	HH00 0000	R/W	MINR		-	-	-	MINR5	MINR4	MINR3	MINR2	MINR1	MINR0
FEBD	HHH0 0000	R/W	HOURR		-	-	-	-	HOURR4	HOURR3	HOURR2	HOURR1	HOURR0
FEBE	0000 0000	R/W	DAYLR		-	DAYLR7	DAYLR6	DAYLR5	DAYLR4	DAYLR3	DAYLR2	DAYLR1	DAYLR0
FEBF	0000 0000	R/W	DAYHR		-	DAYHR7	DAYHR6	DAYHR5	DAYHR4	DAYHR3	DAYHR2	DAYHR1	DAYHR0
FEC0	HHH0 0001	R/W	DAYR		-	-	-	-	DAYR4	DAYR3	DAYR2	DAYR1	DAYR0
FEC1	HHHH 0001	R/W	MONR		-	-	-	-	-	MONR3	MONR2	MONR1	MONR0
FEC2	H000 0000	R/W	YEARR		-	-	YEARR6	YEARR5	YEARR4	YEARR3	YEARR2	YEARR1	YEARR0
FEC3	HHHH H000	R/W	CENR		-	-	-	-	-	-	CENR2	CENR1	CENR0
FEC4	0000 0000	R/W	RTCCLB		-	RTCFAST	RTCCLB6	RTCCLB5	RTCCLB4	RTCCLB3	RTCCLB2	RTCCLB1	RTCCLB0
FEC5													
FEC6													
FEC7													
FEC8													
FEC9													
FECA													
FECB													
FEC C													
FEC D													
FEC E													
FEC F													
FED0	0000 0000	R/W	UCONO		-	UBRSEL	STRDET	RECRUN	STPERR	UOB3	RBIT8	RECEND	RECIE
FED1	0000 0000	R/W	UCON1		-	TRUN	8/9BIT	TDDR	TCMOS	7/8BIT	TBIT8	TEPTY	TRNSIE
FED2	0000 0000	R/W	UBR		-	UBRG7	UBRG6	UBRG5	UBRG4	UBRG3	UBRG2	UBRG1	UBRG0
FED3	0000 0000	R/W	TBUF		-	TBUF7	TBUF6	TBUF5	TBUF4	TBUF3	TBUF2	TBUF1	TBUF0
FED4	0000 0000	R/W	RBUF		-	RBUF7	RBUF6	RBUF5	RBUF4	RBUF3	RBUF2	RBUF1	RBUF0
FED5													
FED6													
FED7													
FED8													
FED9													
FEDA													
FEDB													

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEDC													
FEDD	0000 0000	R/W	SRBUF		-	SRBUF7	SRBUF6	SRBUF5	SRBUF4	SRBUF3	SRBUF2	SRBUF1	SRBUF0
FEDE													
FEDF	0000 0000	R/W	SRCON0		-	FIX0	FIX0	SREXEC	SRDTEN	SR0DIR	SR0OVR	SROEND	SROIE
FEE0													
FEE1	HHH0 0000	R/W	SUBCNT		-	-	-	-	SL500K	SXTCNT1	SXTCNT0	SELSRC	STASRC
FEE2													
FEE3													
FEE4													
FEE5													
FEE6													
FEE7													
FEE8	0000 0000	R/W	UON2		-	UBRSEL2	STRDET2	RECRUN2	STPERR2	U2B3	RBIT82	RECEND2	RECIE2
FEE9	0000 0000	R/W	UON3		-	TRUN2	8/9BIT2	TDDR2	TCMOS2	7/8BIT2	TBIT82	TEPTY2	TRNSIE2
FEEA	0000 0000	R/W	UBR2		-	U2BRG7	U2BRG6	U2BRG5	U2BRG4	U2BRG3	U2BRG2	U2BRG1	U2BRG0
FEEB	0000 0000	R/W	TBUF2		-	T2BUF7	T2BUF6	T2BUF5	T2BUF4	T2BUF3	T2BUF2	T2BUF1	T2BUF0
FEEC	0000 0000	R/W	RBUF2		-	R2BUF7	R2BUF6	R2BUF5	R2BUF4	R2BUF3	R2BUF2	R2BUF1	R2BUF0
FEED													
FEDE													
FEF0													
FEF1													
FEF2													
FEF3													
FEF4													
FEF5													
FEF6													
FEF7													
FEF8													
FEF9													
FEFA													
FEFB													

アドレス	初期値	R/W	LC872C00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FEFC													
FEFD													
FEFE													
FEFF													



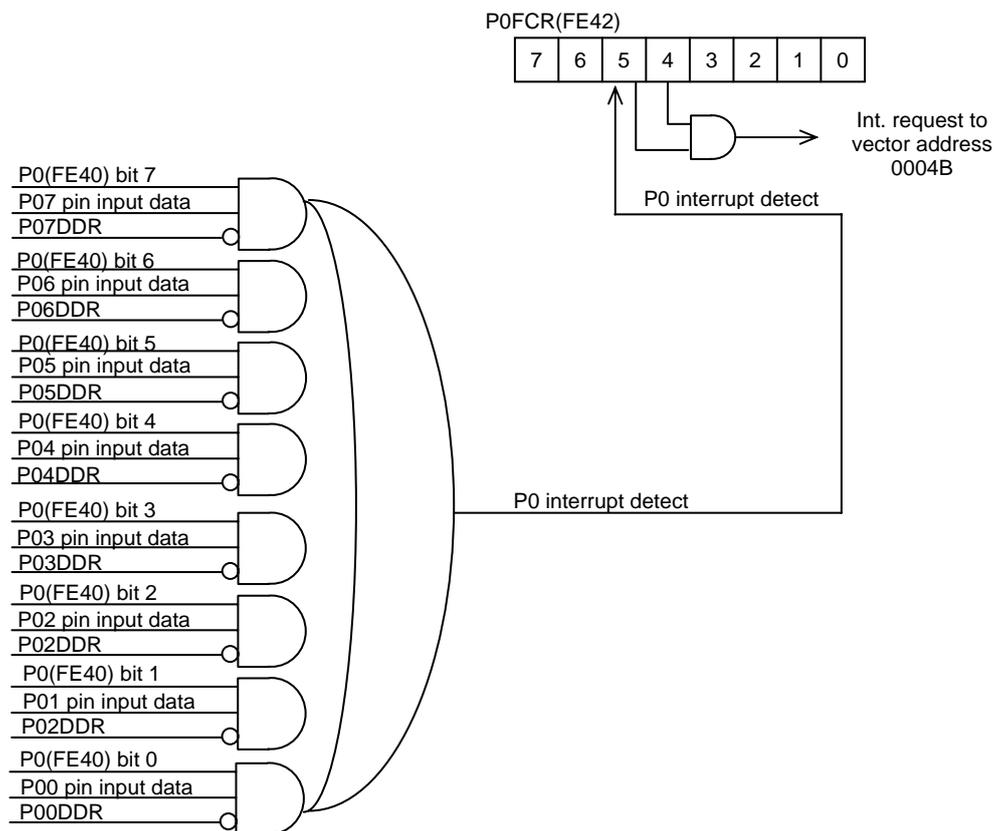


Port	兼用機能
P07	タイマ7トグル出力
P06	タイマ6トグル出力
P04	クロック出力(システム/サブクロック選択可)
P03	UART2 データ入力
P02	UART2 データ出力
P01	UART1 データ入力
P00	UART1 データ出力

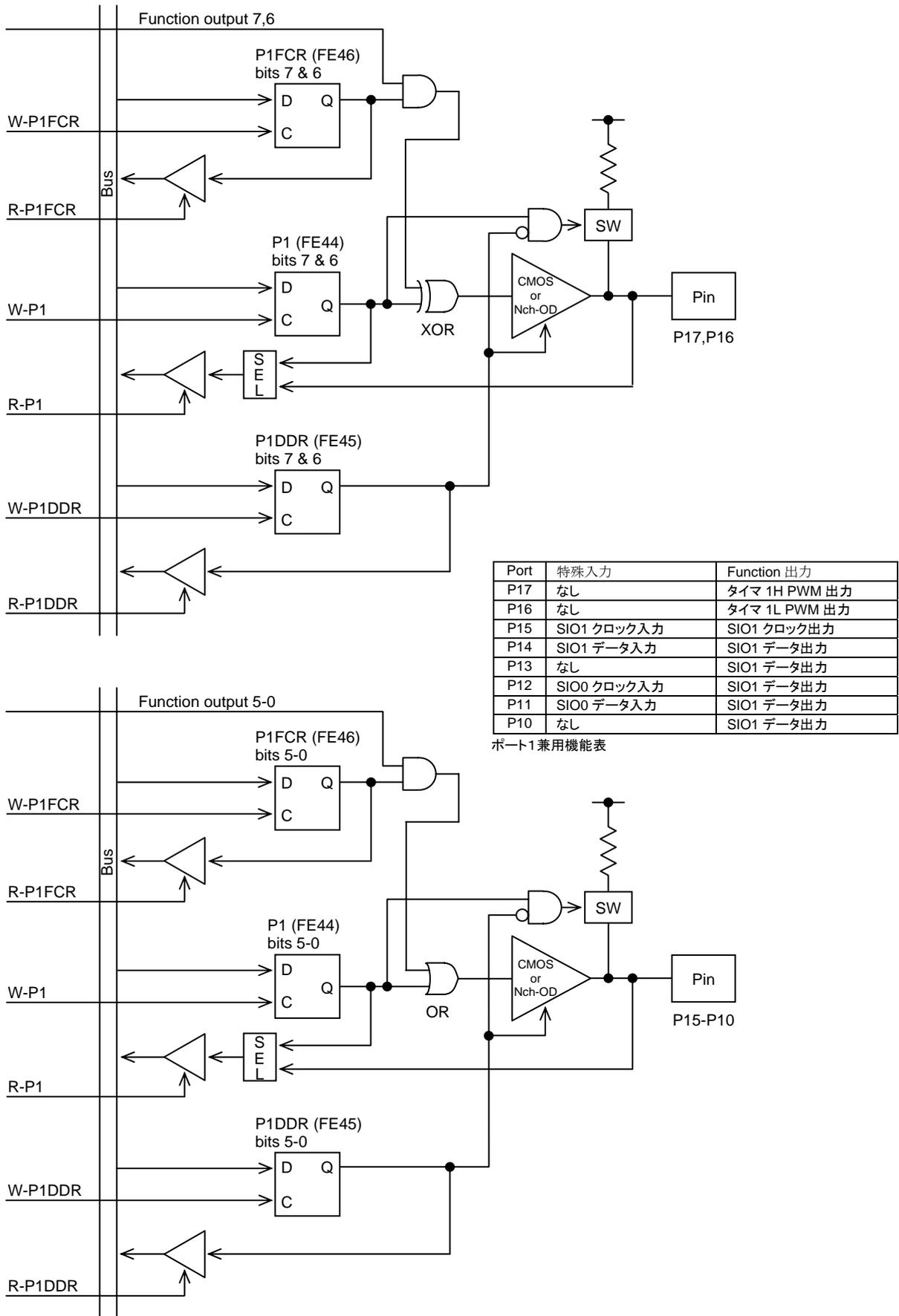
ポート0 ブロック図

オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能

# ポートブロック図



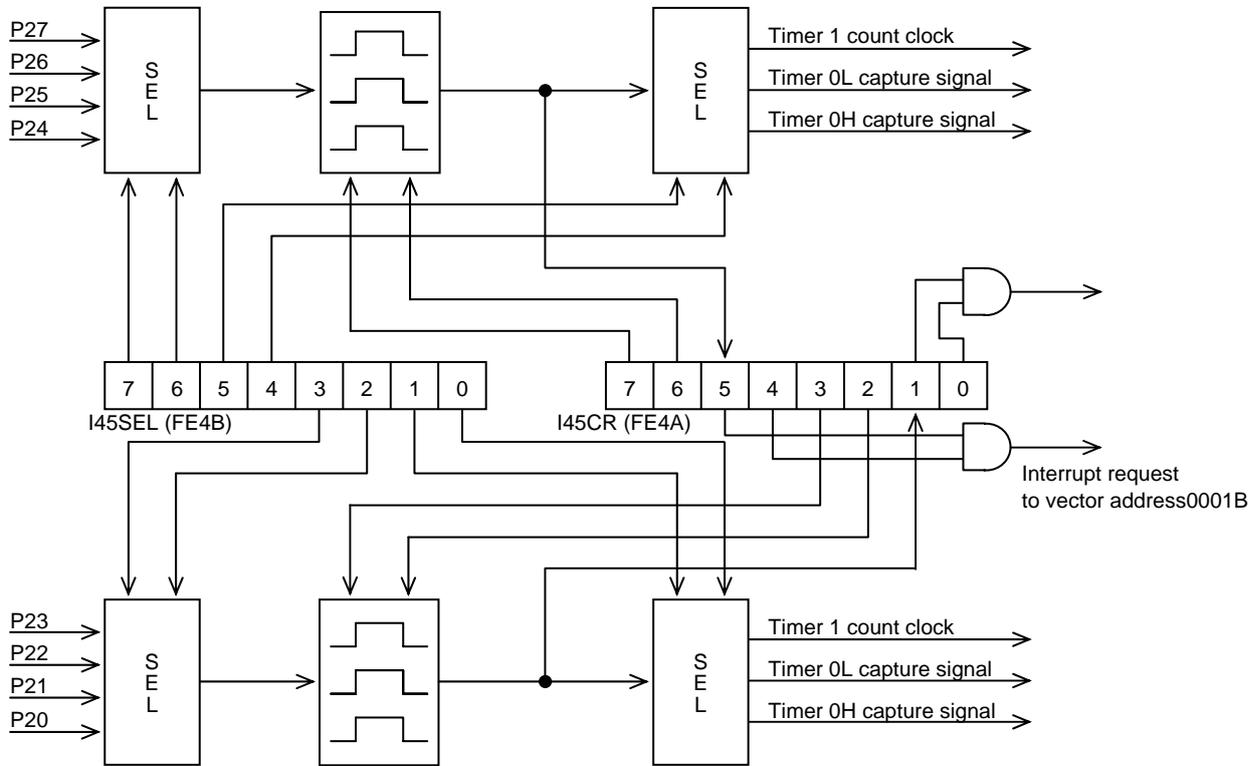
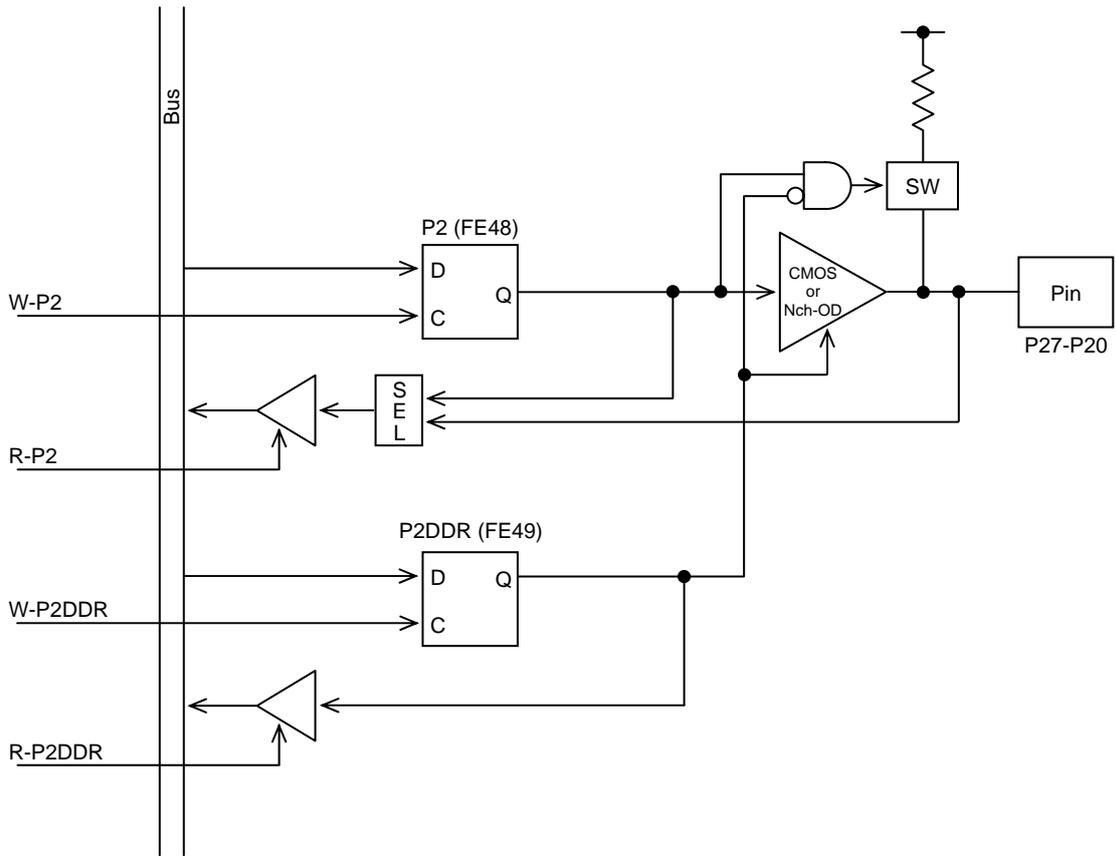
ポート0 (割り込み) ブロック図



ポート1 ブロック図

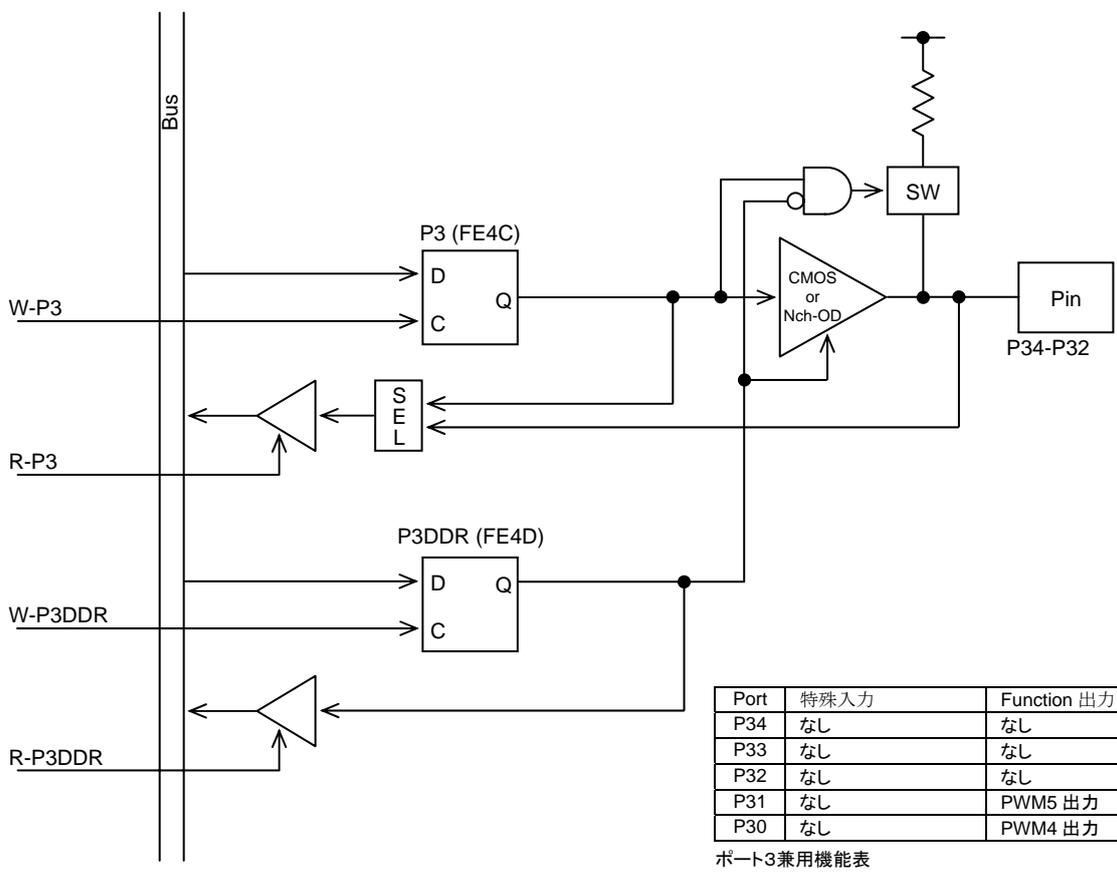
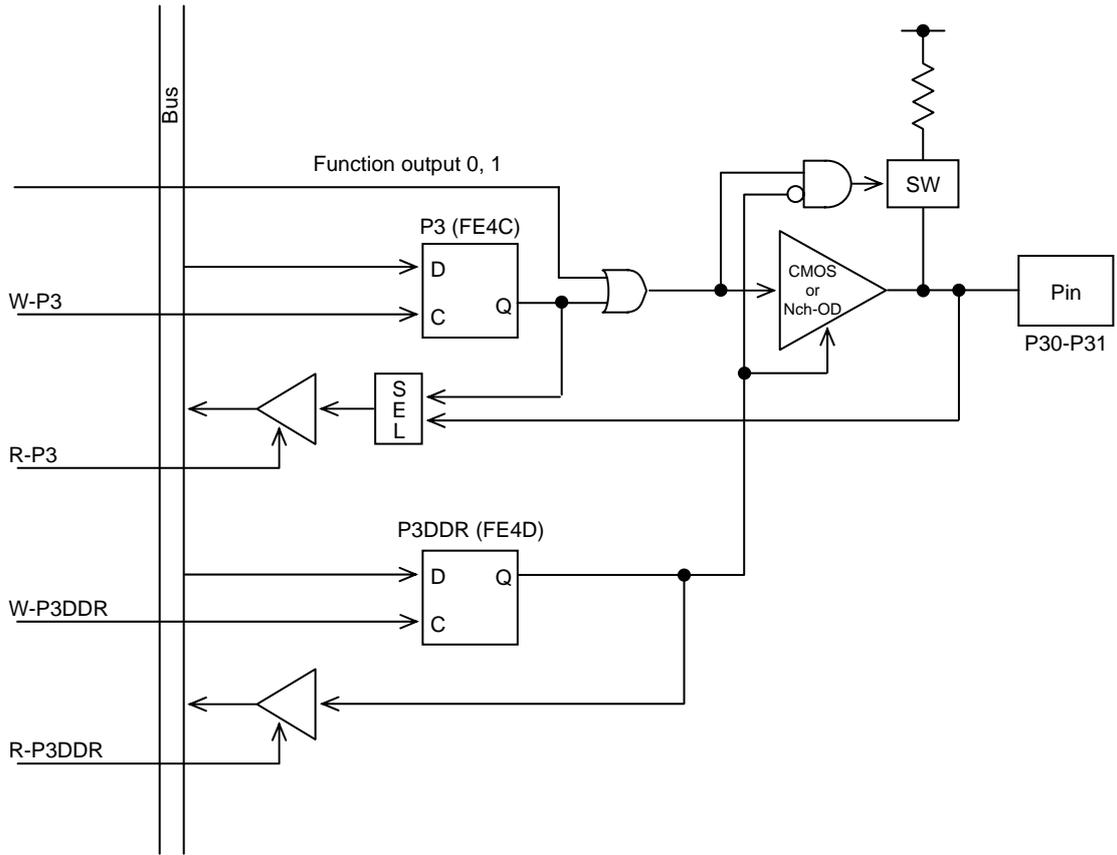
オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能

ポートブロック図



ポート2 ブロック図

オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能



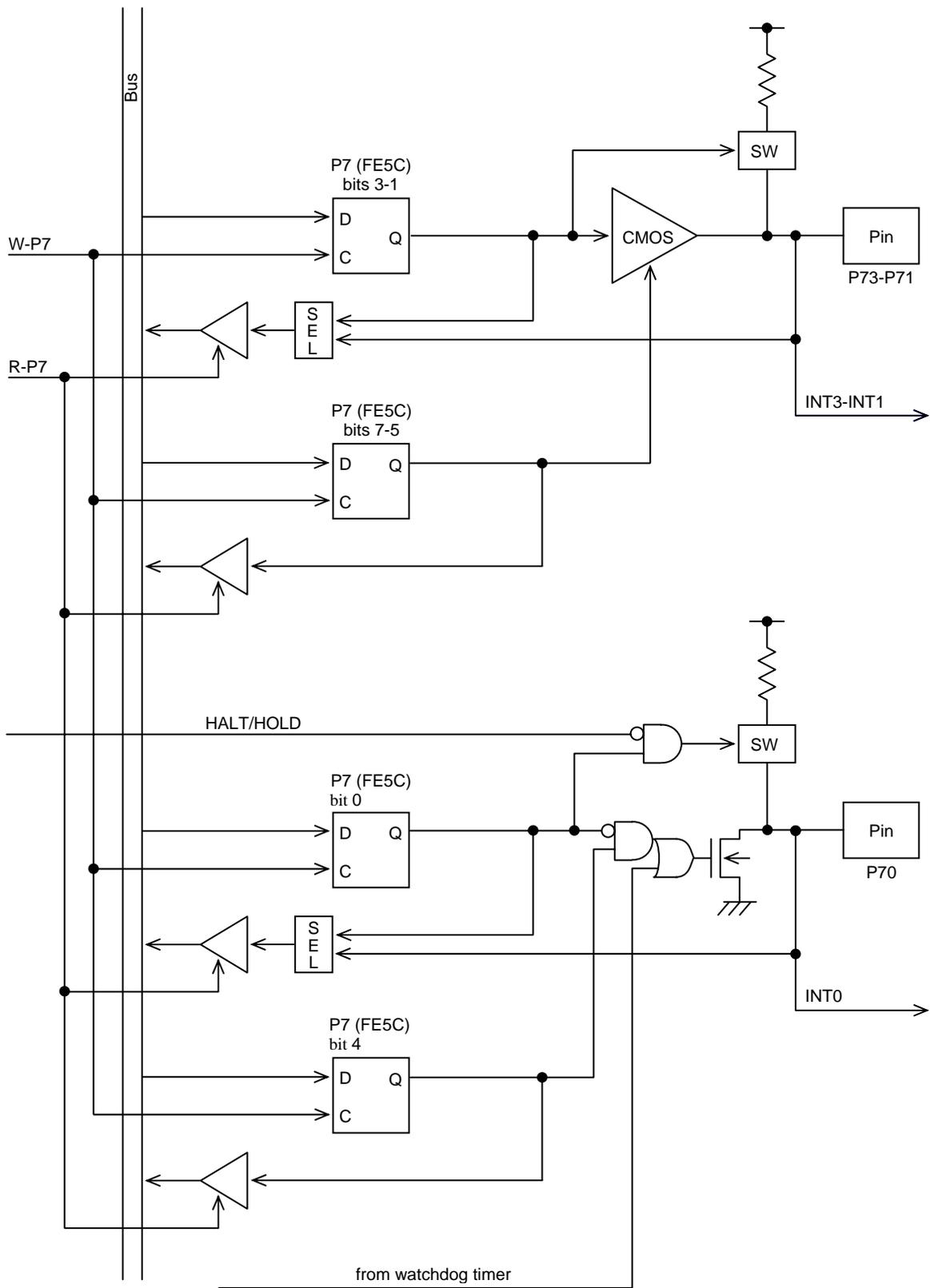
Port	特殊入力	Function 出力
P34	なし	なし
P33	なし	なし
P32	なし	なし
P31	なし	PWM5 出力
P30	なし	PWM4 出力

ポート3兼用機能表

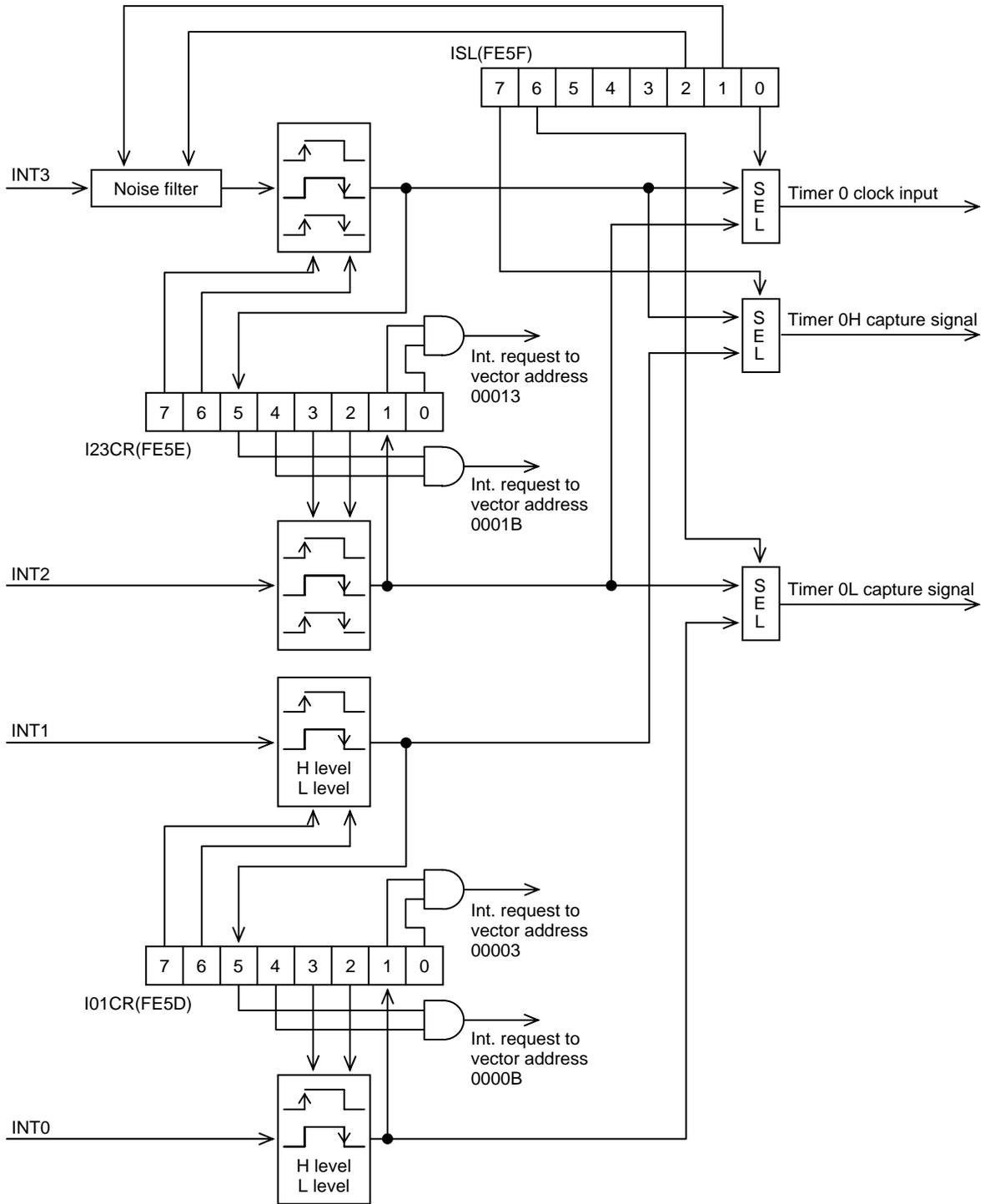
ポート3 ブロック図

オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能

ポートブロック図

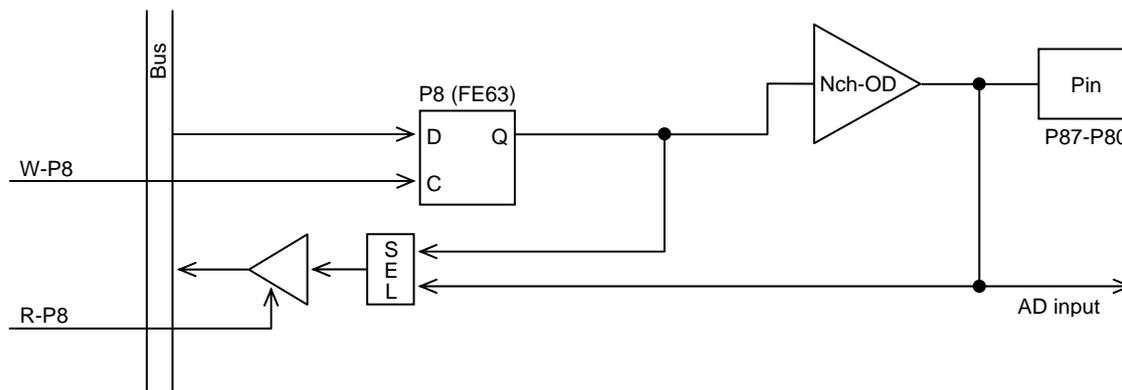


ポート7(端子) ブロック図  
オプション:なし

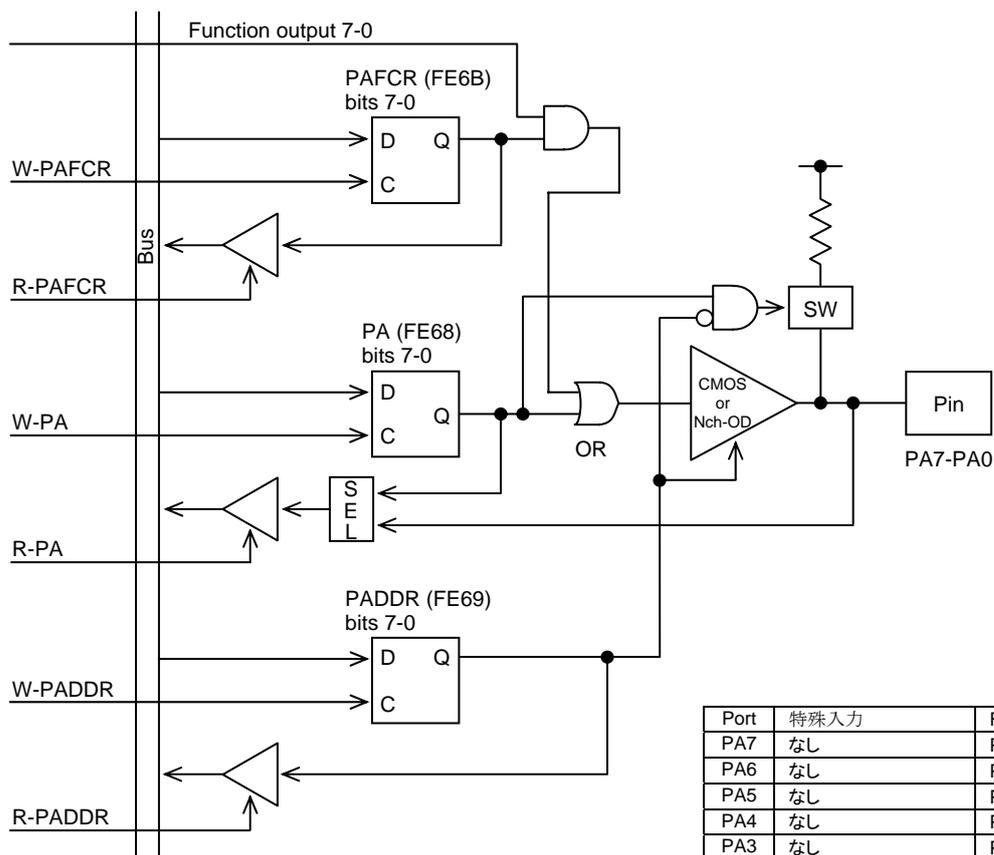


ポート7(割り込み) ブロック図

ポートブロック図



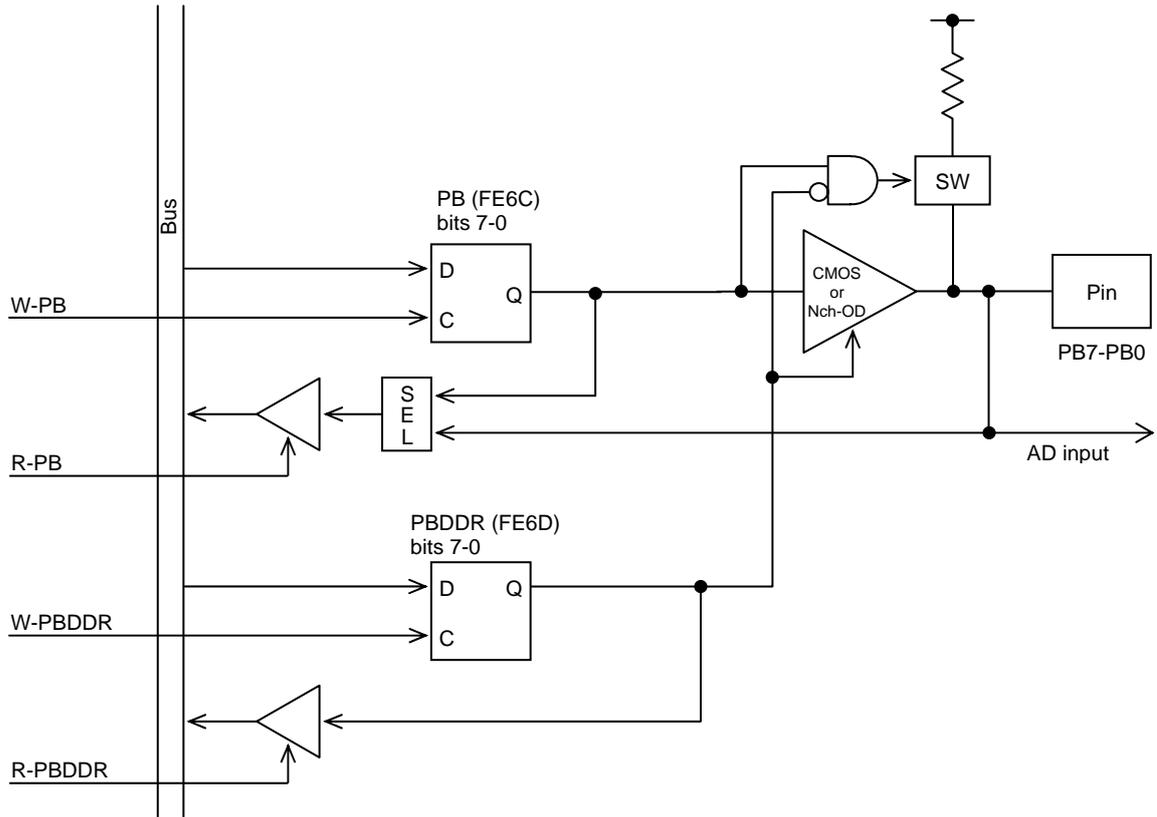
ポート8 (AD端子) ブロック図  
オプション: なし



Port	特殊入力	Function 出力
PA7	なし	PWM1 出力
PA6	なし	PWM1 出力
PA5	なし	PWM1 出力
PA4	なし	PWM1 出力
PA3	なし	PWM0 出力
PA2	なし	PWM0 出力
PA1	なし	PWM0 出力
PA0	なし	PWM0 出力

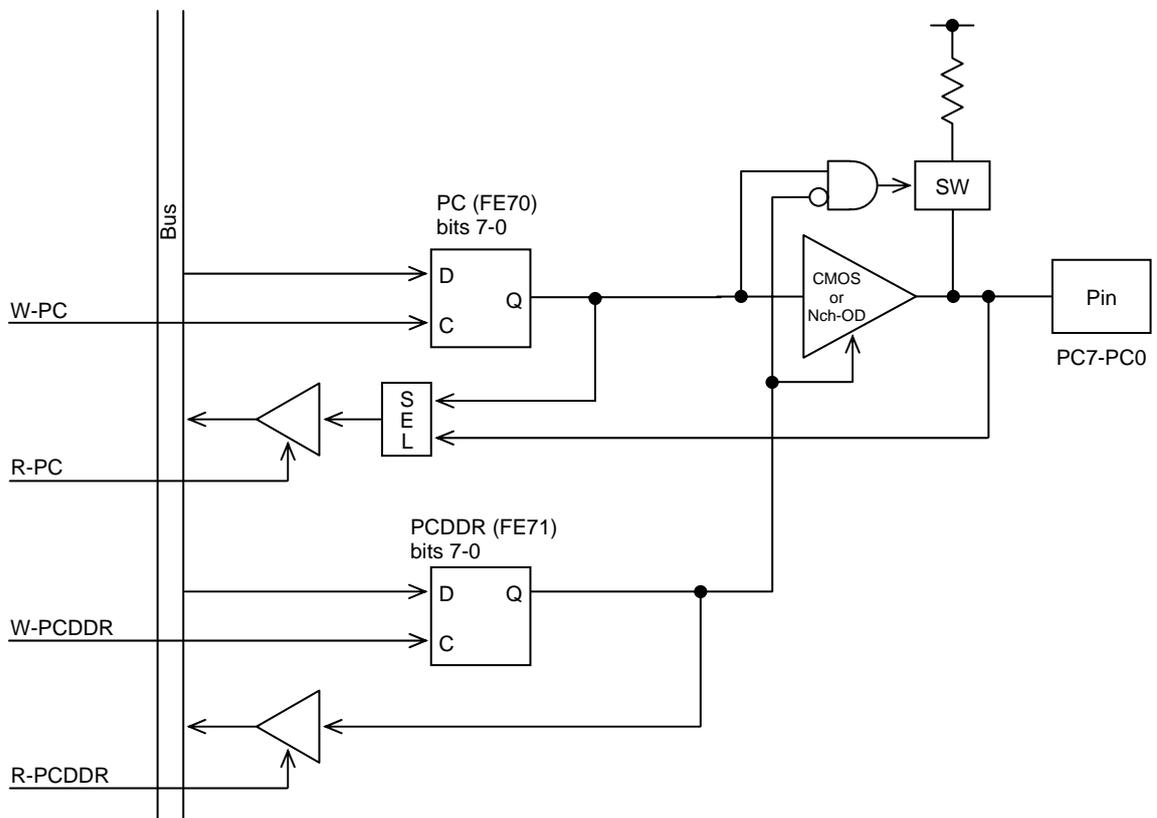
ポートA 兼用機能表

ポートA ブロック図  
オプション: 出力形式 (CMOSまたはNch-OD)をビット毎に選択可能



ポートB ブロック図

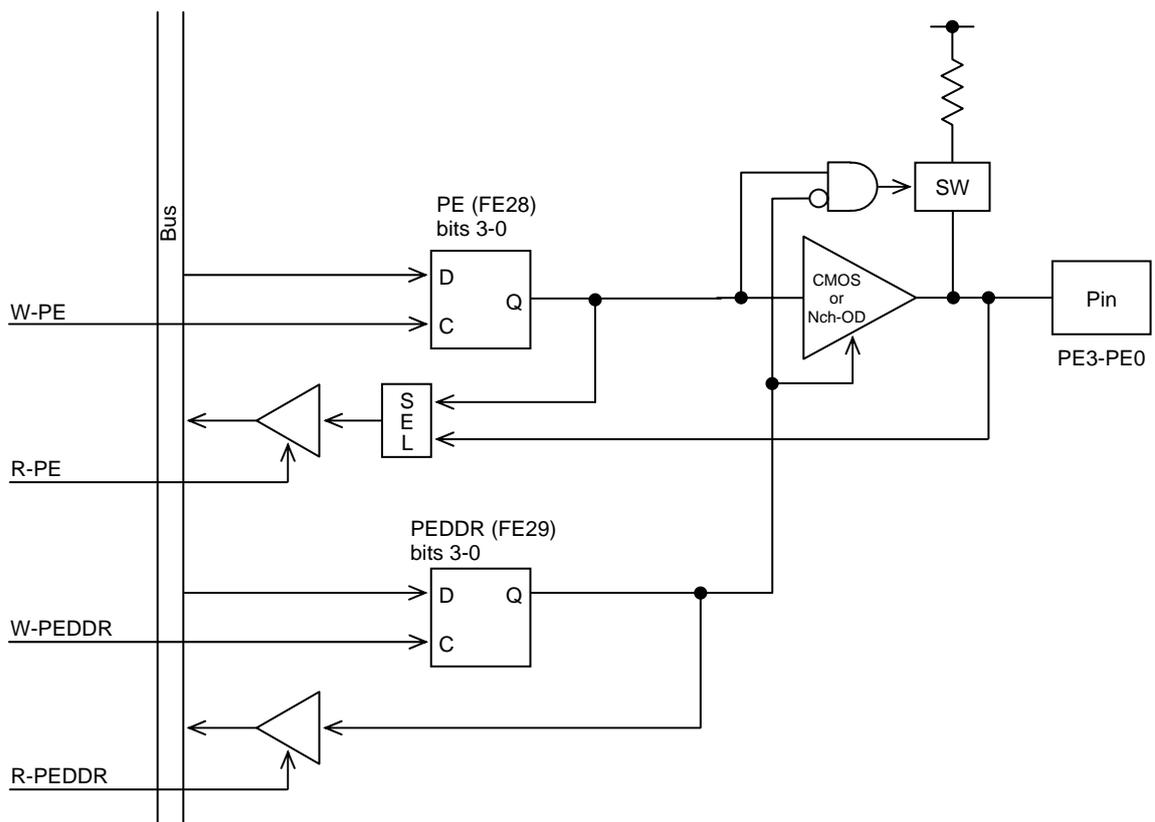
オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能



ポートC ブロック図

オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能

ポートブロック図



ポートE ブロック図

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能

## ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

---

LC872C00 シリーズ ユーザーズマニュアル

---

Rev : 1.00      2010.10.4 版

---

オン・セミコンダクター

Digital Solution 事業部

マイコン・フラッシュビジネスユニット

---