

CMOS 8-BIT MICROCONTROLLER

LC872R00 シリーズ ユーザーズマニュアル

REV : 1.00



ON Semiconductor®

<http://onsemi.jp>

オン・セミコンダクター
Digital Solution 事業部
マイコン・フラッシュビジネスユニット

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目 次

第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-5
1-4	システムブロック図	1-6
1-5	端子機能表	1-7
1-6	オンチップデバッグ端子処理	1-8
1-7	未使用端子の推奨処理	1-8
1-8	ポート出力形態	1-8
1-9	ユーザオプション一覧表	1-9

第2章 内部システム構成

2-1	メモリ空間	2-1
2-2	プログラムカウンタ (PC)	2-1
2-3	プログラムメモリ (ROM)	2-2
2-4	内部データメモリ (RAM)	2-2
2-5	アキュムレータ/Aレジスタ (ACC/A)	2-3
2-6	Bレジスタ (B)	2-3
2-7	Cレジスタ (C)	2-4
2-8	プログラムステータスワード (PSW)	2-4
2-9	スタックポインタ (SP)	2-5
2-10	間接アドレスレジスタ	2-5
2-11	アドレッシング・モード	2-6
2-11-1	イミディエイト・アドレッシング (#)	2-6
2-11-2	間接レジスタ・インダイレクト・アドレッシング ([Rn])	2-7
2-11-3	間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])	2-7
2-11-4	間接レジスタ (R0) +オフセット値・インダイレクト・アドレッシング ([off])	2-8
2-11-5	ダイレクト・アドレッシング (dst)	2-8
2-11-6	ROMテーブル参照・アドレッシング	2-9
2-11-7	外部データ・メモリ・アドレッシング	2-9

第3章 周辺システム構成

3-1	ポート0	3-1
3-1-1	概要	3-1
3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	オプション	3-4
3-1-5	HALT, HOLD時の動作	3-4

目 次

3-2	ポート 1	3-5
3-2-1	概要	3-5
3-2-2	機能	3-5
3-2-3	関連レジスタ	3-6
3-2-4	オプション	3-10
3-2-5	HALT, HOLD時の動作	3-10
3-3	ポート 2	3-11
3-3-1	概要	3-11
3-3-2	機能	3-11
3-3-3	関連レジスタ	3-12
3-3-4	オプション	3-13
3-3-5	HALT, HOLD時の動作	3-13
3-4	ポート 7	3-14
3-4-1	概要	3-14
3-4-2	機能	3-14
3-4-3	関連レジスタ	3-15
3-4-4	オプション	3-18
3-4-5	HALT, HOLD時の動作	3-18
3-5	タイマ/カウンタ 0 (T 0)	3-19
3-5-1	概要	3-19
3-5-2	機能	3-19
3-5-3	回路構成	3-20
3-5-4	関連レジスタ	3-25
3-6	タイマ 6, 7 (T 6, T 7)	3-28
3-6-1	概要	3-28
3-6-2	機能	3-28
3-6-3	回路構成	3-28
3-6-4	関連レジスタ	3-31
3-7	シリアルインタフェース 1 (S I O 1)	3-33
3-7-1	概要	3-33
3-7-2	機能	3-33
3-7-3	回路構成	3-34
3-7-4	S I O 1 通信の具体例	3-38
3-7-5	関連レジスタ	3-42
3-8	ADコンバータ (ADC 1 2)	3-44
3-8-1	概要	3-44
3-8-2	機能	3-44
3-8-3	回路構成	3-45
3-8-4	関連レジスタ	3-45
3-8-5	ADC動作の具体例	3-49

目 次

3-8-6	ADC使用上の留意点	3-50
第4章 制御機能		
4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	回路構成	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-5
4-2-1	概要	4-5
4-2-2	機能	4-5
4-2-3	回路構成	4-6
4-2-4	関連レジスタ	4-8
4-2-5	CF発振アンプサイズ切り替えの具体例	4-12
4-3	スタンバイ機能	4-13
4-3-1	概要	4-13
4-3-2	機能	4-13
4-3-3	関連レジスタ	4-14
4-4	リセット機能	4-18
4-4-1	概要	4-18
4-4-2	機能	4-18
4-4-3	リセット時の状態	4-19
4-5	ウォッチドッグタイマ機能	4-20
4-5-1	概要	4-20
4-5-2	機能	4-20
4-5-3	回路構成	4-20
4-5-4	関連レジスタ	4-21
4-5-5	ウォッチドッグタイマの使い方	4-23
4-6	内蔵リセット機能	4-26
4-6-1	概要	4-26
4-6-2	機能	4-26
4-6-3	回路構成	4-26
4-6-4	オプション	4-27
4-6-5	内蔵リセット回路の動作波形例	4-29
4-6-6	内蔵リセット回路使用上の留意点	4-30
4-6-7	内蔵リセット回路未使用上の留意点	4-32

APPENDIX

A-I	スペシャルファンクションレジスタ（SFR）マップ	A I-(1-7)
A-II	ポートブロック図	A II-(1-6)

1 概説

1-1 概要

LC872R00シリーズは、最小バスサイクルタイム83.3nsで動作するCPU部を中心にして、4KバイトのフラッシュROM(オンボード書き換え可能)または、マスクROM、128バイトRAM、高性能16ビットタイマ／カウンタ×1(8ビットタイマに分割可)、プリスケアラ付き8ビットタイマ×2、非同期／同期式SIO×1、12／8ビット分解の切り替え付き12ビット8チャンネルADコンバータ、システムクロック分周機能、内蔵リセット回路、12要因8ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

1-2 特徴

■ROM

・フラッシュROM版

LC87F2R04A : 4096×8ビット

- ・電源電圧2.2～5.5Vの幅広いオンボード書き込みが可能
- ・128バイト単位でのブロック消去可能
- ・2バイト単位での書き込み可能

・マスクROM版

LC872R04A : 4096×8ビット

■RAM

- ・128×9ビット

■最小バスサイクルタイム

- ・83.3ns(12MHz, VDD=2.7～5.5V)
- ・100ns(10MHz, VDD=2.2～5.5V)

(注)バスサイクルタイムはROMの読み出し速度を表します。

■最小命令サイクルタイム(Tcyc)

- ・250ns(12MHz, VDD=2.7～5.5V)
- ・300ns(10MHz, VDD=2.2～5.5V)

■ポート

・ノーマル耐圧入出力ポート

1ビット単位で入出力指定可能 11(P1n, P20, P21, P70)

4ビット単位で入出力指定可能 8(P0n)

・発振／入力専用ポート 2(CF1／XT1, CF2／XT2)

・リセット端子 1(RES)

・電源端子 2(VSS1, VDD1)

■ タイマ

- ・タイマ0: キャプチャレジスタ付きの16ビットのタイマ／カウンタ
 - モード0: 8ビットプログラマブルプリスケアラ付 8ビットタイマ (8ビットキャプチャレジスタ付) × 2チャンネル
 - モード1: 8ビットプログラマブルプリスケアラ付 8ビットタイマ (8ビットキャプチャレジスタ付) + 8ビットカウンタ (8ビットキャプチャレジスタ付)
 - モード2: 8ビットプログラマブルプリスケアラ付 16ビットタイマ (16ビットキャプチャレジスタ付)
 - モード3: 16ビットカウンタ (16ビットキャプチャレジスタ付)
- ・タイマ6: 6ビットプリスケアラ付 8ビットタイマ (トグル出力付)
- ・タイマ7: 6ビットプリスケアラ付 8ビットタイマ (トグル出力付)

■ SIO

- ・SIO1: 8ビット非同期／同期式シリアルインタフェース
 - モード0: 同期式 8ビットシリアルIO
(2線式または3線式, 転送クロック2～512Tcyc)
 - モード1: 非同期シリアルIO
(半二重, データ8ビット, ストップビット1, ボーレート8～2048Tcyc)
 - モード2: バスモード1 (スタートビット, データ8ビット, 転送クロック2～512Tcyc)
 - モード3: バスモード2 (スタート検出, データ8ビット, ストップ検出)

■ ADコンバータ: 12ビット×8チャンネル

- ・12／8ビットADコンバータ分解能切り替え

■ リモコン受信回路 (P15／SCK1／INT3／T0IN端子と共用)

- ・ノイズ除去機能 (ノイズ除去フィルタの時定数選択: 1Tcyc／32Tcyc／128Tcyc)

■ ウォッチドッグタイマ

- ・RC外付けによるウォッチドッグタイマ
- ・割り込み, リセットの選択可能

■ 割り込み

- ・12要因8ベクタ
 - ① 割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
 - ② 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2／T0L／INT4
4	0001BH	HまたはL	INT3
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	なし
7	00033H	HまたはL	なし
8	0003BH	HまたはL	SIO1
9	00043H	HまたはL	ADC／T6／T7
10	0004BH	HまたはL	ポート0

- ・優先レベル X>H>L
- ・同一レベルではベクタアドレスの小さいものが優先

■サブルーチンスタックレベル:最大64レベル(スタックはRAMの中に設定)

■高速乗除算命令

- ・16ビット×8ビット (実行時間:5T_{cyc})
- ・24ビット×16ビット (実行時間:12T_{cyc})
- ・16ビット÷8ビット (実行時間:8T_{cyc})
- ・24ビット÷16ビット (実行時間:12T_{cyc})

■発振回路

・内蔵発振回路

- ①中速RC発振回路 :システムクロック用(1MHz)
- ②周波数可変RC発振回路 :システムクロック用(8MHz)

・外部発振回路

- ①高速CF発振回路 :システムクロック用,Rf内蔵
システムリセット状態でのCF発振回路は動作を停止し、リセット解除後CF発振回路の動作を開始します。

■システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで300ns,600ns,1.2μs,2.4μs,4.8μs,9.6μs,19.2μs,38.4μs,76.8μsの選択が可能(メインクロック10MHz使用時)

■内蔵リセット回路

・パワーオンリセット(POR)機能

- ①PORは電源投入時のみリセットがかかります。
- ②PORの解除レベルを8レベル(1.67V,1.97V,2.07V,2.37V,2.57V,2.87V,3.86V,4.35V)オプションにて切り替え可能。

・低電圧検知リセット(LVD)機能

- ①LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかります。
- ②LVD機能を使用する／使用しないと低電圧検知レベルを7レベル(1.91V,2.01V,2.31V,2.51V,2.81V,3.79V,4.28V)オプションにて切り替え可能。

■スタンバイ機能

・HALTモード:命令実行停止,周辺回路動作継続

- ①発振の停止は自動的には行いません。
- ②HALTモードを解除するには次の4つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)低電圧検知によるリセット発生。
 - (3)ウォッチドッグタイマによるリセット発生。
 - (4)割り込みの発生。

・HOLDモード:命令実行停止,周辺回路動作停止

- ①CF発振,中速RC発振のいずれも自動的に停止します。
- ②HOLDモードを解除するには次の5つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)低電圧検知によるリセット発生。
 - (3)ウォッチドッグタイマによるリセット発生。

(4)INT0, INT1, INT2, INT4の何れかで割り込み要因が成立する。

※INT0, INT1はレベル検出設定に限る。

(5)ポート0で割り込み要因が成立する。

■ オンチップデバッガ機能（フラッシュROM版）

- ・ターゲット基板に実装状態でソフトデバッグ可能
- ・小ピン対応に合わせオンチップデバッガ・ターミナルは2チャンネル装備。

DBGP0(P0), DBGP1(P1)

■ データセキュリティ機能（フラッシュROM版）

- ・フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止
- (注) データセキュリティ機能には絶対的なセキュリティはありません。

■ 出荷形態

- ・MFP24S(300mil)『鉛フリー・ハロゲンフリー仕様品』
- ・SSOP24(225mil)『鉛フリー・ハロゲンフリー仕様品』

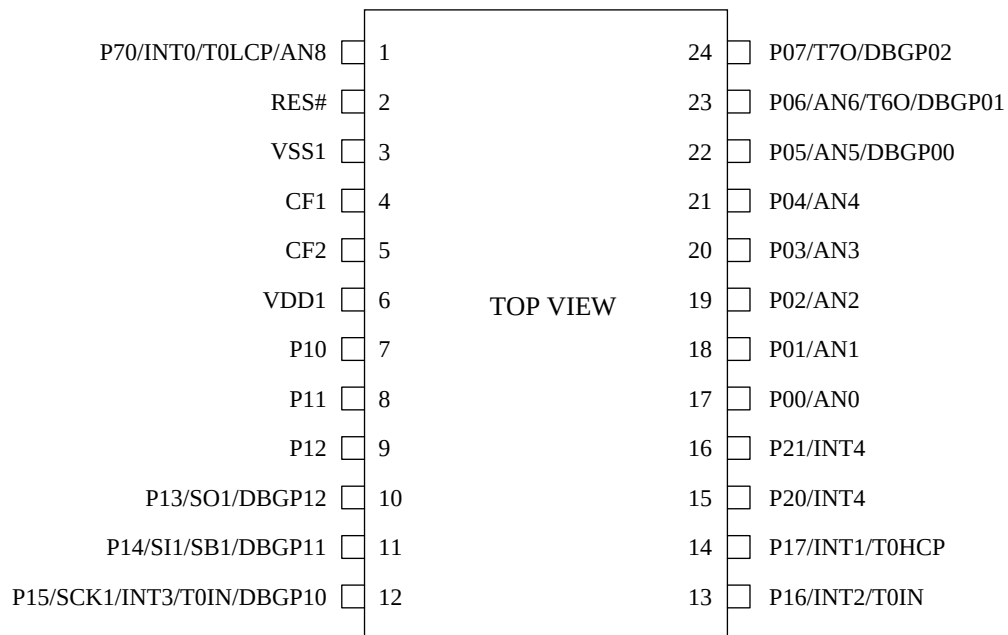
■ 開発ツール

- ・オンチップデバッガ : TCB87 TypeB+LC87F2R04A
: TCB87 TypeC(3線用ケーブル)+LC87F2R04A

■ 書き込み基板

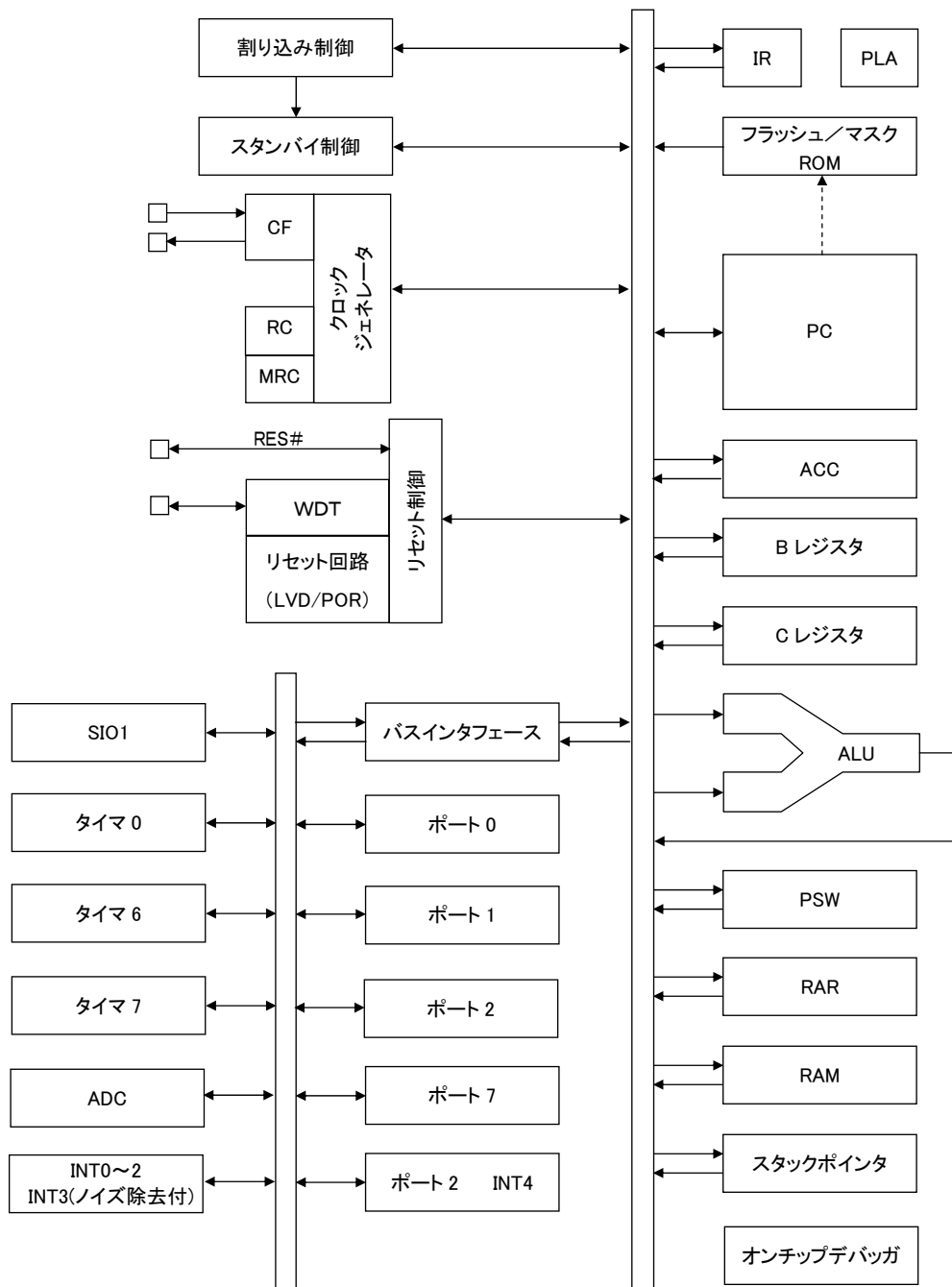
パッケージ	書き込み基板
MFP24S	W87F2GM
SSOP24	W87F2GS

1-3 ピン配置図



SANYO : MFP24S / SSOP24 『鉛フリー・ハロゲンフリー仕様品』

1-4 システムブロック図



1-5 端子機能表

端子名	I/O	機能説明	オプション																								
VSS1	—	電源の－端子	なし																								
VDD1	—	電源の＋端子	なし																								
ポート0	I/O	・8ビットの入出力ポート ・4ビット単位の入出力指定可能 ・4ビット単位のパルアップ抵抗 ON/OFF可能 ・HOLD解除入力 ・ポート0割り込み入力 ・端子機能 P06 : タイマ6トグル出力 P07 : タイマ7トグル出力 P00(AN0)～P06(AN6) : AD変換入力ポート P05(DBGP00)～P07(DBGP02) : オンチップデバッガ-0用端子	あり																								
P00～P07																											
ポート1	I/O	・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF可能 ・端子機能 P13 : SIO1データ出力 P14 : SIO1データ入力/バス入出力 P15 : SIO1クロック入出力/INT3入力(ノイズフィルタ付入力)/ タイマ0イベント入力/タイマ0Hキャプチャ入力 P16 : INT2入力/HOLD解除入力/タイマ0イベント入力/ タイマ0Lキャプチャ入力 P17 : INT1入力/HOLD解除入力/タイマ0Hキャプチャ入力 P15(DBGP10)～P13(DBGP12) : オンチップデバッガ-1用端子 インタラプト受付形式	あり																								
P10～P17																											
<table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT1</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT2</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INT3</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>					立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT1	○	○	×	○	○																						
INT2	○	○	○	×	×																						
INT3	○	○	○	×	×																						
ポート2	I/O	・2ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF可能 ・端子機能 P20, P21 : INT4入力/HOLD解除入力/タイマ0Lキャプチャ入力 /タイマ0Hキャプチャ入力 インタラプト受付形式	あり																								
P20, P21																											
<table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT4</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>					立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4	○	○	○	×	×												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT4	○	○	○	×	×																						
ポート7	I/O	・1ビットの入出力ポート ・入出力指定可能 ・パルアップ抵抗 ON/OFF可能 ・端子機能 P70 : INT0入力/HOLD解除入力/タイマ0Lキャプチャ入力 /ウォッチドッグタイマ用出力 P70(AN8) : AD変換入力ポート インタラプト受付形式	なし																								
P70																											
<table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT0</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr></table>					立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0	○	○	×	○	○												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT0	○	○	×	○	○																						

(次ページへ)

端子名	I/O	機能説明	オプション
RES	I/O	外部リセット入力／内部リセット出力端子	なし
CF1	I	・セラミック発振子用入力端子 ・端子機能 汎用入力ポート	なし
CF2	I/O	・セラミック発振子用出力端子 ・端子機能 汎用入力ポート	なし

1-6 オンチップデバッグ端子処理

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC872000 シリーズ 端子処理資料】をご参照ください。

1-7 未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00～P07	OPEN	出力Low設定
P10～P17	OPEN	出力Low設定
P20～P21	OPEN	出力Low設定
P70	OPEN	出力Low設定
CF1	100kΩ以下の抵抗でプルダウン	汎用入力設定
CF2	100kΩ以下の抵抗でプルダウン	汎用入力設定

1-8 ポート出力形態

ポートの出力形態とプルアップ抵抗の有無を以下に示します。
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切替単位	オプション 種類	出力形式	プルアップ抵抗
P00～P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10～P17 P20, P21	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	—	なし	Nch-オープンドレイン	プログラマブル

注1 ポート0のプログラマブルプルアップ抵抗の有無とLowインピーダンス・プルアップ／Highインピーダンス・プルアップ切り替えは、共にニブル(4ビット)単位(P00～03, P04～07)の制御となります。

1-9 ユーザオプション一覧表

オプション名	オプション種類	マスク版 ※1	フラッシュ版	オプション 切り替え単位	指定する内容
ポート出力形式	P00～P07	○	○	1ビット単位	CMOS
					Nch-オープンドレイン
	P10～P17	○	○	1ビット単位	CMOS
					Nch-オープンドレイン
	P20～P21	○	○	1ビット単位	CMOS
					Nch-オープンドレイン
プログラム スタート番地	-	× ※2	○	-	00000h
					01E00h
低電圧検知 リセット機能	検知機能	○	○	-	許可:使用する
					禁止:使用しない
	検知レベル	○	○	-	7 レベル
パワーオン リセット機能	パワーオンリセッ ト レベル	○	○	-	8 レベル

※1 : マスクオプションとしての選択になりますのでマスク完成後の変更はできません。

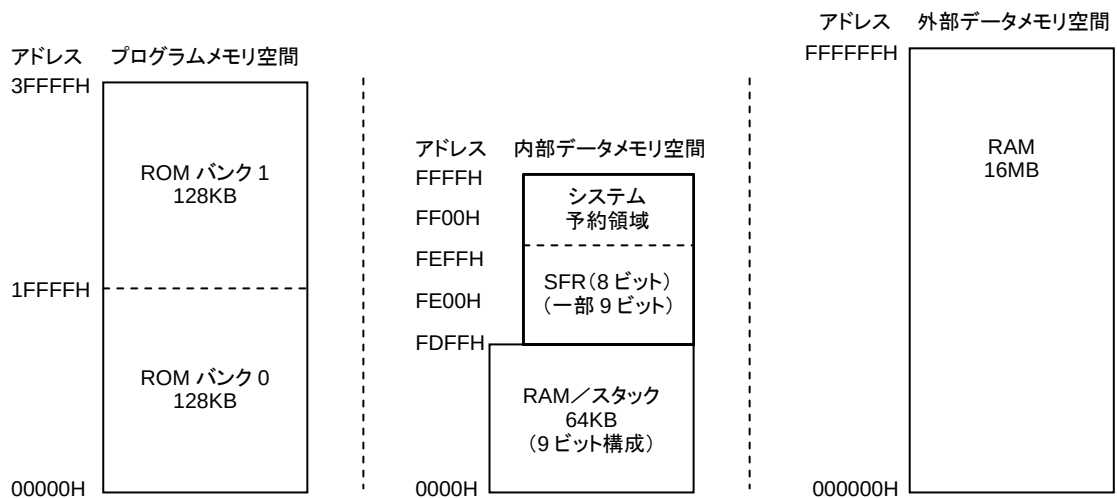
※2 : マスク版のプログラムスタート番地は00000hになります。

2 内部システム構成

2-1 メモリ空間

LC870000シリーズは、次の3種類のメモリ空間を持ちます。

- ① プログラムメモリ空間 256Kバイト(128Kバイト×2バンク)
- ② 内部データメモリ空間 64Kバイト(0000H～FFFFHのうち0000H～FDFFHがスタックエリア兼用)。
- ③ 外部データメモリ空間 16Mバイト



注) SFR: アキュムレータ等の特殊機能レジスタの配置されている領域 (APPENDIX A-I 参照)

図 2-1-1 メモリ空間

2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は17ビットで構成されて、そのほかにバンクフラグBNKがあり、BNKの値でバンクが変化します。PCの下位17ビットにより、バンク内の128KのROM空間がリニアにアクセスできます。

通常、PCは命令実行毎にバンク内で自動的に進みます。バンクの切り替えはスタックにアドレスをプッシュして、リターン命令を実行することで行います。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表2-2-1に示します。

表 2-2-1 PC 設 定 値

動作の種類		PCの値	BNKの値
割り込み	リセット(注)	00000H	0
		01E00H	0
	INT0	00003H	0
	INT1	0000BH	0
	INT2／T0L／INT4	00013H	0
	INT3	0001BH	0
	T0H	00023H	0
	なし	0002BH	0
	なし	00033H	0
	SIO1	0003BH	0
	ADC／T6／T7	00043H	0
	ポート 0	0004BH	0
無条件分岐命令	JUMP a17	PC=a17	不変
	BR r12	PC=PC+2+r12[-2048～+2047]	不変
条件分岐命令	BE,BNE,DBNZ,DBZ,BZ,BNZ,BZW,BNZW,BP,BN,BPC	PC=PC+nb+r8[-128～+127] nb: 命令のバイト数	不変
CALL命令	CALL a17	PC=a17	不変
	RCALL r12	PC=PC+2+r12[-2048～+2047]	不変
	RCALLA	PC=PC+1+Areg[0～+255]	不変
リターン命令	RET,RETI	PC16～08=(SP), PC07～00=(SP-1) (SP)はスタックポインタの値SPで 指示されるRAMの内容。	BNK は (SP-1)の ビット8
通常命令	NOP,MOV,ADD,...	PC=PC+nb nb: 命令のバイト数	不変

(注)フラッシュ版では、ユーザオプション設定により、リセット時のプログラムスタートアドレスを選択することができます。マスク版では、00000H番地固定となります。

2-3 プログラムメモリ(ROM)

プログラムメモリ空間は256Kバイトありますが、実際に内蔵しているROMは機種により異なります。ROMテーブル参照命令(LDC)でバンク内の全てのROMデータを参照できます。ROM空間のうちROMバンク0の256バイト(LC872R00シリーズ:1F00H～1FFFH)をオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-4 内部データメモリ(RAM)

内部データメモリ空間は64Kバイトありますが、実際に内蔵しているRAMは機種により異なります。RAMのビット長は、128KのROM空間を実現するために0000H～FDFFHでは9ビットで、FE00H～FFFFHでは8ビットまたは9ビットです。なお、RAMの9ビット目はPSWのビット1を使用し、読み書きできます。

RAMの0000H～007FHの128バイトは2バイトずつペアになり64個の間接アドレスレジスタとしても使用できます。これら間接レジスタのビット長は通常16ビット(8ビット×2)として扱われますが、ROMテーブル参照命令(LDC)で使用する時は17ビット(9ビット(上位)+8ビット(下位))となります。

図2-4-1に示すように、RAMのアドレスにより使用できる命令が異なります。これらの命令を使い分けることによって、使用ROM／実行スピードの効率化が図れます。

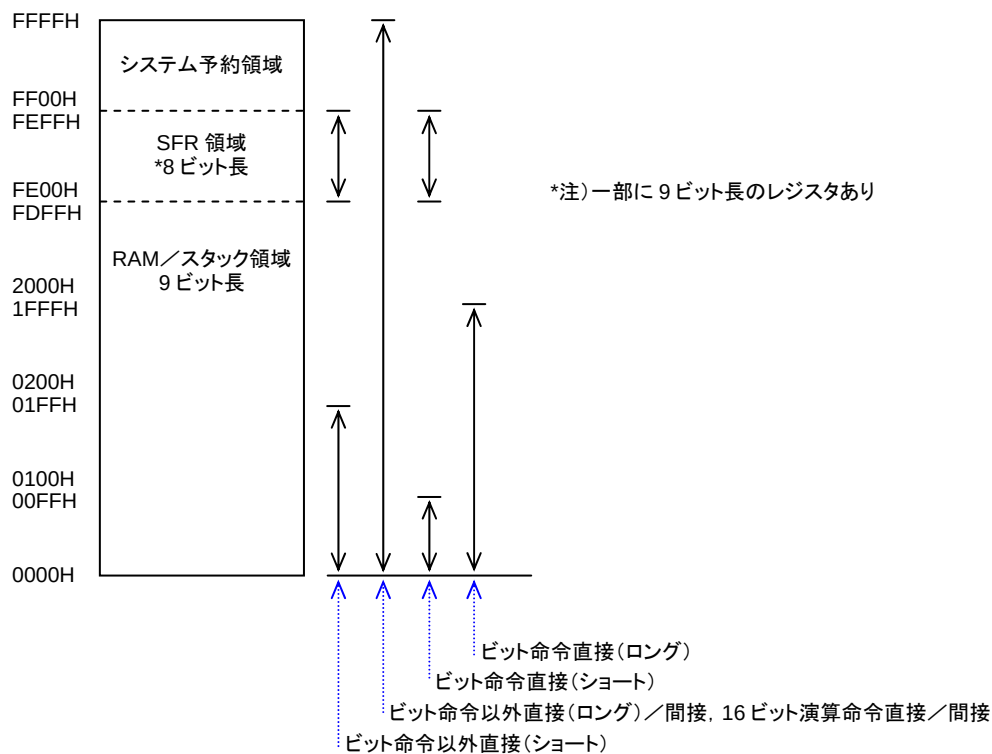


図2-4-1 RAMアドレッシングマップ

また、サブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSP+1にBNKの値とPC(17ビット)の下位8ビットが、SP+2にPCの上位9ビットが格納され、SP=SP+2となります。

2-5 アキュムレータ／Aレジスタ(ACC／A)

アキュムレータ(ACC)はAレジスタとも呼ばれ、データの演算、転送、入出力の処理が行われるのに使用される8ビットのレジスタです。内部データメモリ空間のFE00H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE00	0000 0000	R/W	AREG	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0

2-6 Bレジスタ(B)

Bレジスタは16ビット演算命令では、ACCと組み合わせて16ビットの演算用レジスタとなります。また、乗除算命令では、ACC、Cレジスタとともに、結果の格納に使われます。さらに、外部メモリアクセス命令(LDX, STX)では、24ビットアドレスの上位8ビットの指定を行います。

Bレジスタは内部データメモリ空間のFE01H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE01	0000 0000	R/W	BREG	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0

2-7 Cレジスタ(C)

Cレジスタは、乗除算命令では、ACC, Bレジスタとともに、結果の格納に使われます。さらに、Cレジスタ・オフセット間接命令では、間接レジスタの内容に対するオフセットデータ(−128〜+127)を格納します。

Cレジスタは内部データメモリ空間のFE02H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE02	0000 0000	R/W	CREG	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0

2-8 プログラムステータスワード(PSW)

プログラムステータスワード(PSW)は、演算結果の状態を示すフラグとRAMの9ビット目をアクセスするフラグとLDCW命令時のバンク指定のフラグから構成されています。

PSWは内部データメモリ空間のFE06H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE06	0000 0000	R/W	PSW	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY

CY(ビット7): キャリーフラグ

CYは、演算の実行によりキャリーが生じた時セット(1)され、生じなかった時クリア(0)されます。キャリーには次の種類があります。

- ①加算結果のキャリー
- ②減算結果のボロー
- ③比較結果のボロー
- ④ローテートのキャリー

但し、命令によってはフラグが変化しない場合があります。

AC(ビット6): 補助キャリーフラグ

ACは、加減算の実行によりビット3(16ビット演算では上位バイトのビット3)にキャリーまたはボローが生じた時セット(1)され、生じなかった時クリア(0)されます。

但し、命令によってはフラグが変化しない場合があります。

PSWB5, 4(ビット5, 4): ユーザビット

命令でリード/ライトできますので、ご自由にお使いください。

LDCBNK(ビット3): テーブル参照命令(LDCW)用バンクフラグ

テーブル参照命令でプログラムROMを読む時のROMバンクを指定します。
(0: ROM-ADR=0~1FFFF 1: ROM-ADR=20000~3FFFF)

OV(ビット2): オーバフローフラグ

OVは、算術演算の実行によりオーバフローが生じた時セット(1)され、生じなかった時クリア(0)されます。オーバフローが生じる場合には次の種類があります。

- ①MSBを符号ビットとした時、負数+負数または負数-正数の結果が正数となった時
- ②MSBを符号ビットとした時、正数+正数または正数-負数の結果が負数となった時

- ③16ビット×8ビットの乗算結果の上位8ビットの値が0でない時
- ④24ビット×16ビットの乗算結果の上位16ビットの値が0でない時
- ⑤除算で除数が0の時

但し、命令によってはフラグが変化しない場合があります。

P1(ビット1):RAMビット8データフラグ

P1は、9ビットで構成される内部データRAM(0000H~FDFFH)のビット8を操作するのに使います。命令により動作が異なります。詳しくは、表2-4-1を参照してください。

PARITY(ビット0):パリティフラグ

アキュムレータ(Aレジスタ)のパリティを示します。

Aレジスタのビット状態が、“1”が奇数個の場合にパリティフラグがセット(1)されます。また、“1”が偶数個の場合には、パリティフラグがリセット(0)されます。

2-9 スタックポインタ(SP)

LC870000シリーズはRAMの0000H~FDFFHをスタック領域として使用できます。但し、内蔵しているRAMサイズは機種により異なります。

SPは16ビット長で、SPL(FE0A番地)とSPH(FE0B番地)の2つのレジスタで構成され、リセット時には0000Hに初期化されます。

SPは、スタックメモリにデータを待避する前に+1され、データをスタックメモリから復帰した後で-1されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0A	0000 0000	R/W	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

SPの値は以下のように変化します。

- ①PUSH命令実行時 : $SP = SP + 1$, $RAM(SP) = DATA$
- ②CALL命令実行時 : $SP = SP + 1$, $RAM(SP) = ROMBANK + ADL$
 $SP = SP + 1$, $RAM(SP) = ADH$
- ③POP命令実行時 : $DATA = RAM(SP)$, $SP = SP - 1$
- ④RET命令実行時 : $ADH = RAM(SP)$, $SP = SP - 1$
 $ROMBANK + ADL = RAM(SP)$, $SP = SP - 1$

2-10 間接アドレスレジスタ

LC870000シリーズは、間接レジスタの内容を用いた番地指定機能(インダイレクト・アドレッシング・モード)を3種類([Rn], [Rn+C], [off])持っています。(アドレッシング・モードについては2-11項参照)この時使用されるのが、RAMの0~7EH番地に2バイト構成で64個(R0~R63)存在する間接レジスタです。間接レジスタは、汎用レジスタ(2バイトデータの待避用等)としても使用できます。もちろん、間接レジスタとして使用しない場合には、通常RAM(1バイト(9ビット)データ単位)として使用できます。R0~R63は、アセンブラにて「システム予約語」となっておりユーザが定義する必要はありません。

	RAM	システム予約データ
アドレス	.	
7FH	R63(上位)	
7EH	R63(下位)	R63=7EH
.	.	.
.	.	.
03H	R1(上位)	
02H	R1(下位)	R1=2
01H	R0(上位)	
00H	R0(下位)	R0=0

図 2-10-1 間接レジスタ配置

2-11 アドレッシング・モード

LC870000シリーズは、以下の7種類のアドレッシング・モードがあります。

- ①イミディエイト(即値:プログラム作成(アセンブル)時に値が確定しているデータ)
- ②間接レジスタ(Rn)・インダイレクト(間接) (0 ≤ n ≤ 63)
- ③間接レジスタ(Rn) + Cレジスタ・インダイレクト(間接) (0 ≤ n ≤ 63)
- ④間接レジスタ(R0) + オフセット値・インダイレクト(間接)
- ⑤ダイレクト(直接)
- ⑥ROMテーブル参照
- ⑦外部データメモリ・アクセス

次項より、各アドレッシング・モードの説明を行います。

2-11-1 イミディエイト・アドレッシング(#)

イミディエイト・アドレッシングでは、8ビット(1バイト)または16ビット(1ワード)のイミディエイト(即値)データを扱うことができます。以下に例を示します。

例:

```

LD      #12H      ;アキュムレータにバイトデータ(12H)を設定
L1: LDW  #1234H    ;BAペアレジスタにワードデータ(1234H)を設定
PUSH    #34H      ;スタックにバイトデータ(34H)を設定
ADD     #56H      ;アキュムレータとバイトデータ(56H)の加算
BE      #78H, L1   ;アキュムレータとバイトデータ(78H)の比較・分岐

```

2-11-2 間接レジスタ・インダイレクト・アドレッシング ([Rn])

間接レジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つを選択し、そのレジスタの内容でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容が例えば“FE02H”であった場合、「Cレジスタ」を示すことになります。

例：

```

R3の内容が“123H”の場合 (RAM6番地:23H, RAM7番地:01H)
LD      [R3]          ;RAMの123H番地の内容をアキュムレータに転送
L1: STW  [R3]          ;BAペア・レジスタの内容をRAMの123H番地に転送
PUSH    [R3]          ;RAMの123H番地の内容をスタックに待避
SUB      [R3]          ;アキュムレータからRAMの123H番地の内容を減算
DBZ     [R3], L1       ;RAMの123H番地の内容を“-1”し「ゼロ」なら分岐

```

2-11-3 間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])

間接レジスタ+Cレジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つの内容とCレジスタの内容(MSBを符号とする-128～+127)を加算した結果でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容を“FE02H”とし、Cレジスタの内容が“FFH(-1)”であったので「Bレジスタ(FE02H+(-1)=FE01H)」を示すことになります。

例：

```

R3の内容が“123H”、Cレジスタの内容が“02H”の場合
LD      [R3, C]        ;RAMの125H番地の内容をアキュムレータに転送
L1: STW  [R3, C]        ;BAペア・レジスタの内容をRAMの125H番地に転送
PUSH    [R3, C]        ;RAMの125H番地の内容をスタックに待避
SUB      [R3, C]        ;アキュムレータからRAMの125H番地の内容を減算
DBZ     [R3, C], L1     ;RAMの125H番地の内容を“-1”し「ゼロ」なら分岐

```

<このアドレッシング・モードの注意事項>

内部データメモリ空間は、前述(2.1項)のように①システム予約領域(FF00-FFFF)②SFR領域(FE00-FEFF)③RAM/スタック領域(0000-FDFF)の3つの機能領域に分かれて閉じています。よって、基本となるRnの内容が示す領域からCレジスタの値によって別領域を示すということはできません。例えば、R5の内容が“0FDFFH”で、Cレジスタの内容が“1”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は③RAM/スタック領域(0000-FDFF)であるため、アドレッシングしようとした“0FDFFH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R5の内容が“0FEFFH”でCレジスタの内容が“2”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は②SFR領域(FE00-FEFF)であるため、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-4 間接レジスタ(R0)+オフセット値・インダイレクト・アドレッシング([off])

このアドレッシング・モードでは、間接レジスタ「R0」の内容と符号付き7ビットオフセットデータoff(−64〜+63)を加算した結果で、RAMまたはSFRの番地を指定することができます。つまり、R0の内容が“FE02H”でありoff値を“7EH(−2)”とした場合、「Aレジスタ(FE02H+(−2)=FE00H)」を示すことになります。

例：

```
      R0の内容が“123H”の場合(RAM0番地:23H, RAM1番地:01H)
LD      [10H]          ;RAMの133H番地の内容をアキュムレータに転送
L1: STW   [10H]          ;BAペア・レジスタの内容をRAMの133H番地に転送
      PUSH [10H]          ;RAMの133H番地の内容をスタックに待避
      SUB  [10H]          ;アキュムレータからRAMの133H番地の内容を減算
      DBZ  [10H], L1      ;RAMの133H番地の内容を“−1”し「ゼロ」なら分岐
```

＜このアドレッシング・モードの注意事項＞

内部データメモリ空間は、前述(2.1項)のように①システム予約領域(FF00−FFFF)②SFR領域(FE00−FEFF)③RAM／スタック領域(0000−FDFF)の3つの機能領域に分かれて閉じています。よって、基本となるR0の内容が示す領域からオフセット値によって別領域を示すということはできません。例えば、R0の内容が“0FDFH”である場合に「LD [1]」命令を実行すると、基本となる領域は③RAM／スタック領域(0000−FDFF)であるため、アドレッシングしようとした“0FDFH+1=0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R0の内容が“0FEFFH”である場合に「LD [2]」命令を実行すると、基本となる領域は②SFR領域(FE00−FEFF)であるため、アドレッシングしようとした“0FEFFH+2=0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH+0FE00H=0FE01”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-5 ダイレクト・アドレッシング(dst)

ダイレクト・アドレッシングでは、RAMまたはSFRの番地をオペランドに記述し直接指定することが可能です。このアドレッシング・モードでは、記述されたオペランドの番地からアセンブラが自動的に最適な命令コードを生成します(オペランドの番地により命令のバイト数が異なる)。また、命令のバイト数を一定(バイト数の多い方)としたい場合のために、ロング(ミドル)・レンジ命令も用意しました(ニーモニックの最後に“L(M)”が付いているもの)。

例：

```
      LD      123H          ;RAMの123H番地の内容をアキュムレータに転送
                          (2バイト命令)
      LDL     123H          ;RAMの123H番地の内容をアキュムレータに転送
                          (3バイト命令)
L1: STW   123H          ;BAペア・レジスタの内容をRAMの123H番地に転送
      PUSH  123H          ;RAMの123H番地の内容をスタックに待避
      SUB   123H          ;アキュムレータからRAMの123H番地の内容を減算
      DBZ   123H, L1      ;RAMの123H番地の内容を“−1”し「ゼロ」なら分岐
```


2-11-6 ROMテーブル参照・アドレッシング

LC870000シリーズは、「LDCW」命令を用いることによりROM上の2バイトデータをBAレジスタペアに一度に読み出すことができます。この時のアドレッシング・モードは、[Rn], [Rn, C], [off]の3種類が使用できます。(この場合に限り、Rnは17ビット構成(128Kバイト空間)となります。)

ROMにバンクがある機種では、PSW内の“LDCBNK”フラグ(bit3)が示すROMバンク内(128Kバイト)のROMデータを参照することができます。よって、ROMバンクの存在する機種でのROMテーブル参照時には、ROMテーブルが存在するROMバンクを“LDCBNK”フラグが示すように「SET1, CLR1等」の命令で切り替えてから「LDCW」命令を実行してください。

例：

```
TBL: DB      34H
      DB      12H
      DW      5678H
      .
      .
```

LDW #TBL ;BAレジスタペアに“TBLアドレス”を設定

(注1) CHGP3 (TBL >> 17) & 1 ;PSWのLDCBNKにTBLアドレスbit17を設定する。

CHGP1 (TBL >> 16) & 1 ;PSWのP1に“TBLアドレスbit16を設定する。

STW R0 ;間接レジスタR0へのTBLアドレス設定(bit16～bit0)

LDCW [1] ;ROMテーブル読み出し(B=78H, ACC=12H)

MOV #1, C ;Cレジスタに“01H”を設定

LDCW [R0, C] ;ROMテーブル読み出し(B=78H, ACC=12H)

INC C ;Cレジスタをインクリメント(+1)

LDCW [R0, C] ;ROMテーブル読み出し(B=56H, ACC=78H)

(注1) ROMにバンクがある機種のみ、PSWのLDCBNK(bit3)の設定が必要。

2-11-7 外部データ・メモリ・アドレッシング

LC870000シリーズは、「LDX, STX」命令を用いることにより、16Mバイト(24ビット)の外部データメモリ空間をアクセスすることが可能です。24ビットの空間指定には、Bレジスタ(8ビット)の内容を最上位に、また、(Rn), (Rn) + (C), (R0) + off(のどれか一つ)の内容(16ビット)を下位に用います。

例：

LDW #3456H ;下位16ビット設定

STW R5 ;間接レジスタR5にアドレス下位16ビットを設定

MOV #12H, B ;アドレス上位8ビット設定

LDX [1] ;外部データメモリ(123456H番地)の内容をアキュムレータに転送

表 2-4-1 BIT8 (RAM/SFR) と P1 の状態変化表

命令	BIT8 (RAM/SFR)	P1 (PSWのBIT1)	備考
LD#/LDW#	—	—	
LD	—	P1←REG8	
LDW	—	P1←REGH8	
ST	REG8←P1	—	
STW	REGL8,REGH8←P1	—	
MOV	REG8←P1	—	
PUSH#	RAM8←P1	—	
PUSH	RAM8←REG8	P1←REG8	
PUSHW	RAMH8←REGH8, RAML8←REGL8	P1←REGH8	
PUSH_P	RAM8←P1	—	
PUSH_BA	RAMH8←P1, RAML8←P1	—	
POP	REG8←RAM8	P1←RAM8	PSW 対象の場合、P1←bit1
POPW	REGH8←RAMH8, REGL8←RAML8	P1←RAMH8	上位アドレス PSW 対象時、P1←bit1
POP_P	—	P1←RAM1(bit1)	BIT8 は無視
POP_BA	—	P1←RAMH8	
XCH	REG8↔P1	同左	
XCHW	REGH8←P1, REGL8←P1, P1←REGH8	同左	
INC	9bit の INC	演算後, P1←REG8	9bit の INC
INCW	17bit の INC, REGL8←下位 8bit の CY	演算後, P1←REGH8	17bit の INC
DEC	9bit の DEC	演算後, P1←REG8	9bit の DEC
DECW	17bit の DEC, REGL8←下位 8bit の CY の反転	演算後, P1←REGH8	17bit の DEC
DBNZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
DBZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
SET1	—	—	
NOT1	—	—	
CLR1	—	—	
BPC	—	—	
BP	—	—	
BN	—	—	
MUL24/DIV24	RAM8←“1”	—	演算結果の入る RAM の BIT8 は 1
FUNC	—	—	

注) 対象が 8bit レジスタ (bit8 なし) の場合 “1” が読み込まれて処理されます。

記号) REG8: RAM または SFR の bit8。

REGH8/REGL8: RAM または SFR の上位バイトの bit8/下位バイトの bit8。

RAM8: RAM の bit8。

RAMH8/RAML8: RAM の上位バイトの bit8/下位バイトの bit8。

3 周辺システム構成

この章では、CPUコア、RAM、ROM以外の内蔵されている機能ブロック(周辺システム)について説明します。

また、ポートのブロック図をAPPENDIX(A-II)に添付しましたので、ご参照ください。

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタにより4ビット毎に設定できます。

ポート0は、外部割り込み端子としても使用でき、ホールドモードの解除も可能です。ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

<フラッシュ版の注意点>

マイコンにリセットが掛かるとポートP05は一時的にLowを出力します。また、リセット期間中のポートP07には、クロックや中間電位(Hi-Z含む)を印加しないでください。

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC872000シリーズ端子処理資料】をご参照ください。

3-1-2 機能

①入出力ポート (8ビット:P00~P07)

- ・ポート0データラッチ(P0:FE40)でポート出力データの制御をビット毎に行います。
- ・P00~P03の入出力の制御は、P0LDDR(P0DDR:FE41のビット0)で行います。
- ・P04~P07の入出力の制御は、P0HDDR(P0DDR:FE41のビット1)で行います。
- ・ユーザオプションでCMOS出力を選んだポートに、プログラマブル・プルアップ抵抗が付きます。
- ・プログラマブル・プルアップ抵抗にはLowインピーダンス・プルアップとHighインピーダンス・プルアップが選択できます。
- ・P00~P03のプログラマブル・プルアップ抵抗の制御は、P0LPU(P0DDR:FE41のビット2)で行い、Highインピーダンス・プルアップとLowインピーダンス・プルアップの選択はP0LPUS(P0DDR:FE41のビット6)で行います。
- ・P04~P07のプログラマブル・プルアップ抵抗の制御は、P0HPU(P0DDR:FE41のビット3)で行い、Highインピーダンス・プルアップとLowインピーダンス・プルアップの選択はP0HPUS(P0DDR:FE41のビット7)で行います。

②割り込み端子機能

入力ポート指定され、対応するポート0データラッチ(P0:FE40)のビットが“1”のポートのどれか1つに“0”レベルのデータが入力されると、P0FLG(P0DDR:FE41のビット5)がセットされます。

PORT0

この時、P0IE (P0DDR:FE41のビット4)が“1”であれば、ホールドモード解除と、ベクタアドレス004BHへの割り込み要求を行います。

③ 兼用機能

P06でタイマ6トグル出力、P07でタイマ7トグル出力、P00～P06でアナログ入力チャンネルAN0～AN6機能を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	P07	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	P0DDR	P0HPUS	P0LPUS	P0FLG	P0IE	P0HPU	P0LPU	P0HDDR	P0LDDR
FE42	00HH HHHH	R/W	P0FCR	T7OE	T6OE	-	-	-	-	-	-

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ(P0)

- ①ポート0の出力データとポート0割り込みの制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとP00～P07の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP0 (FE40)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	P07	P06	P05	P04	P03	P02	P01	P00

3-1-3-2 ポート0データディレクションレジスタ(P0DDR)

- ①4ビット毎ポート0の入出力方向の制御と、4ビット毎のプルアップ抵抗の制御とポート0割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE41	0000 0000	R/W	P0DDR	P0HPUS	P0LPUS	P0FLG	P0IE	P0HPU	P0LPU	P0HDDR	P0LDDR

P0HPUS (ビット7): P07～P04 High/Lowインピーダンス・プルアップ抵抗選択

このビットが“1”の時、P07～P04はHighインピーダンス・プルアップが選択され、このビットが“0”の時、P07～P04はLowインピーダンス・プルアップが選択されます。

P0LPUS (ビット6): P03～P00 High/Lowインピーダンス・プルアップ抵抗選択

このビットが“1”の時、P03～P00はHighインピーダンス・プルアップが選択され、このビットが“0”の時、P03～P00はLowインピーダンス・プルアップが選択されます。

P0FLG (ビット5): P0割り込み要因フラグ

入力ポート指定されたポート0で、対応するP0 (FE40)のビットがセットされているポートに“L”レベルが印可されるとセットされます。

このビットと割り込み要求許可ビット(P0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので、命令でクリアしてください。

P0IE (ビット4): P0割り込み要求許可

このビットとP0FLGがともに“1”の時、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。

P0HPU (ビット3) : P07～P04プルアップ抵抗制御

このビットが“1”で、P0HDDRが“0”の時、P07～P04のうちのオプションでCMOS出力指定されたポートにプルアップ抵抗が付きます。

P0LPU (ビット2) : P03～P00プルアップ抵抗制御

このビットが“1”で、P0LDDRが“0”の時、P03～P00のうちのオプションでCMOS出力指定されたポートにプルアップ抵抗が付きます。

P0HDDR (ビット1) : P07～P04入出力制御

このビットが“1”の時、P07～P04が出力モードになり、対応するポート0データラッチ(P0)の内容がポートから出力されます。

このビットが“0”の時、P07～P04が入力モードになり、対応するポート0データラッチ(P0)の内容が“1”のポートで“L”レベルを検出するとP0FLGがセットされます。

P0LDDR (ビット0) : P03～P00入出力制御

このビットが“1”の時、P03～P00が出力モードになり、対応するポート0データラッチ(P0)の内容がポートから出力されます。

このビットが“0”の時、P03～P00が入力モードになり、対応するポート0データラッチ(P0)の内容が“1”のポートで“L”レベルを検出するとP0FLGがセットされます。

P07～P04プルアップ抵抗選択方法

P0HPUS	P0HPU	P0HDDR=0, CMOS オプション指定ポート
X	0	プルアップ抵抗 OFF
X	0	プルアップ抵抗 OFF
0	1	Low インピーダンス・プルアップ抵抗 ON
1	1	High インピーダンス・プルアップ抵抗 ON

P03～P00プルアップ抵抗選択方法

P0LPUS	P0LPU	P0LDDR=0, CMOS オプション指定ポート
X	0	プルアップ抵抗 OFF
X	0	プルアップ抵抗 OFF
0	1	Low インピーダンス・プルアップ抵抗 ON
1	1	High インピーダンス・プルアップ抵抗 ON

3-1-3-3 ポート0機能制御レジスタ(P0FCR)

① ポート0の兼用出力の制御を行う2ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	00HH HHHH	R/W	P0FCR	T7OE	T6OE	-	-	-	-	-	-

T7OE (ビット7)

P07端子の出力データの制御を行います。

P07が入力モードの時、このビットは無効です。

P07が出力モードの時、“0”: ポートデータラッチの値を出力します。

“1”: タイマ7周期でトグルする波形とポートデータラッチのORを出力します。

PORT0

T6OE (ビット6)

P06端子の出力データの制御を行います。

P06が入力モードの時、このビットは無効です。

P06が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ6周期でトグルする波形とポートデータラッチのORを出力します。

3-1-4 オプション

ユーザオプションとして次の2通りの選択ができます。

①CMOS出力 (プログラマブルプルアップ抵抗付き)

②Nチャネルオープンドレイン出力

3-1-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。また、機能制御レジスタを操作することにより、シリアルインタフェース用入出力として使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

＜フラッシュ版の注意点＞

マイコンにリセットが掛かるとポートP15は一時的にLowを出力します。また、リセット期間中のポートP13には、クロックや中間電位(Hi-Z含む)を印加しないでください。

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC872000 シリーズ 端子処理資料】をご参照ください。

3-2-2 機能

①入出力ポート（8ビット:P10～P17）

- ・ポート1データラッチ(P1:FE44)でポート出力データの制御、ポート1データディレクションレジスタ(P1DDR:FE45)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能

- ・P17は、INT1としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。
- ・P16とP15は、それぞれINT2、INT3としてLエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。

③タイマ0カウント入力機能

P16、P15から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0にカウント信号を送ります。

④タイマ0Lキャプチャ入力機能

P70、P16から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。

レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

⑤タイマ0Hキャプチャ入力機能

P17、P15から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Hキャプチャ信号を送ります。

レベル割り込み指定のP17に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Hキャプチャ信号が発生します。

PORT1

⑥ ホールドモード解除機能

- ・INT1またはINT2で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード（システムクロック＝中速RC発振）に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたP17に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。
- ・ホールドモード時に、P16に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホールドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P16でホールドモードを解除する時は、P16を両エッジ割り込みモードで使用することを薦めます。

⑦ 兼用機能

P17でタイマ0Hキャプチャ入力，P16でタイマ0イベント入力／タイマ0Lキャプチャ入力，P15でタイマ0イベント入力／タイマ0Hキャプチャ入力／SIO1クロック入出力，P14～P13でSIO1入出力機能を兼用します。

	入力	出力	割り込み入力 信号検出	タイマ0 カウント入力	キャプチャ 入力	ホールド モード解除
P17	プログラマブル・プルアップ抵抗付き	CMOS／Nチャネルオープンドレイン	Lレベル，Hレベル， Lエッジ，Hエッジ	－	タイマ0H	可能(注)
P16			Lエッジ，Hエッジ， 両エッジ	有り	タイマ0L	可能
P15				有り	タイマ0H	－

(注)：P17のホールドモード解除はレベル検出設定時のみ可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	HH00 0HHH	R/W	P1FCR	-	-	P15FCR	P14FCR	P13FCR	-	-	-
FE47	0000 HHH0	R/W	P1TST	FIX0	FIX0	FIX0	FIX0	-	-	-	FIX0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1HF	INT1HE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3HF	INT3HE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	00HH H000	R/W	ISL	ST0HCP	ST0LCP	-	-	-	NFSEL	NFON	ST0IN

P1TST (FE47) のbit7, bit6, bit5, bit4, bit0はテスト用です。設定値は“0”で使用するください。

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ (P1)

- ① ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ② このレジスタを命令で読むとP10～P17の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP1 (FE44) を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10

3-2-3-2 ポート1データディレクションレジスタ(P1DDR)

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP1nDDRが“1”の時、ポートP1nは出力モードになり、ビットP1nDDRが“0”の時、ポートP1nは入力モードになります。

②ビットP1nDDRが“0”で、ポート1データラッチのビットP1nが“1”の時、ポートP1nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR

レジスタデータ		ポートP1nの状態		内蔵プルアップ抵抗
P1n	P1nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

3-2-3-3 ポート1機能制御レジスタ(P1FCR)

①ポート1の兼用出力の制御を行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE46	HH00 0HHH	R/W	P1FCR	-	-	P15FCR	P14FCR	P13FCR	-	-	-

n	P1nFCR	P1n	出力モード(P1nDDR=1)の時のP1n端子データ
5	0	—	ポートデータラッチ(P15)の値
	1	0	SIO1クロック出力データ
	1	1	HIGH出力
4	0	—	ポートデータラッチ(P14)の値
	1	0	SIO1出力データ
	1	1	HIGH出力
3	0	—	ポートデータラッチ(P13)の値
	1	0	SIO1出力データ
	1	1	HIGH出力

尚、オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

P15FCR(ビット5):P15機能制御(SIO1クロック出力制御)

P15端子の出力データの制御を行います。

P15が出力モード(P15DDR=1)で、P15FCRが“1”の時、SIO1のクロック出力データとポートデータラッチのORをP15端子は出力します。

P14FCR(ビット4):P14機能制御(SIO1データ出力制御)

P14端子の出力データの制御を行います。

P14が出力モード(P14DDR=1)で、P14FCRが“1”の時、SIO1出力データとポートデータラッチのORをP14端子は出力します。

尚、P14の入出力状態に関係なく、P14からはSIO1動作時、SIO1入力データが取り込まれます。

P13FCR(ビット3):P13機能制御(SIO1データ出力制御)

P13端子の出力データの制御を行います。

P13が出力モード(P13DDR=1)で、P13FCRが“1”の時、SIO1出力データとポートデータラッチのORをP13端子は出力します。

PORT1

3-2-3-4 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択

INT1LV(ビット6):INT1検出レベル／エッジ選択

INT1LH	INT1LV	INT1 割り込み条件(P17 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF(ビット5):INT1割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT1IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT1IE(ビット4):INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH(ビット3):INT0検出極性選択

INT0LV(ビット2):INT0検出レベル／エッジ選択

INT0LH	INT0LV	INT0 割り込み条件(P70 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF(ビット1):INT0割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE(ビット0):INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

3-2-3-5 外部割り込み2, 3制御レジスタ(I23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

INT3HEG (ビット7):INT3立ち上がりエッジ検出制御

INT3LEG (ビット6):INT3立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3 割り込み条件(P15 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF (ビット5):INT3割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。
このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、
ベクタアドレス001BHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE (ビット4):INT3割り込み要求許可

このビットとINT3IFがともに“1”の時、ベクタアドレス001BHへの割り込み
要求が発生します。

INT2HEG (ビット3):INT2立ち上がりエッジ検出制御

INT2LEG (ビット2):INT2立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2 割り込み条件(P16 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF (ビット1):INT2割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。
このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、
ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生
します。
但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホー
ルドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラ
グはセットできません。従って、P16でホールドモードを解除する時は、P16
を両エッジ割り込みモードを使用することを薦めます。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタア
ドレス0013Hへの割り込み要求が発生します。

3-2-3-6 入力信号選択レジスタ(ISL)

①タイマ0の入力, ノイズフィルタの時定数の制御を行う5ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	00HH H000	R/W	ISL	ST0HCP	ST0LCP	-	-	-	NFSEL	NFON	ST0IN

PORT1

ST0HCP (ビット7): タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INT1の割り込み検出条件が成立する入力がP17に入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルがP17に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力がP17に入力されると、タイマ0Hキャプチャ信号が発生します。

ST0LCP (ビット6): タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP70に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP70に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0Lキャプチャ信号が発生します。

NFSEL (ビット2): ノイズ除去フィルタ時定数選択

NFON (ビット1): ノイズ除去フィルタ時定数選択

NFSEL	NFON	ノイズ除去フィルタ時定数
0	0	1Tcyc
0	1	128Tcyc
1	0	1Tcyc
1	1	32Tcyc

ST0IN (ビット0): タイマ0カウントクロック入力ポート選択

タイマ0カウントクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0カウントクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0カウントクロックが発生します。

注意: INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17~P15と重複して指定された場合、ポート7, ポート1からの信号は無視されます。

3-2-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

3-2-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-3 ポート2

3-3-1 概要

ポート2は、プログラマブル・プルアップ抵抗付きの2ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

ポート2は、外部割り込み用入力ポートとしても使用できます。また、タイマ0のキャプチャ信号入力やホールドモード解除信号入力ポートとしても使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

3-3-2 機能

①入出力ポート（2ビット：P20，P21）

- ・ポート2データラッチ（P2：FE48）でポート出力データの制御、ポート2データディレクションレジスタ（P2DDR：FE49）で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能

P20，P21から選択された1ポート（INT4）には、端子割り込み機能があり、Lエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。さらに選択されたこれら2ポートはタイマ0のキャプチャ信号入力としても使用できます。

③ホールドモード解除機能

- ・INT4で割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード（システムクロック＝中速RC発振）に移行します。さらに割り込みが受け付けられると、ホルトモードから通常動作モードへ移行します。
- ・ホールドモード時にINT4割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていればホールドモードが解除されます。

但し、ホールドモード突入時のINT4のデータが“H”の時のHエッジと、ホールドモード突入時のINT4のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4でホールドモードを解除する時は、INT4を両エッジ割り込みモードで使用することを薦めます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE48	HHHH HH00	R/W	P2	-	-	-	-	-	-	P21	P20
FE49	HHHH HH00	R/W	P2DDR	-	-	-	-	-	-	P21DDR	P20DDR
FE4A	0000 0000	R/W	I45CR	FIX0	FIX0	FIX0	FIX0	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	I45SL	FIX0	FIX0	FIX0	FIX0	I4SL3	I4SL2	I4SL1	I4SL0

PORT2

3-3-3 関連レジスタ

3-3-3-1 ポート2データラッチ(P2)

- ①ポート2の出力データとプルアップ抵抗の制御を行う2ビットのレジスタです。
- ②このレジスタを命令で読むとP20, P21の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP2(FE48)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート2のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE48	HHHH HH00	R/W	P2	-	-	-	-	-	-	P21	P20

3-3-3-2 ポート2データディレクションレジスタ(P2DDR)

- ①ポート2の入出力方向の制御をビット毎に行う2ビットのレジスタです。ビットP2nDDRが“1”の時、ポートP2nは出力モードになり、ビットP2nDDRが“0”の時、ポートP2nは入力モードになります。
- ②ビットP2nDDRが“0”で、ポート2データラッチのビットP2nが“1”の時、ポートP2nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE49	HHHH HH00	R/W	P2DDR	-	-	-	-	-	-	P21DDR	P20DDR

レジスタデータ		ポートP2nの状態		内蔵プルアップ抵抗
P2n	P2nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH／オープン(CMOS／Nチャネルオーブンドレイン)	OFF

3-3-3-3 外部割り込み4, 5制御レジスタ(I45CR)

- ①外部割り込み4, 5の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4A	0000 0000	R/W	I45CR	FIX0	FIX0	FIX0	FIX0	INT4HEG	INT4LEG	INT4IF	INT4IE

FIX0(ビット7～4): “0”で使用してください。

INT4HEG(ビット3): INT4立ち上がりエッジ検出制御

INT4LEG(ビット2): INT4立ち下がりエッジ検出制御

INT4HEG	INT4LEG	INT4 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT4IF(ビット1): INT4割り込み要因フラグ

INT4HEG, INT4LEGで指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット(INT4IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のINT4のデータが“H”の時のHエッジと、ホールドモード突入時のINT4のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4でホールドモードを解除する時は、INT4を両エッジ割り込みモードを使用することを薦めます。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT4IE(ビット0):INT4割り込み要求許可

このビットとINT4IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

3-3-3-4 外部割り込み4, 5端子選択レジスタ(I45SL)

①外部割り込み4, 5の端子を選択する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4B	0000 0000	R/W	I45SL	FIX0	FIX0	FIX0	FIX0	I4SL3	I4SL2	I4SL1	I4SL0

FIX0(ビット7～4):“0”で使用してください。

I4SL3(ビット3):INT4用端子選択

I4SL2(ビット2):INT4用端子選択

I4SL3	I4SL2	INT4として使用する端子
0	0	ポートP20
0	1	ポートP21
1	0	禁止
1	1	禁止

I4SL1(ビット1):INT4用端子機能選択

I4SL0(ビット0):INT4用端子機能選択

INT4として選択された端子に、外部割り込み4, 5制御レジスタ(I45CR)で指定されたデータ変化が与えられると、タイマ0のキャプチャ信号が発生します。

I4SL1	I4SL0	INT4の割り込み以外の機能
0	0	なし
0	1	なし
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

注意:

①INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17～P15と重複して指定された場合、ポート7, ポート1からの信号は無視されます。

3-3-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

3-3-5 HALT, HOLD時の動作

HALT, HOLD時のポートの入出力状態は、HALT, HOLDの突入時の状態を保持します。

3-4 ポート7

3-4-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの1ビットの入出力ポートです。データ制御ラッチと制御回路で構成されます。

ポート7は、外部割り込み用入力ポートとしても使用できます。また、キャプチャ信号入力やホールドモードの解除信号入力ポートとしても使用できます。

ユーザオプションはありません。

3-4-2 機能

①入出力ポート（1ビット:P70）

- ・ポート7制御レジスタ(P7:FE5C)のビット0でポート出力データの制御、ビット4で入出力方向を制御します。
- ・P70はNchオープンドレイン出力となります。
- ・プログラマブル・プルアップ抵抗が付いています。

②割り込み入力端子機能

- ・P70は、INT0としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。

③タイマ0Lキャプチャ入力機能

P70, P16から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。

レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

④ホールドモード解除機能

- ・INT0で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(システムクロック＝中速RC発振)に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたP70に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。

⑤兼用機能

P70にAN8のアナログ入力チャネル機能を兼用します。

	入力	出力	割り込み入力 信号検出	タイマ0 カウント入力	キャプチャ 入力	ホールド モード解除
P70	プログラマブル・プルアップ抵抗付き	Nchオープンドレイン	Lレベル, Hレベル, Lエッジ, Hエッジ	—	タイマ0L	可能(注)

(注): P70のホールドモード解除はレベル検出設定時のみ可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	HHH0 HHH0	R/W	P7	—	—	—	P70DDR	—	—	—	P70
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	00HH H000	R/W	ISL	ST0HCP	ST0LCP	-	-	-	NFSEL	NFON	ST0IN

3-4-3 関連レジスタ

3-4-3-1 ポート7制御レジスタ(P7)

①ポート7の入出力, プルアップ抵抗の制御を行う2ビットのレジスタです。

②このレジスタを命令で読むとP70の端子のデータがビット0に読み込まれます。ビット4にはレジスタP7のビット4のデータが読み込まれます。

但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP7(FE5C)を操作すると、ビット0として、端子のデータでなく、レジスタの内容が参照されます。

③ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	HHH0 HHH0	R/W	P7	—	—	—	P70DDR	—	—	—	P70DT

レジスタデータ		ポートP70の状態		内蔵プルアップ抵抗
P70DT	P70DDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	オープン	ON

(ビット7～5): 存在しません。読むと‘1’が読めます。

P70DDR(ビット4): P70入出力制御

このビットの1/0で、P70端子の出力(Nchオープンドレイン)/入力を制御します。

(ビット3～1): 存在しません。読むと‘1’が読めます。

P70DT(ビット0): P70データ

P70DDRが1の時、このビットの値がP70端子から出力されます。

但し、この端子はNchオープンドレイン出力端子なので、P70DTの値が“1”の時はハイインピーダンス出力となります。

このビットの値(1/0)により、P70端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

PORT7

3-4-3-2 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択

INT1LV(ビット6):INT1検出レベル／エッジ選択

INT1LH	INT1LV	INT1 割り込み条件(P17 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF(ビット5):INT1割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT1IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT1IE(ビット4):INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH(ビット3):INT0検出極性選択

INT0LV(ビット2):INT0検出レベル／エッジ選択

INT0LH	INT0LV	INT0 割り込み条件(P70 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF(ビット1):INT0割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE(ビット0):INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

注意:INT0のホールドモード解除機能は、レベル検出設定時のみ有効です。

3-4-3-3 外部割り込み2, 3制御レジスタ(I23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

INT3HEG (ビット7):INT3立ち上がりエッジ検出制御

INT3LEG (ビット6):INT3立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3 割り込み条件 (P15 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF (ビット5):INT3割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。
このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、
ベクタアドレス001BHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE (ビット4):INT3割り込み要求許可

このビットとINT3IFがともに“1”の時、ベクタアドレス001BHへの割り込み
要求が発生します。

INT2HEG (ビット3):INT2立ち上がりエッジ検出制御

INT2LEG (ビット2):INT2立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2 割り込み条件 (P16 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF (ビット1):INT2割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。
このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、
ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生
します。

但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホー
ルドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラ
グはセットできません。従って、P16でホールドモードを解除する時は、P16
を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタア
ドレス0013Hへの割り込み要求が発生します。

3-4-3-4 入力信号選択レジスタ(ISL)

①タイマ0の入力、ノイズフィルタの時定数の制御を行う5ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	00HH H000	R/W	ISL	ST0HCP	ST0LCP	-	-	-	NFSEL	NFON	ST0IN

ST0HCP (ビット7):タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

PORT7

“1”の設定時、INT1の割り込み検出条件が成立する入力がP17に入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルがP17に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0Hキャプチャ信号が発生します。

ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP70に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP70に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0Lキャプチャ信号が発生します。

NFSEL(ビット2):ノイズ除去フィルタ時定数選択

NFON(ビット1):ノイズ除去フィルタ時定数選択

NFSEL	NFON	ノイズ除去フィルタ時定数
0	0	1Tcyc
0	1	128Tcyc
1	0	1Tcyc
1	1	32Tcyc

ST0IN(ビット0):タイマ0カウントクロック入力ポート選択

タイマ0カウントクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0カウントクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0カウントクロックが発生します。

注意:INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17~P15と重複して指定された場合、ポート7, ポート1からの信号は無視されます。

3-4-4 オプション

ユーザオプションはありません。

3-4-5 HALT, HOLD時の動作

P70のプルアップ抵抗はオフします。

3-5 タイマ／カウンタ0 (T0)

3-5-1 概要

本シリーズが内蔵しているタイマ／カウンタ0 (T0) は、次の4つの機能を持った16ビットのタイマ／カウンタです。

- ①モード0: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) $\times 2ch$
- ②モード1: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ付)
- ③モード2: プログラマブルプリスケアラ付 16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付)
- ④モード3: 16ビットプログラマブルカウンタ (16ビットキャプチャレジスタ付)

3-5-2 機能

- ①モード0: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) $\times 2ch$

- ・8ビットプログラマブルプリスケアラからのクロック (周期: $1 \sim 256T_{cyc}$) によって、2つの独立した8ビットプログラマブルタイマ (T0L, T0H) が動作します。
- ・P70/INT0/T0LCP, P16/INT2/T0IN, P20, P21タイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。
- ・P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

$$T0Lの周期 = (T0LR + 1) \times (T0PRR + 1) \times T_{cyc}$$

$$T0Hの周期 = (T0HR + 1) \times (T0PRR + 1) \times T_{cyc}$$

T_{cyc} = サイクルクロックの周期

- ②モード1: プログラマブルプリスケアラ付 8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ付)

- ・T0Lは、P16/INT2/T0IN, P15/INT3/T0IN端子からの外部入力検出信号をカウントする8ビットのプログラマブルカウンタとして動作します。
- ・T0Hは、8ビットプログラマブルプリスケアラからのクロック (周期: $1 \sim 256T_{cyc}$) によって、8ビットプログラマブルタイマとして動作します。
- ・P70/INT0/T0LCP, P16/INT2/T0IN, P20, P21タイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。
- ・P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

$$T0Lの周期 = (T0LR + 1)$$

$$T0Hの周期 = (T0HR + 1) \times (T0PRR + 1) \times T_{cyc}$$

T0

③モード2：プログラマブルプリスケアラ付 16ビットプログラマブルタイマ（16ビットキャプチャレジスタ付）

- ・8ビットプログラマブルプリスケアラからのクロック（周期：1～256T_{cyc}）によって、16ビットプログラマブルタイマとして動作します。
- ・P17／INT1／T0HCP, P15／INT3／T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L, T0Hの内容をキャプチャレジスタT0CAL, T0CAHに同時にキャプチャします。

$$\text{T0の周期} = ([\text{T0HR}, \text{T0LR}] + 1) \times (\text{T0PRR} + 1) \times \text{T}_{\text{cyc}} \\ 16\text{ビット}$$

④モード3：16ビットプログラマブルカウンタ（16ビットキャプチャレジスタ付）

- ・P16／INT2／T0IN, P15／INT3／T0IN端子からの外部入力検出信号をカウントする16ビットのプログラマブルカウンタとして動作します。
- ・P17／INT1／T0HCP, P15／INT3／T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L, T0Hの内容をキャプチャレジスタT0CAL, T0CAHに同時にキャプチャします。

$$\text{T0の周期} = [\text{T0HR}, \text{T0LR}] + 1 \\ 16\text{ビット}$$

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、タイマ／カウンタT0LまたはT0Hのカウント周期で、T0LまたはT0H割り込み要求を発生します。

⑥タイマ／カウンタ0（T0）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T0CNT, T0PRR, T0L, T0H, T0LR, T0HR, T0CAL, T0CAH
- ・P7, ISL, I01CR, I23CR
- ・P2, P2DDR, I45CR, I45SL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE
FE11	0000 0000	R/W	T0PRR	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-5-3 回路構成

3-5-3-1 タイマ／カウンタ0制御レジスタ（T0CNT）（8ビットレジスタ）

①T0L, T0Hの動作, 割り込みの制御を行います。

3-5-3-2 プログラマブルプリスケアラ 一致レジスタ(TOPRR) (8ビットレジスタ)

- ① プログラマブルプリスケアラの一致データ格納用レジスタです。

3-5-3-3 プログラマブルプリスケアラ (8ビットカウンタ)

- ① 動作開始／停止 : ホールドモード以外で動作します。
- ② カウントクロック : サイクルクロック(周期 = 1T_{cyc})
- ③ 一致信号 : カウント値がレジスタTOPRRの値と一致すると一致信号を発生します。(周期 : 1~256T_{cyc})
- ④ リセット : 一致信号の発生またはTOPRRへデータの書き込みにより、カウンタが0からカウントし始めます。

3-5-3-4 タイマ／カウンタ0下位(TOL) (8ビットカウンタ)

- ① 動作開始／停止 : TOLRUN(タイマ0制御レジスタのビット6)の0/1により、停止／動作が制御されます。
- ② カウントクロック : TOLEXT(タイマ0制御レジスタのビット4)の0/1により、プリスケアラの一致信号／外部信号を選択します。
- ③ 一致信号 : カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ④ リセット : 動作停止時、または一致信号の発生時。

3-5-3-5 タイマ／カウンタ0上位(TOH) (8ビットカウンタ)

- ① 動作開始／停止 : TOHRUN(タイマ0制御レジスタのビット7)の0/1により、停止／動作が制御されます。
- ② カウントクロック : TOLONG(タイマ0制御レジスタのビット5)の0/1により、プリスケアラの一致信号／TOLの一致信号を選択します。
- ③ 一致信号 : カウント値が一致バッファレジスタの値と一致すると一致信号を発生する。(16ビットモード時は、16ビットデータの一致が必要)
- ④ リセット : 動作停止時、または一致信号の発生時。

3-5-3-6 タイマ／カウンタ0一致データレジスタ下位(TOLR) (一致バッファレジスタ付8ビットレジスタ)

- ① TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時(TOLRUN=0)には、TOLRと一致レジスタは同値となる。
動作時(TOLRUN=1)には、一致バッファレジスタは一致信号の発生時にTOLRの内容をロードする。

3-5-3-7 タイマ／カウンタ0一致データレジスタ上位(TOHR) (一致バッファレジスタ付8ビットレジスタ)

- ① TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。

T0

非動作時 (T0HRUN=0) には、T0HRと一致レジスタは同値となる。

動作時 (T0HRUN=1) には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

3-5-3-8 タイマ／カウンタ0キャプチャレジスタ下位 (T0CAL) (8ビットレジスタ)

①キャプチャクロック:

T0LONG (タイマ0制御レジスタのビット5) が0の時、P70/INT0/T0LCP, P16/INT2/T0IN, P20, P21のタイマ0Lキャプチャ入力端子からの外部入力検出信号。

T0LONG (タイマ0制御レジスタのビット5) が1の時、P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21のタイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ: タイマ／カウンタ0下位 (T0L) の内容。

3-5-3-9 タイマ／カウンタ0キャプチャレジスタ上位 (T0CAH) (8ビットレジスタ)

①キャプチャクロック: P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21のタイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ: タイマ／カウンタ0上位 (T0H) の内容。

表 3-5-1 タイマ0 (T0H, T0L) のカウントクロック

モード	T0LONG	T0LEXT	T0H のカウントクロック	T0L のカウントクロック	[T0H,T0L] のカウントクロック
0	0	0	TOPRRの一致信号	TOPRRの一致信号	—
1	0	1	TOPRRの一致信号	外部信号	—
2	1	0	—	—	TOPRRの一致信号
3	1	1	—	—	外部信号

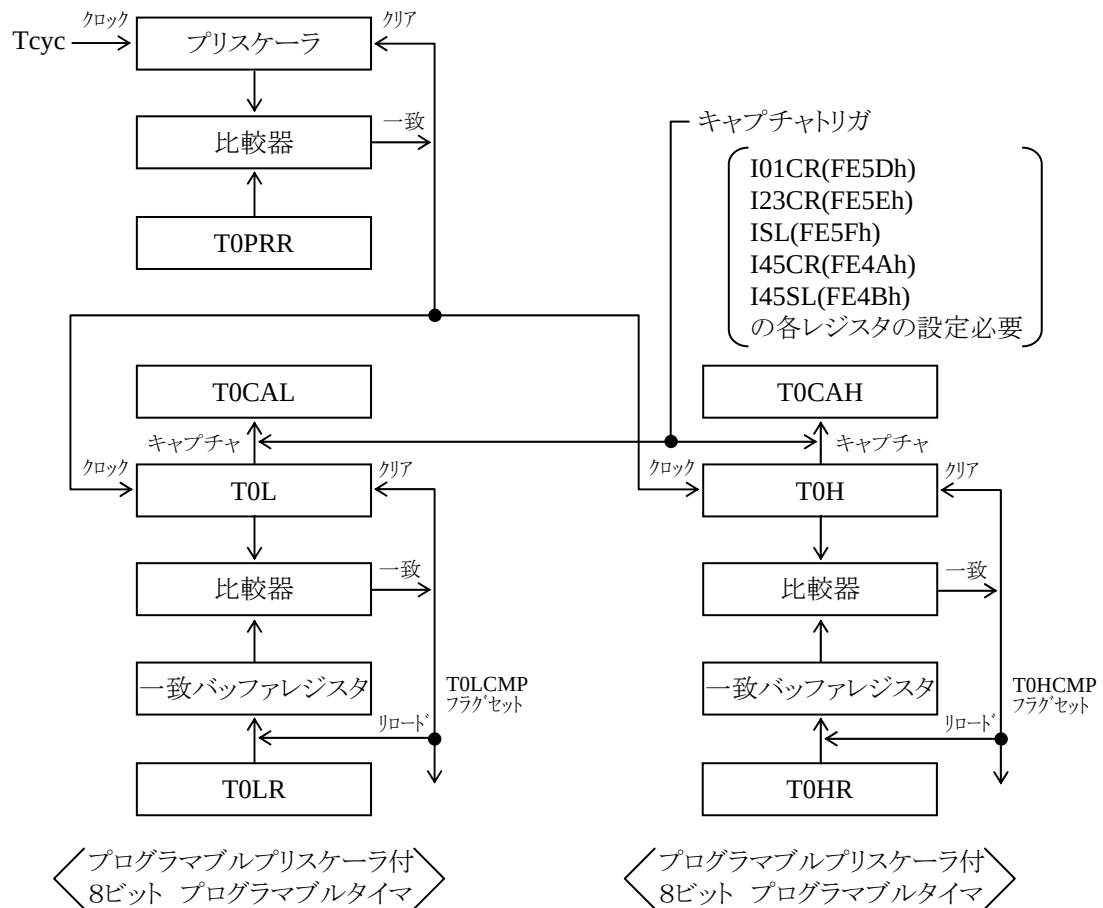


図 3-5-1 モード0 (T0LONG=0, T0LEXT=0) ブロック図

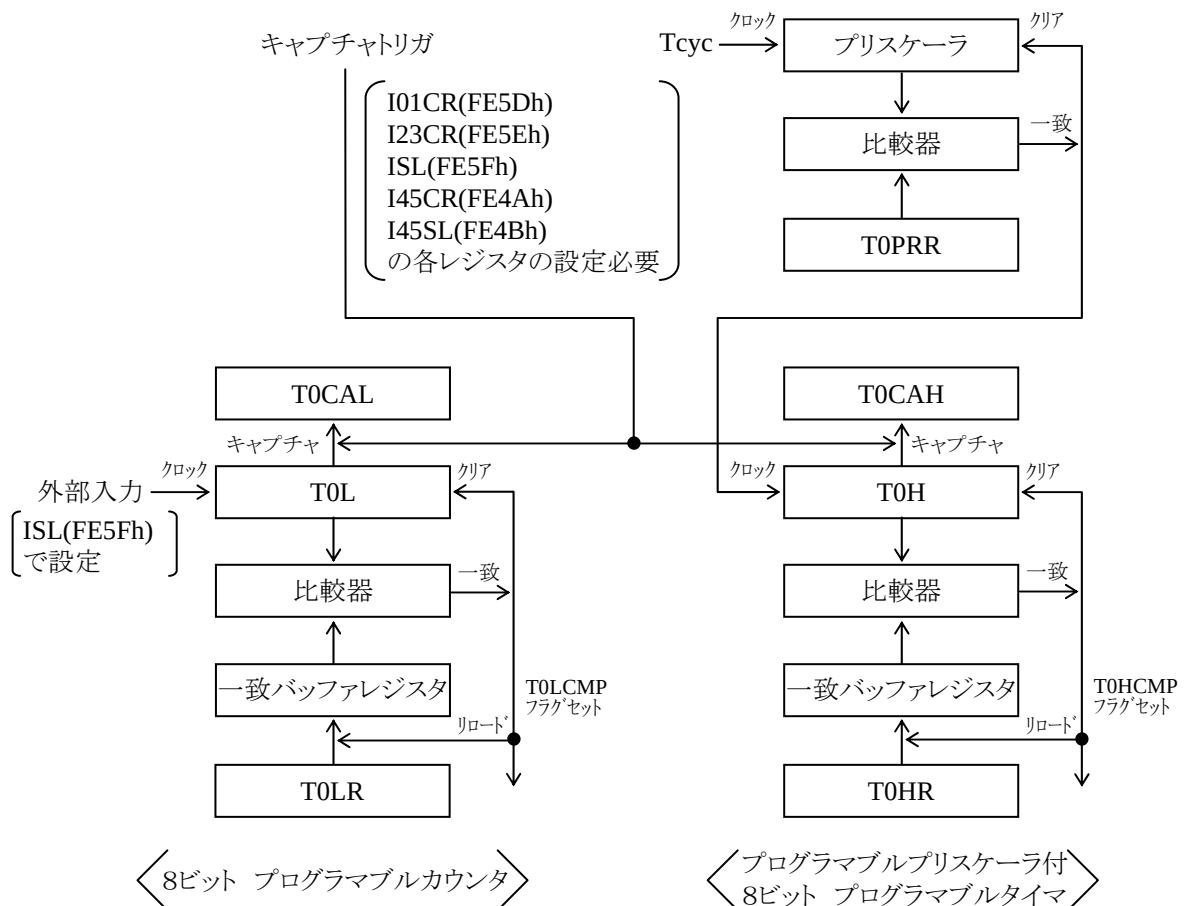


図 3-5-2 モード1 (T0LONG=0, T0LEXT=1) ブロック図

3-5-4 関連レジスタ

3-5-4-1 タイマ／カウンタ0制御レジスタ(T0CNT)

①T0L, T0Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE

T0HRUN(ビット7): T0Hカウント制御

このビットが0の時タイマ／カウンタ0上位(T0H)は、カウント値0で停止し、T0Hの一致バッファレジスタ値はT0HRの値と同じです。

このビットが1の時タイマ／カウンタ0上位(T0H)は、所定のカウント動作を行います。また、T0Hの一致バッファレジスタは、一致信号の発生時にT0HRの内容をロードします。

T0LRUN(ビット6): T0Lカウント制御

このビットが0の時タイマ／カウンタ0下位(T0L)は、カウント値0で停止し、T0Lの一致バッファレジスタ値はT0LRの値と同じです。

このビットが1の時タイマ／カウンタ0下位(T0L)は、所定のカウント動作を行います。また、T0Lの一致バッファレジスタは、一致信号の発生時にT0LRの内容をロードします。

T0LONG(ビット5): タイマ／カウンタ0ビット長選択

このビットが0の時タイマ／カウンタ0は上位と下位の独立した8ビットのタイマ／カウンタとなります。

このビットが1の時タイマ／カウンタ0は16ビットのタイマ／カウンタとなります。また、T0H, T0Lで構成される16ビットのカウント値とT0H, T0Lの一致バッファレジスタの内容が一致した時に、一致信号が発生します。

T0LEXT(ビット4): T0L入力クロック選択

このビットが0の時T0Lのカウントクロックはプリスケアラの一致信号となります。

このビットが1の時T0Lのカウントクロックは外部入力信号となります。

T0HCMP(ビット3): T0H一致フラグ

T0Hが動作している(T0HRUN=1)時に、T0Hの値とT0Hの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは、命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0HIE(ビット2): T0H割り込み要求発生許可制御

このビットとT0HCMPがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

T0

T0LCMP (ビット1): T0L一致フラグ

T0Lが動作している(T0LRUN=1)時に、T0Lの値とT0Lの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0LIE (ビット0): T0L割り込み要求発生許可制御

このビットとT0LCMPがともに1の時、ベクタアドレス0013Hへの割り込み要求が発生します。

注意:

- ・T0HCMP, T0LCMPは命令で0にしてください。
- ・16ビットモードで使用する時は、T0LRUNとT0HRUNは同時に同じ値を設定して、動作を制御してください。
- ・16ビットモードでは、T0LCMPとT0HCMPは同時にセットされます。

3-5-4-2 タイマ0プログラマブルプリスケラー 一致レジスタ(TOPRR)

①タイマ0プログラマブルプリスケラー 一致レジスタは、タイマ/カウンタ0のクロック周期(Tpr)の設定を行う8ビットのレジスタです。

②TOPRRにデータを書き込むと、プリスケラのカウンタ値は0からスタートします。

③ $Tpr = (TOPRR + 1) \times Tcyc$ Tcyc = サイクルクロックの周期

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE11	0000 0000	R/W	TOPRR	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0

3-5-4-3 タイマ/カウンタ0下位(T0L)

①読み出し専用の8ビットのタイマ/カウンタです。プリスケラの一一致信号、または、外部信号をカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0

3-5-4-4 タイマ/カウンタ0上位(T0H)

①読み出し専用の8ビットのタイマ/カウンタです。プリスケラの一一致信号、または、T0Lのオーバーフローをカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0

3-5-4-5 タイマ/カウンタ0一致データレジスタ下位(T0LR)

①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一一致が必要)

②一致バッファレジスタの更新は以下のように行われます。

非動作時(T0LRUN=0)には、T0LRと一致レジスタは同値となる。

動作時(T0LRUN=1)には、一致バッファレジスタは一致信号の発生時にT0LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0

3-5-4-6 タイマ／カウンタ0一致データレジスタ上位 (T0HR)

- ① T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
- 非動作時 (T0HRUN=0) には、T0HRと一致レジスタは同値となる。
- 動作時 (T0HRUN=1) には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0

3-5-4-7 タイマ／カウンタ0キャプチャレジスタ下位 (T0CAL)

- ① 外部入力検出信号により、タイマ／カウンタ0下位 (T0L) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0

3-5-4-8 タイマ／カウンタ0キャプチャレジスタ上位 (T0CAH)

- ① 外部入力検出信号により、タイマ／カウンタ0上位 (T0H) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

T6, T7

3-6 タイマ6, 7 (T6, T7)

3-6-1 概要

本シリーズが内蔵しているタイマ6 (T6), タイマ7 (T7) は、それぞれ独立に制御される2本の6ビットプリスケアラ付8ビットタイマです。

3-6-2 機能

①タイマ6 (T6)

タイマ6は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。また、タイマ6周期のトグル波形をP06端子に出力できます。

$$T6 \text{ の周期} = (T6R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

②タイマ7 (T7)

タイマ7は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。また、タイマ7周期のトグル波形をP07端子に出力できます。

$$T7 \text{ の周期} = (T7R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

③割り込みの発生

タイマ6またはタイマ7の周期でオーバフローフラグがセットされ、対応する割り込み要求許可ビットがセットされている場合、ベクタアドレス0043Hへの割り込み要求が発生します。

④タイマ6 (T6), タイマ7 (T7)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T67CNT, T6R, T7R
- ・P0, P0DDR, P0FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE78	0000 0000	R/W	T67CNT	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE
FE7A	0000 0000	R/W	T6R	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0
FE7B	0000 0000	R/W	T7R	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0
FE42	00HH HHHH	R/W	P0FCR	T7OE	T6OE	-	-	-	-	-	-

3-6-3 回路構成

3-6-3-1 タイマ6, 7制御レジスタ (T67CNT) (8ビットレジスタ)

①T6, T7の動作, 割り込みの制御を行います。

3-6-3-2 タイマ6カウンタ (T6CTR) (8ビットカウンタ)

①タイマ6プリスケアラ (T6PR) からのクロックをカウントし、タイマ6周期設定レジスタ (T6R) の値に達した次のクロックで、タイマ6カウンタ (T6CTR) の値は0になり、割り込みフラグ (T6OV) がセットされます。

- ②T6C0, T6C1 (T67CNT:FE78のビット4, 5)の値がともに0の時、タイマ6カウンタはカウント値0で停止します。これ以外の場合はタイマ6の動作を続けます。
- ③タイマ6動作中に、T6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

3-6-3-3 タイマ6プリスケアラ(T6PR) (6ビットカウンタ)

- ①T6C0, T6C1 (T67CNT:FE78のビット4, 5)の値でタイマ6のクロックを設定します。

表 3-6-1 タイマ6のカウントクロック

T6C1	T6C0	T6のカウントクロック
0	0	タイマ6のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

3-6-3-4 タイマ6周期設定レジスタ(T6R) (8ビットレジスタ)

- ①タイマ6の周期設定用レジスタです。
- ②タイマ6動作中にT6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

3-6-3-5 タイマ7カウンタ(T7CTR) (8ビットカウンタ)

- ①タイマ7プリスケアラ(T7PR)からのクロックをカウントし、タイマ7周期設定レジスタ(T7R)の値に達した次のクロックで、タイマ7カウンタ(T7CTR)の値は0になり、割り込みフラグ(T7OV)がセットされます。
- ②T7C0, T7C1 (T67CNT:FE78のビット6, 7)の値がともに0の時、タイマ7カウンタはカウント値0で停止します。これ以外の場合はタイマ7の動作を続けます。
- ③タイマ7動作中に、T7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

3-6-3-6 タイマ7プリスケアラ(T7PR) (6ビットカウンタ)

- ①T7C0, T7C1 (T67CNT:FE78のビット6, 7)の値でタイマ7のクロックを設定します。

表 3-6-2 タイマ7のカウントクロック

T7C1	T7C0	T7のカウントクロック
0	0	タイマ7のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

3-6-3-7 タイマ7周期設定レジスタ(T7R) (8ビットレジスタ)

- ①タイマ7の周期設定用レジスタです。
- ②タイマ7動作中にT7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

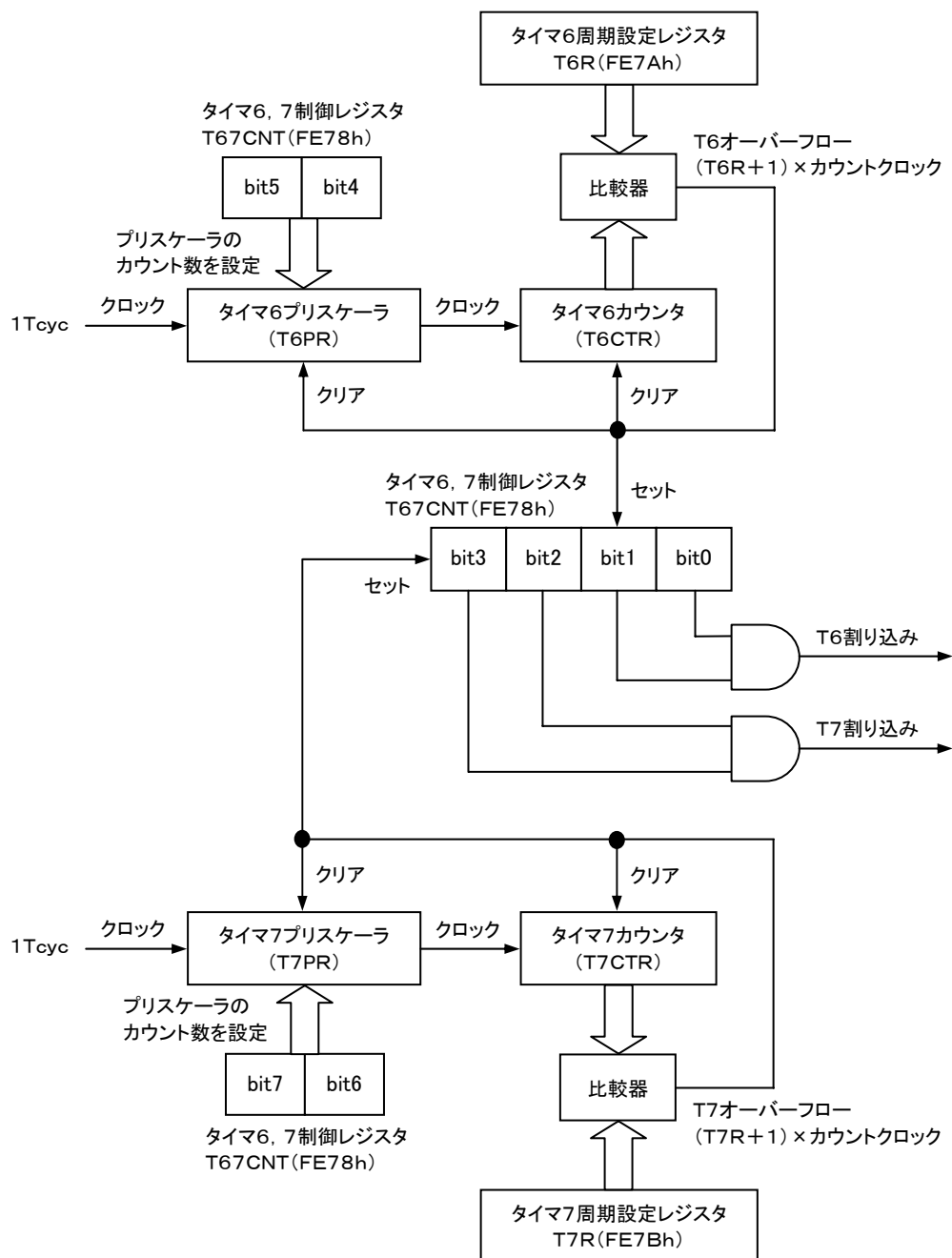


図 3-6-1 タイマ6, 7動作ブロック図

3-6-4 関連レジスタ

3-6-4-1 タイマ6, 7制御レジスタ(T67CNT)

①T6, T7の動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE78	0000 0000	R/W	T67CNT	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE

T7C1 (ビット7): T7カウントクロック制御

T7C0 (ビット6): T7カウントクロック制御

T7C1	T7C0	T7のカウントクロック
0	0	タイマ7のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T6C1 (ビット5): T6カウントクロック制御

T6C0 (ビット4): T6カウントクロック制御

T6C1	T6C0	T6のカウントクロック
0	0	タイマ6のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T7OV (ビット3): T7オーバフローフラグ

タイマ7が動作している時、タイマ7の周期ごとにセットされます。
このフラグは命令でクリアしてください。

T7IE (ビット2): T7割り込み要求発生許可制御

このビットとT7OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

T6OV (ビット1): T6オーバフローフラグ

タイマ6が動作している時、タイマ6の周期ごとにセットされます。
このフラグは命令でクリアしてください。

T6IE (ビット0): T6割り込み要求発生許可制御

このビットとT6OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

3-6-4-2 タイマ6周期設定レジスタ(T6R)

①タイマ6の周期設定を行う8ビットのレジスタです。

$$\text{タイマ6の周期} = (\text{T6R設定値} + 1) \times \text{タイマ6プリスケアラ設定値} \\ (4, 16 \text{ or } 64\text{Tcyc})$$

②タイマ6動作中にT6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7A	0000 0000	R/W	T6R	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0

3-6-4-3 タイマ7周期設定レジスタ(T7R)

①タイマ7の周期設定を行う8ビットのレジスタです。

$$\text{タイマ7の周期} = (\text{T7R設定値} + 1) \times \text{タイマ7プリスケアラ設定値} \\ (4, 16 \text{ or } 64T_{cyc})$$

②タイマ7動作中にT7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7B	0000 0000	R/W	T7R	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0

3-6-4-4 ポート0機能制御レジスタ(P0FCR)

①ポート0の兼用出力の制御を行う2ビットのレジスタです。タイマ6, タイマ7のトグル出力の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	00HH HHHH	R/W	P0FCR	T7OE	T6OE	-	-	-	-	-	-

T7OE(ビット7)

P07端子のタイマ7トグル出力の制御を行う場合に操作します。

P07が入力モードの時、このビットは無効です。

P07が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ7周期でトグルする波形とポートデータラッチのORを出力します。

T6OE(ビット6)

P06端子のタイマ6トグル出力の制御を行う場合に操作します。

P06が入力モードの時、このビットは無効です。

P06が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ6周期でトグルする波形とポートデータラッチのORを出力します。

3-7 シリアルインタフェース1 (SIO1)

3-7-1 概要

本シリーズが内蔵しているシリアルインタフェース1 (SIO1) は、次の4つの機能を持ちます。

- ①モード0: 同期式8ビットシリアルIO
(2線式または3線式, 転送クロック2~512Tcyc)
- ②モード1: 非同期シリアル
(半二重, データ8ビット, ストップビット1, ボーレイト8~2048Tcyc)
- ③モード2: BUSマスター(スタートビット, データ8ビット, 転送クロック2~512Tcyc)
- ④モード3: BUSスレーブ(スタート検出, データ8ビット, ストップ検出)

3-7-2 機能

- ①モード0: 同期式8ビットシリアルIO
 - ・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
 - ・内部クロックの周期は2~512Tcycの範囲で可変です。
- ②モード1: 非同期シリアル (UART)
 - ・データ8ビット, ストップビット1ビットの半二重の非同期通信を行います。
 - ・ボーレイトは8~2048Tcycの範囲で可変です。
- ③モード2: BUSマスター
 - ・BUSのマスターコントローラとして使用します。
 - ・スタートコンディションは自動生成しますが、ストップコンディションはポートを操作して発生してください。
 - ・クロック同期を行います。転送時のバスデータを転送終了後確認できますのでモード3と合わせてマルチマスター対応が可能です。
 - ・出力クロックの周期は2~512Tcycの範囲で可変です。
- ④モード3: BUSスレーブ
 - ・BUSのスレーブデバイスとして使用します。
 - ・スタート/ストップコンディション検出は行いますが、アドレスの一致検出とアクノレッジの出力には、プログラムの介入が必要です。
 - ・プログラムで判断をするため、第8クロックの立ち下がりで自動的にクロックラインにLOWを出力した後、割り込みをかけることができます。
- ⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求が発生します。
- ⑥シリアルインタフェース1 (SIO1) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・SCON1, SBUF1, SBR1
- ・P1, P1DDR, P1FCR

SIO1

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-7-3 回路構成

3-7-3-1 SIO1制御レジスタ(SCON1) (8ビットレジスタ)

① SIO1の動作、割り込みの制御を行います。

3-7-3-2 SIO1シフトレジスタ(SIOSF1) (8ビットシフトレジスタ)

① SIO1のデータ転送・受信のためのシフトレジスタです。

② 命令で直接アクセスできません。SBUF1を通してアクセスします。

3-7-3-3 SIO1データレジスタ(SBUF1) (9ビットレジスタ)

① データ転送開始時、SBUF1の下位8ビットがSIOSF1に転送されます。

② データ転送終了時、SBUF1の下位8ビットにSIOSF1の内容が入ります。モード1, 2, 3では、SBUF1のビット8に、9番目の入力データが入るのでストップビット等の確認ができます。

3-7-3-4 SIO1ボーレートジェネレータ(SBR1) (8ビットリロードカウンタ)

① 内部クロック発生用のリロードカウンタです。

② モード0, 2では2～512T_{cyc}周期、モード1では8～2048T_{cyc}周期のクロックを発生できます。

表 3-7-1 各モードでのSIO1の動作

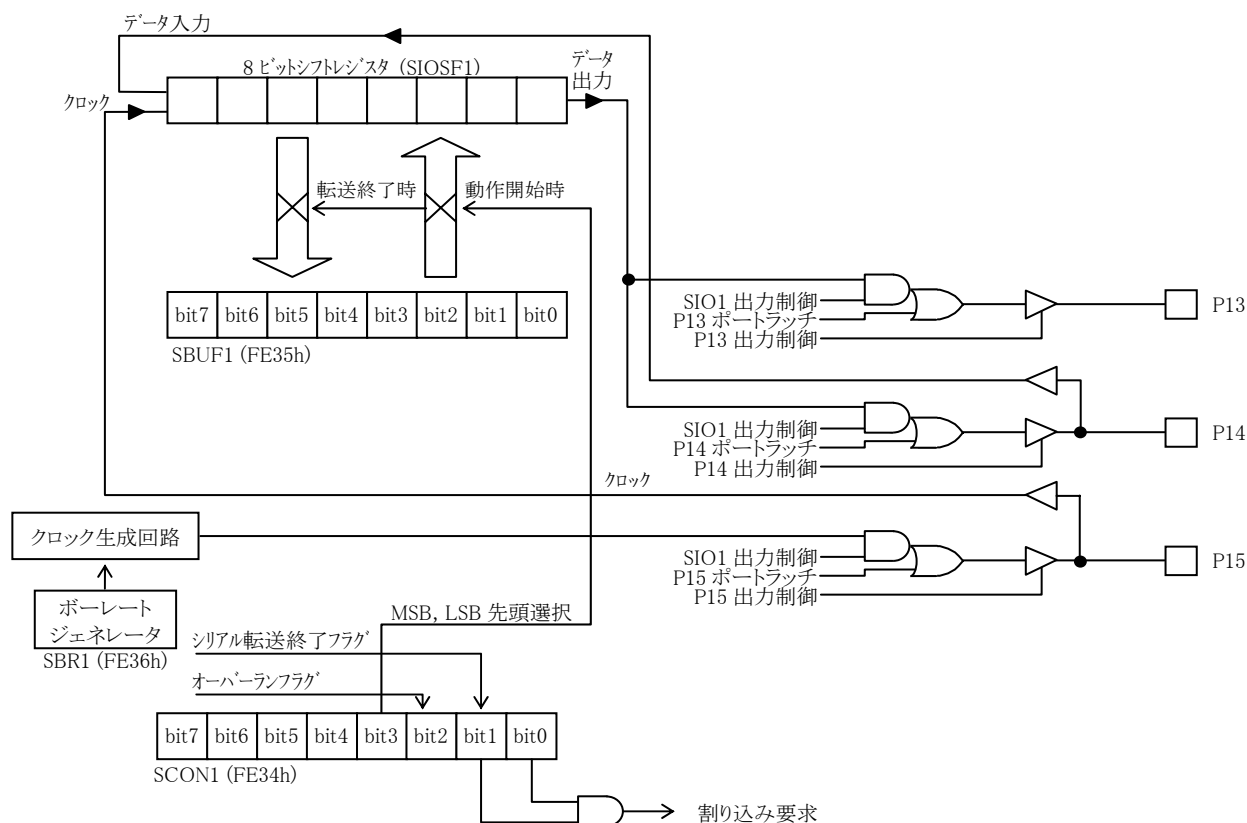
		同期式(モード 0)		UART(モード 1)		BUSマスタ(モード 2)		BUSスレーブ(モード 3)	
		転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
スタートビット		なし	なし	出力 (LOW)	入力 (LOW)	下①②参照	不要	不要	下②参照
データ出力		8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)
データ入力		8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←
ストップビット		なし	←	出力 (HIGH)	入力 (H/L)	入力 (H/L)	出力 (SBUF1 bit8)	入力 (H/L)	出力 (L)
クロック		8	←	9 (内部)	←	9	←	第 8 クロック の↓で LOW 出力	←
動作開始		SI1RUN ↑	←	① SI1RUN ↑ ② スタートビット の検出	スタートビット の検出	① SI1RUN=1 の時の SI1END ↓ でスタートビット なし ② SI1END=0 の時の SI1RUN ↑ でスタートビット 付き	左の①	右の①	① SI1RUN=1 の時の SI1END ↓ でクロックを 解放 ② SI1RUN=0 かつ SI1END=0 の時の スタートビット の検出
動作周期		2-512Tcyc	←	8-2048 Tcyc	←	2-512Tcyc	←	2-512Tcyc	←
SI1RUN (bit5)	セ ット	命令	←	①命令 ②スタートビット の検出	スタートビット の検出	命令	既にセットさ れている	既にセットさ れている	スタートビット の検出
	ク リ ア	終了時	←	ストップビット の終わり	←	① ストップコンデ ーション検出 ② アービトラージ ンロスト時 (注1)	←	① ストップコンデ ーション検出 ② アクレジジ 1 の検出	←
SI1END (bit1)	セ ット	終了時	←	ストップビット の終わり	←	①第 9 クロ ックの↑ ②ストップコン デーション 検出	←	①第 8 クロ ックの↓ ②ストップコン デーション 検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←

(注 1) 第 1～第 8 クロック立ち上がり時に、内部データ出力値 = ‘H’ かつ、データポート = ‘L’ の場合、バス競合負けと判断し、SI1RUN がクリアされます (クロック送出もその時点で停止します)。

(次 ページへ続く)

表 3-7-1 (続き)

		同期式(モード'0)		UART(モード'1)		BUSマスタ(モード'2)		BUSスレーブ(モード'3)	
		転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
SI1OVR (bit2)	セ ツ ト	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立	←	① SI1END=1 で SI1END セット条件成 立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立 ③ スタートビット の検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←
シフタのデータ 更新		動作開始 時 SBUF1 →シフタ	←	動作開始 時 SBUF1 →シフタ	←	動作開始 時 SBUF1 →シフタ	←	動作開始 時 SBUF1 →シフタ	←
シフタ→SBUF1 (bit0-7)		第 8 クロック の↑	←	8ビットデータ 転送時	8ビットデータ 受信時	第 8 クロック ↑	←	第 8 クロック ↑	←
SBUF1 bit8 の データ自動更新		なし	←	ストップビット 時に入力 データを取り 込む	←	第 9 クロック ↑に入力デ ータを取り込 む	←	第 9 クロック ↑に入力デ ータを取り込 む	←

図 3-7-1 SIO1モード0:同期式8ビットシリアルI/O
(SI1M1=0, SI1M0=0)ブロック図

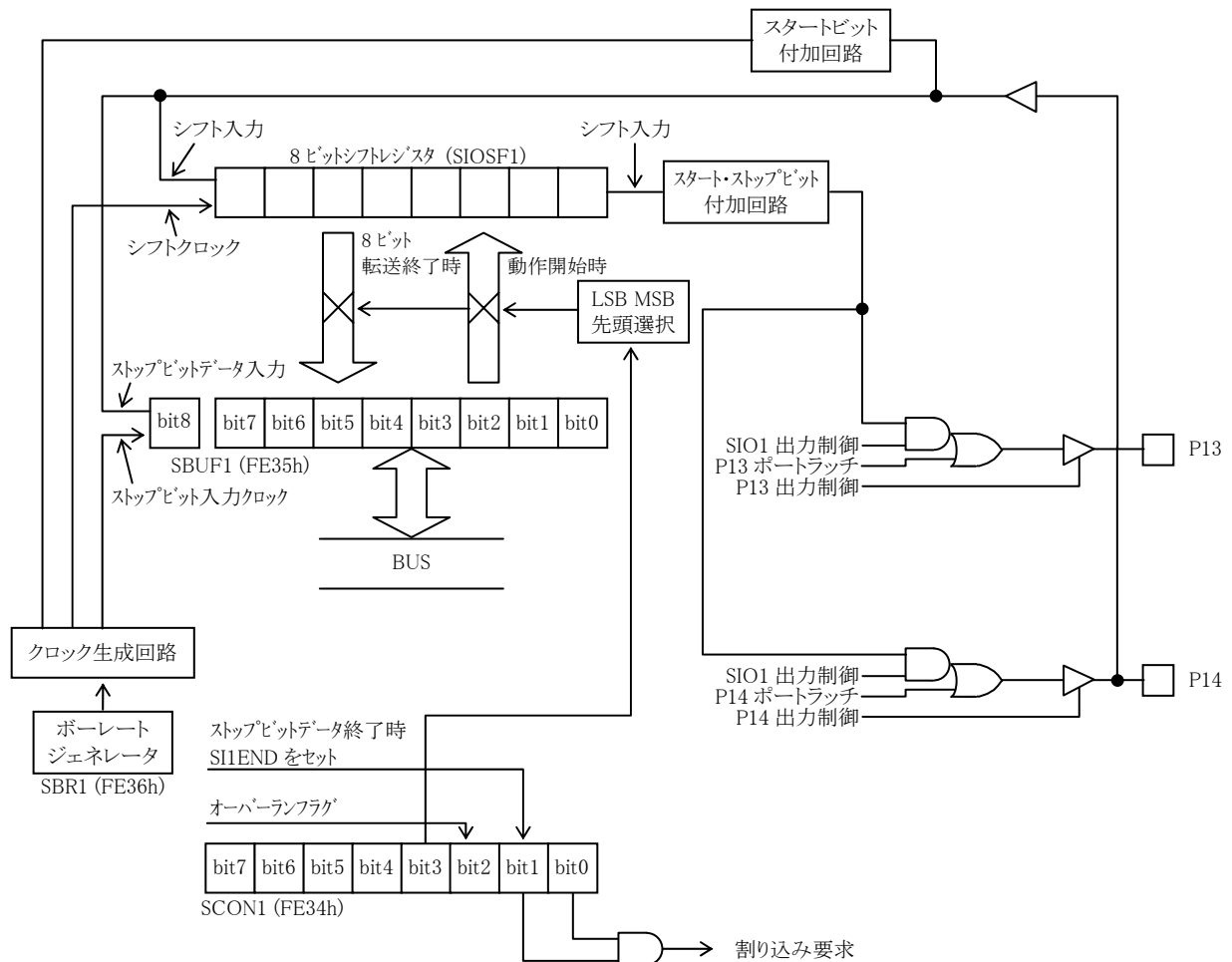


図 3-7-2 SIO1モード1:非同期シリアル[UART]
(SI1M1=0, SI1M0=1)ブロック図

SIO1

3-7-4 SIO1通信の具体例

3-7-4-1 同期式(モード0)

①クロックの設定

- ・内部クロック使用の場合、SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートとSI1REC(ビット4)の設定をする。

	クロック用ポート P15
内部クロック	出力
外部クロック	入力

	データ出力ポート P13	データ入出力ポート P14	SI1REC
データ送信のみ	出力	—	0
データ受信のみ	—	入力	1
データ送受信(3線式)	出力	入力	0
データ送受信(2線式)	—	Nchオープンドレイン出力	0

④出力データの設定

- ・データ送信(SI1REC=0)の場合、SBUF1に出力データを書き込む。

⑤動作スタート

- ・SI1RUNをセットする。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

3-7-4-2 非同期式(モード1)

①ボーレイトの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=1, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートの設定をする。

	データ出力ポート P13	データ入出力ポート P14
データ送受信(2線式)	出力	入力
データ送受信(1線式)	—	Nchオープンドレイン出力

④送信動作スタート

- ・SI1RECを0にして、SBUF1に出力データを書き込む。
- ・SI1RUNをセットする。

注意：モード1の送信のみを行う場合は、SIO1のデータ入出力ポート(P14)を使用してください。

モード1では、受信データの立ち下がりを検出すると自動的に送信がスタートします。モード1設定中は、データ入出力ポート(P14)で、常にデータの立ち下がり検出が行われます。したがって、送信ポートをデータ出力ポート(P13)に設定した場合、P14の状態変化によってデータ送信が勝手にスタートする可能性があります。

⑤受信動作スタート

- ・SI1RECを1にする。(SI1RECを1にセットした後は、SI1ENDのフラグがセットされるまでは、SCON1レジスタに書き込みは行わないで下さい。)
- ・受信データの立ち下がり検出。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

注意：モード1(UART)で連続受信を行う場合、以下の条件を満たしてください。

- ・ストップビットは2ビット以上。
- ・割り込み処理によるSI1ENDのクリアは、次のスタートビットが来る前に終了。

3-7-4-3 BUSマスタモード(モード2)

①クロックの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

③ポートの設定をする

- ・クロックポート、データポートをNchオープンドレイン出力ポートにする。

④通信スタート(アドレス送信)

- ・SBUF1にアドレスデータを書き込む。
- ・SI1RUNをセットする。(スタートビット+SBUF1(8ビット)+ストップビット(H)の転送を行う。)

⑤アドレスデータの確認(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・アクノレッジをPSWのビット1をみて確認する。

SIO1

- ・バス競合負けの条件が起こった場合（表3-7-1 注1 参照）、SI1RUNがクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。

⑥データの送信

- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。（SBUF1（8ビット）+ストップビット（H）の転送を行う。）

⑦送信データの確認（割り込み後）

- ・SBUF1を読み込む。（SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。）
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合（表3-7-1 注1 参照）、SI1RUNがクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。
- ・引き続きデータを送る場合は⑥に戻る。
- ・通信を終了する場合は⑩に行く。

⑧データの受信

- ・SI1RECを1にする。
- ・SI1ENDをクリアし、割り込みを抜ける。（受信（8ビット）+SBUF1 ビット8（アクノレッジ）出力を行う。）

⑨受信データの読み込み（割り込み後）

- ・SBUF1を読み込む。
- ・引き続きデータを受信する場合は⑧に戻る。
- ・通信を終了する場合は⑩の*に行く。この時、アクノレッジデータとして（SBUF1 ビット8）が既に出力され、マスタ側のクロックの解放は行われています。

⑩通信の終了

- ・クロック出力ポートを操作し（P15FCR=0, P15DDR=1, P15=0）、クロック出力に0を出す。
- ・データ出力ポートを操作し（P14FCR=0, P14DDR=1, P14=0）、データ出力に0を出す。
- ・クロック出力ポートをもとに戻し（P15FCR=1, P15DDR=1, P15=0）、クロック出力を解放する。
- *・全てのスレーブがクロックを解放し、クロックが1になるのを待つ。
- ・データセットアップ時間を取り、データ出力ポートを操作し（P14FCR=0, P14DDR=1, P14=1）、データ出力に1を出す。この時、SIO1オーバランフラグ：SI1OVR（SCON1:FE34のビット2）がセットされますが、動作に支障はありません。
- ・データ出力ポートをもとに戻す（P14FCR=1に設定した後、P14DDR=1, P14=0とする。）。
- ・SI1ENDとSI1OVRをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

3-7-4-4 BUSスレーブ(モード3)

①クロックの設定

- ・SBR1の設定をする。(アクノレッジデータセットアップ時間の設定のため)

②モードの設定

- ・SI1M0=1, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

③ポートの設定をする

- ・クロックポート, データポートをNchオープンドレイン出力ポートにする。

④通信スタート(アドレス待ち)

- *1・SI1RECをセットする。
- *2・スタートビットの検出でSI1RUNが自動的にセットされる。
 - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。

⑤アドレスデータの確認(割り込み後)

- ・スタートコンディションを検出すると、SI1OVRがセットされるので、SI1RUN=1 & SI1OVR=1を確認することで、アドレスを受信したことを判別する。
(SI1OVRは自動的にクリアされないなので、ソフトでクリアしてください)
- ・SBUF1を読み込み、アドレスを確認する。
- ・アドレスが一致しない場合、SI1RUNとSI1ENDをクリアし割り込みを抜け、⑧の*でストップコンディション検出を待つ。

⑥データの受信

- *・SI1ENDをクリアし、割り込みを抜ける。(前に受信を行っていた場合アクノレッジを出し、(SBR1の設定値+1)×Tcyc時間後クロックポートを解放します。)
 - ・ストップコンディションを検出すると、SI1RUNが自動的にクリアされ、割り込みがかかるので、SI1ENDをクリアし割り込みを抜け、④の*2に戻る。
 - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。ただし、途中でスタートコンディションを検出するとクロックカウンタはクリアされますので、割り込みの発生には更に8個のクロックが必要です。
 - ・SBUF1を読み込み、データを格納する。
- 注意：SBUF1のビット8は、第9クロック↑がきてないのでまだ更新されていません。
- ・受信を続ける場合⑥の*に戻る。

⑦データの送信

- ・SI1RECをクリアする。
- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。(前の受信のアクノレッジを出し、(SBR1の設定値+1)×Tcyc時間後クロックポートを解放します。)
- *1・送信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。
- *2・SI1RUNが1の時、⑦の*3に行きます。
 - ・SI1RUNが0の時、⑦の*4からの割り込みなので、SI1ENDとSI1OVRをクリアして④の*1に戻る。
- *3・必要に応じて、SBUF1を読み込み、送信データを確認する。

SIO1

注 意：SBUF1のビット8は、第9クロック↑がきてないのでまだ更新されていません。

- ・SBUF1に次の出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。((SBR1の設定値+1)×T_{cyc}時間後のクロックポートを解放します。)
- ・マスタからのアクノレッジがある(L)場合は、⑦の*1に戻ります。
- ・マスタからのアクノレッジがない(H)場合は、データ送信の終了とみなし、SI1RUNを自動的にクリアし、データポートを解放します。

※ただし、この直後に再スタートコンディションが来る場合、SI1REC=1にしてから割り込みを抜ける必要があります(SI1RECは、スタートコンディションの検出で、自動的にセットされません)。

スレーブ送信動作直後に想定外の再スタートがきた場合(SI1RECをソフトで1にしていない場合)、マスタのアドレス送信を妨害する可能性があります。

*4・ストップコンディションを検出すると、割り込みがかかり、⑦の*2に戻ります。

⑧通信の終了

- ・SI1RECをセットします。
- ・自動的に終了させる場合は⑥の*に戻ります。
- ・強制的に終了する場合は、SI1RUNとSI1ENDをクリアする。(クロックポートを解放します。)
- *・ストップコンディションを検出すると、割り込みがかかるので、SI1ENDとSI1OVRをクリアして④の*2に戻る。

3-7-5 関連レジスタ

3-7-5-1 SIO1制御レジスタ(SCON1)

①SIO1の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE

SI1M1(ビット7):SIO1 モード制御

SI1M0(ビット6):SIO1 モード制御

表 3-7-2 SIO1 動作モード

モード	SI1M1	SI1M0	動作モード
0	0	0	同期式8ビットSIO
1	0	1	UART(STOP-BIT1, PARITYなし)
2	1	0	BUSマスタ対応モード
3	1	1	BUSスレーブ対応モード

SI1RUN(ビット5):SIO1動作フラグ

- ① このビットが1の時、SIO1は動作中です。
- ② このビットのセット・クリアについては、表 3-7-1を参照してください。

SI1REC(ビット4):SIO1受信／送信制御

- ① このビットが1の時、SIO1は受信モードとなります。
- ② このビットが0の時、SIO1は送信モードとなります。

SI1DIR (ビット3) : MSB/LSB先頭選択

- ① このビットが1の時、SIO1はMSB先頭となります。
- ② このビットが0の時、SIO1はLSB先頭となります。

SI1OVR (ビット2) : SIO1オーバランフラグ

- ① モード0, 1, 3の時、SI1RUN=0の状態、入力クロックの立ち下がりを検出すると、このビットがセットされます。
- ② SI1END=1の状態、SI1ENDをセットする条件が成立すると、このビットがセットされます。
- ③ モード3の時、スタートコンディションの検出で、このビットがセットされます。
- ④ このビットのクリアは命令で行ってください。

SI1END (ビット1) : シリアル転送終了フラグ

- ① シリアル転送が終了(表3-7-1参照)すると、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

SI1IE (ビット0) : SIO1割り込み要求発生許可制御

- ① このビットとSI1ENDがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

3-7-5-2 シリアルバッファ1 (SBUF1)

- ① SIO1のシリアル転送で扱うデータの格納を行う9ビットのレジスタです。
- ② 動作の開始時に、SBUF1の下位8ビットのデータが送受信のデータシフトレジスタに転送され、8ビットのデータ転送時に、送受信のシフトレジスタの内容がSBUF1の下位8ビットに入ります。
- ③ モード1, 2, 3では、9番目のデータ(ストップビットの位置のデータ)入力時に、このデータがSBUF1のビット8に入ります。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10

3-7-5-3 ボーレートジェネレータレジスタ (SBR1)

- ① SIO1のシリアル転送の転送レートを設定する8ビットのレジスタです。
- ② このレジスタにデータを書き込むと、直ちにボーレートジェネレータ用のカウンタが初期化されます。
- ③ 転送レートはモードにより異なります。(モード3ではボーレートジェネレータは動作しません。)

モード0, 2 : $TSBR1 = (SBR1の設定値 + 1) \times 2T_{cyc}$
(設定範囲 2 ~ 512T_{cyc})

モード1 : $TSBR1 = (SBR1の設定値 + 1) \times 8T_{cyc}$
(設定範囲 8 ~ 2048T_{cyc})

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-8 ADコンバータ(ADC12)

3-8-1 概要

本シリーズは、下記の特長を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ①12ビット分解能
- ②逐次比較方式
- ③AD変換モード切り替え機能(分解能切り替え)
- ④8チャネルアナログ入力
- ⑤変換時間切り替え機能

3-8-2 機能

①逐次比較方式

- ・12ビットの分解能を持っています。
- ・変換には、変換開始から所定の変換時間が必要です。
- ・変換結果は、AD変換結果レジスタ(ADRLC, ADRHC)に転送されます。

②AD変換切り替え機能(分解能切り替え)

使用条件に合わせ分解能を切り替えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ(ADMRC)で行います。

③8チャネルアナログ入力

変換される信号は、P00～P06及びP70から入力される8種類のアナログ信号からAD制御レジスタ(ADCRC)で選択されます。

④変換時間切り替え機能

AD変換時間を1/1～1/128(分周比)に切り替えることができます。適切なAD変換ができるようにADモードレジスタ(ADMRC)とAD変換結果下位レジスタ(ADRLC)によって切り替えます。

⑤ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・ADCRC, ADMRC, ADRLC, ADRHC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-8-3 回路構成

3-8-3-1 AD変換制御回路

①AD変換制御回路には12ビットAD変換モードと8ビットAD変換モードがあります。

3-8-3-2 比較回路

①入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCRC)の変換終了フラグ(ADENDF)がセットされます。
変換結果は、AD変換結果レジスタ(ADRHC, ADRLC)に格納されます。

3-8-3-3 マルチプレクサ1(MPX1)

①8チャンネルからAD変換するアナログ信号を選択します。

3-8-3-4 基準電圧自動発生回路

①ラダー抵抗とマルチプレクサ(MPX2)で構成されており、比較回路に出力する基準電圧を発生します。基準電圧の発生制御は、AD変換を開始すると自動的に基準電圧が発生し、終了すると自動的に停止します。基準電圧はVDD～VSSの範囲で作成されます。

3-8-4 関連レジスタ

3-8-4-1 AD制御レジスタ(ADCRC)

①ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	ADIE

ADCHSEL3(ビット7):
ADCHSEL2(ビット6):
ADCHSEL1(ビット5):
ADCHSEL0(ビット4):

} AD変換入力信号選択

AD変換する信号を選択します。

ADC12

AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	信号入力端子
0	0	0	0	P00／AN0
0	0	0	1	P01／AN1
0	0	1	0	P02／AN2
0	0	1	1	P03／AN3
0	1	0	0	P04／AN4
0	1	0	1	P05／AN5
0	1	1	0	P06／AN6
0	1	1	1	—
1	0	0	0	P70／AN8

ADCRC3(ビット3): 固定ビット
‘0’固定で使 用 します。

ADSTART(ビット2): AD変換動作制御

AD変換を開始(1)／停止(0)します。‘1’の設定時、AD変換が開始され、AD変換が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)とADモードレジスタ(ADMRC)のADTM1, ADTM0の3ビットで行います。

‘0’の設定時、AD変換が停止します。AD変換動作中にクリアすると正しい変換結果が得られません。

AD変換動作中は、絶対にクリアまたはHALT, HOLD状態にしないでください。

ADENDF(ビット1): AD変換終了フラグ

AD変換の終了を知らせます。AD変換が終了するとセット(1)されます。

ADIEが‘1’の場合、ベクタアドレス0043Hへの割り込み要求が発生し、‘0’の場合、AD変換が動作していないことを示しています。

このフラグは、命令でクリアしてください。

ADIE(ビット0): AD変換割り込み要求発生許可制御

このビットとADENDFがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

注意:

- ADCHSEL3～0の‘0111’と‘1001’～‘1111’設定を禁止します。
- ADSTARTが‘1’の動作状態でホールドモード状態にしないでください。必ず、‘0’になったことを確認してからホールドモード状態にしてください。
- 変換動作中はADCRC(FE58h)レジスタに対して、読み出し命令、ブランチ命令、コンペア命令以外は実行しないでください。但し、変換動作中に停止する場合には構いません。

3-8-4-2 ADモードレジスタ(ADMRC)

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0

ADMD4(ビット7):固定ビット
 ‘0’固定で使用します。

ADMD3(ビット6):AD変換モード制御(分解能切り替え)

ADコンバータの分解能を12ビットAD変換モード(0)/8ビットAD変換モード(1)に切り替えます。

‘1’の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果レジスタ(ADRH C)のみセットされ、AD変換結果下位レジスタ(ADRLC)は変化しません。

‘0’の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH C)とAD変換結果下位レジスタ(ADRLC)の上位4ビットにセットされます。

ADMD2(ビット5):固定ビット
 ‘0’固定で使用します。

ADMD1(ビット4):固定ビット
 ‘0’固定で使用します。

ADMD0(ビット3):固定ビット
 ‘0’固定で使用します。

ADMR2(ビット2):固定ビット
 ‘0’固定で使用します。

ADTM1(ビット1):
 ADTM0(ビット0): } AD変換時間制御

AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)の1ビットと合わせて3ビットで変換時間を制御します。

ADRLC レジスタ	ADMRC レジスタ		AD分周比
ADTM2	ADTM1	ADTM0	
0	0	0	1/1
0	0	1	1/2
0	1	0	1/4
0	1	1	1/8
1	0	0	1/16
1	0	1	1/32
1	1	0	1/64
1	1	1	1/128

ADC12

変換時間算出方法

- ・12ビットAD変換モード : 変換時間 = $((52 / (\text{AD分周比})) + 2) \times (1 / 3) \times T_{\text{cyc}}$
- ・8ビットAD変換モード : 変換時間 = $((32 / (\text{AD分周比})) + 2) \times (1 / 3) \times T_{\text{cyc}}$

注意:

- ・変換時間は下記の時、通常時の2倍となります。
 - ①システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ②AD変換モードを8ビットAD変換モードから12ビット変換ADモードに切り替え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-8-4-3 AD変換結果下位レジスタ(ADRLC)

- ①12ビットAD変換モード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2

DATAL3(ビット7):
DATAL2(ビット6):
DATAL1(ビット5):
DATAL0(ビット4):

} AD変換結果の下位4ビットデータ

ADRL3(ビット3): 固定ビット
‘0’固定で使用します。

ADRL2(ビット2): 固定ビット
‘0’固定で使用します。

ADRL1(ビット1): 固定ビット
‘0’固定で使用します。

ADTM2(ビット0): AD変換時間制御

ADモードレジスタ(ADMRC)のADTM1(ビット1), ADTM0(ビット0)の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照してください。

注意:

- ・変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。

3-8-4-4 AD変換結果上位レジスタ(ADRHC)

- ① 12ビットAD変換モード時、AD変換結果の上位8ビットを格納するレジスタです。8ビットAD変換モード時、AD変換結果の全8ビットを格納するレジスタです。
- ② AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-8-5 ADC動作の具体例

3-8-5-1 12ビットAD変換モード

- ① 12ビットAD変換モードの設定
- ADモードレジスタ(ADMRC)のADMD3(ビット6) = 0にします。
- ② 変換時間の設定
- 変換時間を1/32分周に設定する場合、AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0) = 1にし、ADモードレジスタ(ADMRC)のADTM1(ビット1) = 0、ADTM0(ビット0) = 1にします。
- ③ 入力チャネルの設定
- ADチャネル入力のAN5を使用する場合、AD制御レジスタ(ADCRC)のADCHSEL3(ビット7) = 0、ADCHSEL2(ビット6) = 1、ADCHSEL1(ビット5) = 0、ADCHSEL0(ビット4) = 1にします。
- ④ AD変換スタート
- AD制御レジスタ(ADCRC)のADSTART(ビット2) = 1にします。
 - システムリセット後と8ビットAD変換モードから12ビットAD変換モードに切り替えた時、最初の変換時間は通常の2倍となります。2回目以降は通常の変換時間となります。
- ⑤ AD変換終了フラグの検知
- AD制御レジスタ(ADCRC)のADENDF(ビット1) = 1になるまでモニタします。
 - ADENDF(ビット1) = 1になったことを確認後、終了フラグのADENDFを0にクリアします。
- ⑥ AD変換データの読み込み
- AD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)を読み込みます。読み込んだ変換データには誤差(量子化誤差+総合誤差)が含まれていますので、最新の「半導体ニュース」の規格に従って有効となる変換データを使用します。
 - 上記読み出しデータをソフトウェアアプリケーション処理へ
 - 再動作の場合④に戻ります。

3-8-6 ADC使用上の留意点

- ① サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、必ず最新の「半導体ニュース」を参照してください。
- ② 変換動作中にADSTART=0にすると、変換動作が停止します。
- ③ 変換動作中にホールドモード状態にしないでください。必ず、ADSTARTが‘0’になったことを確認してからホールドモード状態にしてください。
- ④ 変換中にリセット状態に入ると、自動的にADSTARTがリセットされ変換動作を停止します。
- ⑤ 変換を終了するとAD変換終了フラグ(ADENDF)がセットされ、同時にAD変換動作制御ビット(ADSTART)がリセットされます。変換終了はADENDFをモニタすることによって確認できます。また、ADIEをセットすることによって、変換終了でベクタアドレス0043Hへの割り込み要求が発生します。
- ⑥ 変換動作中はADCRC(FE58h)レジスタに対して、読み出し命令、ブランチ命令、コンペア命令以外は実行しないでください。但し、変換の動作中に停止する場合には構いません。
- ⑦ 変換時間は下記の時、通常時の2倍となります。
 - ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ・AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切り替え、最初のAD変換を行った時。2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。
- ⑧ 変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。
- ⑨ P00/AN0～P06/AN6, P70/AN8への入力電圧は規格の範囲で使用してください。

特にVDD以上, VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。
- ⑩ ノイズ等による変換精度の低下を極力防ぐ対策として下記を行ってください。
 - ・VDD1、VSS1端子の直近(出来る限り直近 5mm 以内が望ましい)には必ずバイパスコンデンサ(数 μ F + 数千 pF)を外付けしてください。
 - ・アナログ入力端子にはノイズ除去に最適なローパスフィルタ(RC)やコンデンサをアナログ入力端子の直近に外付けしてください。また、コンデンサのGNDはカップリングの影響を防ぐため、ノイズが重畳してないGNDをご使用ください。(目安としては $R = \sim 5k\Omega$ 以下 / $C = 1000pF \sim 0.1\mu F$)
 - ・アナログ信号線はデジタルパルス信号線や大電流変化のある信号線と隣接・交差・平行配線をしないでください。または、アナログ信号線の両端をノイズが重畳していないGNDでシールドしてください。

- ・変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力しないください。
- ・ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成する時には、この点に注意して作成してください。
- ・発振端子の振幅電圧と各端子入出力電圧はVDD～VSS以内になるよう調整してください。

⑪有効とする変換データは多数回行った変換値の最大値と最小値を切り捨て、残りのデータを平均化する等の処理を行ってください。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズは、低レベル(L)、高レベル(H)、最高レベル(X)の3レベルの多重割り込み制御機能を持っています。

マスタ割り込み許可レジスタ(IE)、割り込み優先制御レジスタ(IP)で、割り込みの許可や割り込み優先順位の指定を行います。

4-1-2 機能

①割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグがともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・周辺モジュールからの割り込み要求を受けると、割り込みレベル、優先順位、割り込み許可状態を判断します。その結果、割り込みを受け付ける場合には、PCの値をスタックに待避し、あらかじめ決められているベクタアドレスに分岐します。
- ・割り込みルーチンからの復帰は、RETI命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

②多重割り込み制御

- ・低レベル(L)、高レベル(H)、最高レベル(X)の3つの割り込みレベルがあり、割り込み処理中に同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

③割り込みの優先

- ・2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

④割り込み要求許可受け付け制御

- ・マスタ割り込み許可レジスタ(IE)で、HレベルとLレベルの割り込み要求受け付けの許可／禁止の制御ができます。
- ・Xレベルの割り込み要求受け付けの禁止はできません。

⑤割り込み受け付け禁止期間

- ・IE(FE08)、IP(FE09)レジスタ書き込み、ホールド解除後の2T_{cyc}の期間、割り込みは受け付けられません。
- ・PCON(FE07)レジスタ書き込み命令と次の命令の実行の間には割り込みはかかりません。
- ・RETI命令と次の命令の実行の間には割り込みはかかりません。

割り込み

⑥ 割り込みレベル制御

- ・ベクタアドレス単位で割り込みレベルの選択ができます。

割り込み一覧

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2／T0L／INT4
4	0001BH	HまたはL	INT3
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	なし
7	00033H	HまたはL	なし
8	0003BH	HまたはL	SIO1
9	00043H	HまたはL	ADC／T6／T7
10	0004BH	HまたはL	ポート0

- ・優先レベル X＞H＞L
- ・同一レベルではベクタアドレスの小さいものが優先

⑦ 割り込みの許可や割り込み優先順位の指定を行うには、次に示す特殊機能レジスタを操作する必要があります。

- ・IE, IP

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

4-1-3 回路構成

4-1-3-1 マスタ割り込み許可制御レジスタ(IE) (6ビットレジスタ)

- ① Hレベル, Lレベルの割り込みの許可／禁止を行う。
- ② 割り込みレベルフラグの状態を読む。
- ③ ベクタアドレス00003H, 0000BHの割り込みのレベル切り替え(L／X)を行う。

4-1-3-2 割り込み優先制御レジスタ(IP) (8ビットレジスタ)

- ① ベクタアドレス00013H～0004BHの割り込みのレベル切り替え(H／L)を行う。

4-1-4 関連レジスタ

4-1-4-1 マスタ割り込み許可制御レジスタ(IE)

①割り込みの制御を行う6ビットのレジスタで、ビット6～4はR/Oです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0

IE7(ビット7):Hレベル,Lレベルの割り込みの許可/禁止制御

- このビットが1の時、Hレベル,Lレベルの割り込み要求の受付が許可されます。
- このビットが0の時、Hレベル,Lレベルの割り込み要求の受付が禁止されます。
- このビットの値にかかわらず、Xレベルの割り込み要求の受付は許可されています。

XFLG(ビット6):Xレベル割り込みフラグ(R/O)

- Xレベルの割り込みが受け付けられると、このビットがセットされ、Xレベルの割り込みから復帰すると、このビットがリセットされます。
- このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

HFLG(ビット5):Hレベル割り込みフラグ(R/O)

- Hレベルの割り込みが受け付けられると、このビットがセットされ、Hレベルの割り込みから復帰すると、このビットがリセットされます。
- このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

LFLG(ビット4):Lレベル割り込みフラグ(R/O)

- Lレベルの割り込みが受け付けられると、このビットがセットされ、Lレベルの割り込みから復帰すると、このビットがリセットされます。
- このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

(ビット3,2):存在しません。読むと“1”が読めます。

XCNT1(ビット1):0000BH割り込みレベル制御フラグ

- このビットが1の時、ベクタアドレス0000BHへの割り込みはLレベルとなります。
- このビットが0の時、ベクタアドレス0000BHへの割り込みはXレベルとなります。

XCNT0(ビット0):00003H割り込みレベル制御フラグ

- このビットが1の時、ベクタアドレス00003Hへの割り込みはLレベルとなります。
- このビットが0の時、ベクタアドレス00003Hへの割り込みはXレベルとなります。

割り込み

4-1-4-2 割り込み優先制御レジスタ(IP)

① ベクタアドレス00013H～0004BHの割り込みのレベル切り替え(H/L)を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

	対象割り込み ベクタアドレス	IPのビット	値	割り込みレベル
7	0004BH	IP4B	0	Lレベル
			1	Hレベル
6	00043H	IP43	0	Lレベル
			1	Hレベル
5	0003BH	IP3B	0	Lレベル
			1	Hレベル
4	00033H	IP33	0	Lレベル
			1	Hレベル
3	0002BH	IP2B	0	Lレベル
			1	Hレベル
2	00023H	IP23	0	Lレベル
			1	Hレベル
1	0001BH	IP1B	0	Lレベル
			1	Hレベル
0	00013H	IP13	0	Lレベル
			1	Hレベル

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック発生回路として、メインクロック発振回路、中速RC発振回路、周波数可変RC発振の3系統の発振回路を内蔵しています。このうち、中速RC発振と周波数可変RC発振は抵抗とコンデンサCを内蔵しており、外付け回路が不要です。

これら3種類のクロックからプログラムでシステムクロックを選択します。

4-2-2 機能

①システムクロック選択

- ・メインクロック発振、中速RC発振、周波数可変RC発振の3系統の発振クロックからプログラムでシステムクロックを選択します。

②システムクロック分周

- ・システムクロックに選択された発振クロックを分周して、システムクロックとして供給します。
- ・分周回路は2段階で構成されています。
1段目は、 $\frac{1}{1}$ または $\frac{1}{2}$ の選択ができます。
2段目は、 $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の選択ができます。

③発振回路の制御

- ・命令で、上記3系統の発振の停止／許可を独立に制御できます。
- ・CF発振回路には消費電流低減タイプのCF発振ローアンプとCF発振ノーマルアンプが選択できます。

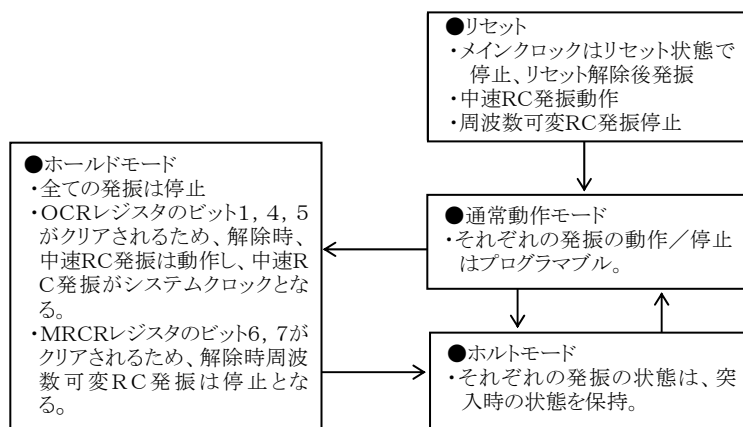
④入力端子兼用機能

- ・CF発振端子 (CF1, CF2) は、汎用入力ポートとして使用できます。

⑤モード毎の発振回路の状態

モード／クロック	メインクロック	中速RC発振	周波数可変RC発振	システムクロック
リセット状態	停止	動作	停止	中速RC発振
リセット解除	動作	動作	停止	中速RC発振
通常動作	プログラマブル	プログラマブル	プログラマブル	プログラマブル
ホルト	突入時の状態	突入時の状態	突入時の状態	突入時の状態
ホールド	停止	停止	停止	停止
ホールド解除直	突入時の状態	動作	停止	中速RC発振

各モードの突入方法／解除方法については4.3スタンバイ機能を参照してください。



⑥システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PCON, OCR, CLKDIV, MRCR, XT2PC, SLWRC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0D	00HX XXXX	R/W	MRCR	MRCSEL	MRCST	-	RCCTD4	RCCTD3	RCCTD2	RCCTD1	RCCTD0
FE0E	0H00 XX00	R/W	OCR	CLKSGL	-	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE43	HHHH 0HHH	R/W	XT2PC	-	-	-	-	XTCFIN	-	-	-
FE7C	HHHH H0HH	R/W	SLWRC	-	-	-	-	-	CFLAMP	-	-

4-2-3 回路構成

4-2-3-1 メインクロック発振回路

- ①CF1, CF2端子にセラミック発振子と容量を接続し、OCRレジスタとXT2PCレジスタを制御することにより発振が可能になります。
- ②CF1, CF2端子のデータをレジスタOCRのビット2, 3として読むことができます。
- ③メインクロック、または汎用入力ポートとして使用しない場合は、汎用入力ポート仕様に選択し、CF1端子とCF2端子を100kΩでVSS1にプルダウンしてください。

4-2-3-2 内蔵中速RC発振回路（従来型RC発振回路）

- ①内蔵の抵抗と容量により(標準1MHz)発振します。
- ②リセットまたはホールド解除後には、中速RC発振のクロックがシステムクロックとなります。
- ③メインクロック発振とは異なり、発振開始直後から正常な周波数で発振を行います。

4-2-3-3 周波数可変RC発振回路

- ①内蔵の抵抗と容量により発振します。
- ②源発振周波数16MHzのクロックを5ビットのカウンタでカウントします。最速のクロック設定は8MHzです。
- ③カウンタ値がカウント設定値と一致する毎にクロックをトグル出力します。
- ④外部CF発振よりやや精度を必要としないメインクロックに適しています。

4-2-3-4 パワー制御レジスタ(PCON) (2ビットレジスタ)

- ①動作モード(通常／ホルト／ホールド)を設定します。

4-2-3-5 発振制御レジスタ(OCR) (7ビットレジスタ)

- ①発振回路の動作停止／開始の制御を行います。
 ②システムクロックの選択を行います。
 ③システムクロックに使う発振クロックの分周比を $\frac{1}{1}$ または $\frac{1}{2}$ に設定します。
 ④CF1, CF2端子のデータをビット2, 3として読み込めます。

4-2-3-6 低速RC発振制御レジスタ(SLWRC) (1ビット)

- ①CF発振回路のアンプサイズ切り替えを行います。CF発振ローアンプは消費電流低減化として、低電圧、CF=4MHz、システム分周=1/4~1/16などの動作条件時に効果を発揮します。

4-2-3-7 CF1, CF2汎用ポート入力制御レジスタ(XT2PC) (1ビットレジスタ)

- ①CF1, CF2端子の汎用入力の制御を行います。

4-2-3-8 周波数可変RC発振制御レジスタ(MRCR) (7ビットレジスタ)

- ①周波数可変RC発振回路の動作停止／開始の制御を行います。
 ②メインクロックのCF／周波数可変RC発振の選択を行います。
 ③周波数可変RC発振クロックの周波数を設定します。

4-2-3-9 システムクロック分周制御レジスタ(CLKDIV) (3ビットレジスタ)

- ①システムクロック分周回路の制御を行います。

分周比は $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の設定が可能です。

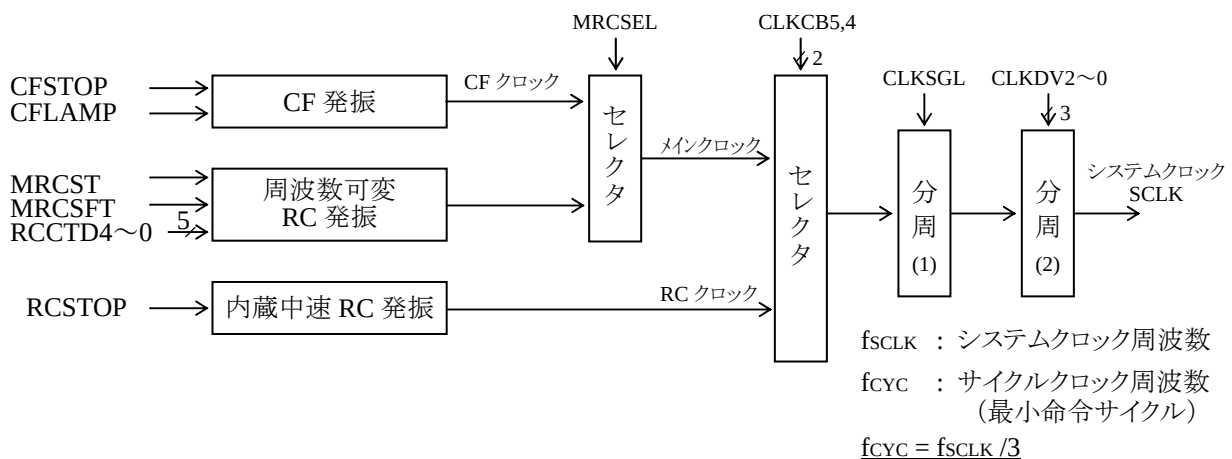


図 4-2-1 システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 パワー制御レジスタ(PCON) (2ビットレジスタ)

①動作モード(通常／ホルト／ホールド)を設定する2ビットのレジスタです。

・各モードの突入方法／解除方法については4.3 スタンバイ機能を参照してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	-	PDN	IDLE

(ビット7～2):存在しません。読むと“1”が読めます。

PDN(ビット1):ホールドモード設定フラグ

①ビットのセットは命令で行います。

- ・ホールドモードに入ると全ての発振(メインクロック, 中速RC, 周波数可変RC発振)が停止し、OCRレジスタのビット1, 4, 5とMRCRレジスタのビット7, 6がクリアされます。
- ・ホールドモード復帰後、中速RCは発振を開始し、システムクロックは中速RCとなります。

②PDNのクリアは、ホールド解除信号(INT0, INT1, INT2, INT4, P0INT)の発生、またはリセット信号で行われます。

③PDNがセットされると自動的にビット0もセットされます。

IDLE(ビット0):ホルトモード設定フラグ

①このビットをセットするとホルトモードに入ります。

②ビット1がセットされると自動的にこのビットもセットされます。

③インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

PDN	IDLE	動作モード
0	0	通常動作モード
0	1	ホルトモード
1	1	ホールドモード

4-2-4-2 発振制御レジスタ(OCR) (7ビットレジスタ)

①発振回路の動作制御, システムクロックの選択, CF1, CF2端子のデータの読み込みを行う7ビットのレジスタです。ビット3, 2は読み出し専用です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0E	0H00 XX00	R/W	OCR	CLKSGL	-	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP

(ビット6):存在しません。読むと“1”が読めます。

CLKSGL(ビット7):クロック分周選択

①このビットが“1”の時、ビット4, 5で選択されたクロックを直接システムクロックとして使用します。

②このビットが“0”の時、ビット4, 5で選択されたクロック周波数の $\frac{1}{2}$ のクロックをシステムクロックとして使用します。

CLKCB5(ビット5):システムクロック選択

CLKCB4(ビット4):システムクロック選択

- ① CLKCB5, CLKCB4で、システムクロックの選択を行います。
- ② リセット時、ホールドモード突入時、CLKCB5, CLKCB4はクリアされます。

CLKCB5	CLKCB4	システムクロック
0	0	中速RC発振
0	1	メインクロック
1	0	設定禁止
1	1	メインクロック

XT2IN (ビット3): CF2端子データ(読み出し専用)

XT1IN (ビット2): CF1端子データ(読み出し専用)

RCSTOP (ビット1): 内蔵中速RC発振回路制御

- ① このビットが“1”の時、内蔵中速RC発振回路は停止します。
- ② このビットが“0”の時、内蔵中速RC発振回路は動作します。
- ③ リセット時、このビットはクリアされ発振可能になります。

CFSTOP (ビット0): メインクロック発振回路制御

- ① このビットが“1”の時、メインクロック発振回路は停止します。
- ② このビットが“0”の時、メインクロック発振回路は動作します。
- ③ リセット時、このビットはクリアされます。

OCRレジスタ	XT2PCレジスタ	CF1, CF2の状態	OCRレジスタ(FE0EH)	
CFSTOP	XTCFIN		XT2IN	XT1IN
0	0	メインクロック発振動作	CF2端子データ	CF1端子データ
1	0	メインクロック発振停止	不定	不定
0	1	設定禁止	CF2端子データ	CF1端子データ
1	1	汎用入力	CF2端子データ	CF1端子データ

注意: CF1とCF2を汎用入力ポートとして機能させるためには、XTCFIN (XT2PC: FE43レジスタのビット3) を1にセットし、CFSTOP (OCR: FE0E レジスタのビット0) = 1に設定してください。

4-2-4-3 低速RC発振制御レジスタ(SLWRC) (1ビットレジスタ)

- ① CF発振回路のアンプサイズ切り替えを行う1ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7C	HHHH H0HH	R/W	SLWRC	-	-	-	-	-	CFLAMP	-	-

(ビット7～3, 1, 0): 存在しません。読むと‘1’が読めます。

CFLAMP (ビット2): CF発振アンプサイズ切り替え制御

- ① このビットが“1”の時、CF発振回路はローアンプサイズが選択されます。
- ② このビットが“0”の時、CF発振回路はノーマルアンプサイズが選択されます。

* 切り替え時には手順が必要となるため4-2-5を参照ください。

4-2-4-4 CF1, CF2汎用ポート入力制御レジスタ(XT2PC) (1ビットレジスタ)

①CF1、CF2端子の汎用入力の制御を行う1ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE43	HHHH 0HHH	R/W	XT2PC	-	-	-	-	XTCFIN	-	-	-

(ビット7～4, 2～0):存在しません。読むと“1”が読めます。

XTCFIN(ビット3):CF1、CF2入力制御

- ①このビットとCFSTOP(OCR:FE0Eレジスタのビット0)の設定によりCF1、CF2端子はメインクロック／汎用入力ポートが切り替わります。(詳細は「4-2-4-2 発振制御レジスタ」を参照してください。)

4-2-4-5 周波数可変RC発振制御レジスタ(MRCR) (7ビットレジスタ)

①周波数可変RC発振回路の動作制御、メインクロックの選択を行う7ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0D	00HX XXXX	R/W	MRCR	MRCSEL	MRCST	-	RCCTD4	RCCTD3	RCCTD2	RCCTD1	RCCTD0

MRCSEL(ビット7):周波数可変RC発振クロック選択

- ①このビットが“1”の時、周波数可変RC発振がメインクロックに選択されます。
上記OCRレジスタの設定でメインクロックがシステムクロック選択されている場合、周波数可変RC発振クロックがシステムクロックとなります。
- ②このビットが“0”の時、周波数可変RC発振はメインクロックに選択されません。CFがメインクロックとなります。
- ③このビットはホールドモード突入時クリアされます。

MRCST(ビット6):周波数可変RC発振開始制御

- ①このビットが“1”の時、周波数可変RC発振回路は動作を開始します。
- ②このビットが“0”の時、周波数可変RC発振回路は停止します。
- ③このビットはホールドモード突入時クリアされます。

RCCTD4(ビット4):
RCCTD3(ビット3):
RCCTD2(ビット2):
RCCTD1(ビット1):
RCCTD0(ビット0):

} 周波数可変RC発振周波数設定

- ①源発振クロックのカウント値を設定します。
- ②周波数可変RC発振の発生するクロック周波数、
源発振周波数／((RCCTD設定値+1)×2)となります。
- ③RCCTDの初期値は不定となります。

注意:カウント値の設定によってはシステムクロックが高速となり、動作クロック範囲を超えた場合は誤動作する場合があります。

注意：システムクロックにサブクロックまたは、内蔵中速RC発振クロックを選択時に、MRCSEL(ビット7)='H'状態でRCCTDの書き換えを行った場合はデータの設定が正常に行われない場合があります。

システムクロックに内蔵中速RC発振クロックを選択時のRCCTDの書き換えはMRCSEL(ビット7)='L'設定で行ってください。

注意：周波数可変RC発振回路が“発振停止”状態から“発振許可”状態となった後、100 μ sec以上の発振安定時間を設けてからシステムクロックを切り替えてください。

注意：周波数可変RC発振回路は機種により6ビットカウンタタイプと5ビットカウンタタイプがありますので、この機能を使用する場合には開発ツール含め確認が必要です。本機種は5ビットカウンタです。

注意：RCCTDの初期値は機種により内蔵(中速)RC発振周波数に近い値に設定される機種と不定値になる機種があります。本機種は不定値です。

4-2-4-6 システムクロック分周制御レジスタ(CLKDIV) (3ビットレジスタ)

①システムクロック分周制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0

(ビット7～3): 存在しません。読むと‘1’が読めます。

CLKDV2(ビット2): }
 CLKDV1(ビット1): } システムクロックの分周比を設定します。
 CLKDV0(ビット0): }

CLKDV2	CLKDV1	CLKDV0	分周比
0	0	0	$\frac{1}{1}$
0	0	1	$\frac{1}{2}$
0	1	0	$\frac{1}{4}$
0	1	1	$\frac{1}{8}$
1	0	0	$\frac{1}{16}$
1	0	1	$\frac{1}{32}$
1	1	0	$\frac{1}{64}$
1	1	1	$\frac{1}{128}$

4-2-5 CF発振アンプサイズ切り替えの具体例

①システムクロックの状態

- ・システムクロックはCF発振（メイン）以外の状態にします。

②CF発振のアンプサイズをローアンプに切り替え

- ・低速RC発振制御レジスタのCFLAMP（ビット2）= 1に設定します。

③CF発振安定時間待ち

- ・半導体ニュースに記載されているCF発振安定時間を待ちます。

④システムクロック切り替え

- ・発振制御レジスタのCLKCB4（ビット4）= 1、CLKCB5（ビット5）= 0に設定し、システムクロックをCF発振（メイン）に切替えます。

注意：システムクロックがCF発振（メイン）の状態、CF発振のアンプサイズを切替えないでください。切り替えを行うと切り替え時に発振が不安定となり、システムの誤動作を引起します。

注意：CF発振のローアンプを使用する場合には、ノーマルアンプと動作電圧範囲が異なりますので、半導体ニュースを必ずご確認ください。

4-3 スタンバイ機能

4-3-1 概要

本シリーズは、停電時やプログラム待機中の消費電流を低減するために、ホルト、ホールドと呼ばれる2つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2 機能

①ホルトモード

- ・命令の実行は停止しますが、周辺回路は動作を継続します(シリアル転送の一部機能は停止します)。
- ・PCONレジスタのビット0をセットすることにより、ホルトモードに入ります。
- ・リセットまたは割り込み要求の受付により、PCONレジスタのビット0がクリアされ、通常動作モードに復帰します。

②ホールドモード

- ・全ての発振が停止します。命令の実行が停止し、周辺回路も動作を停止します(注1)。
- ・PCONレジスタのビット1をセットすることにより、ホールドモードに入ります。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされます。
- ・リセットまたはホールド解除信号(INT0, INT1, INT2, INT4, POINT)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行します。

(注1): ADコンバータの変換動作中にホルトモード、ホールドモードに設定しないでください。必ず、ADSTART(ADCRレジスタのビット2)が'0'になったことを確認してから各モードに設定してください。

4-3-3 関連レジスタ

4-3-3-1 パワー制御レジスタ(PCON) (2ビットレジスタ)

①動作モード(通常／ホルト／ホールド)を設定する2ビットのレジスタです。

・各モードの突入方法／解除方法については4.3 スタンバイ機能を参照してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH HH00	R/W	PCON	-	-	-	-	-	-	PDN	IDLE

(ビット7～2):存在しません。読むと“1”が読めます。

PDN(ビット1):ホールドモード設定フラグ

①これらのビットのセットは命令で行います。

- ・ホールドモードに入ると全ての発振(メインクロック, 中速RC, 周波数可変RC発振)が停止し、OCRレジスタのビット1, 4, 5とMRCRレジスタのビット7, 6がクリアされます。
- ・ホールドモード復帰後、中速RCは発振を開始し、システムクロックは中速RCとなります。

②PDNのクリアは、ホールド解除信号(INT0, INT1, INT2, INT4, P0INT)の発生、またはリセット信号で行われます。

③PDNがセットされると自動的にビット0もセットされます。

IDLE(ビット0):ホルトモード設定フラグ

①このビットをセットするとホルトモードに入ります。

②ビット1がセットされると自動的にこのビットもセットされます。

③インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

PDN	IDLE	動作モード
0	0	通常動作モード
0	1	ホルトモード
1	1	ホールドモード

表 4-3-1 スタンバイ動作

項目／モード	リセット状態	ホルトモード	ホールドモード
突入条件	・RES 信号印加 ・ウォッチドッグタイマでのリセット発生 ・内蔵リセット回路でのリセット信号発生	PCONレジスタ ビット1＝“0” ビット0＝“1”	PCONレジスタ ビット1＝“1”
突入後、 変化するデータ	別表の示すように初期化される。	WDTレジスタ (FE0F) のビット4がセットされている場合、WDTレジスタのビット2～0がクリアされる。	・WDTレジスタ (FE0F) のビット4がセットされている場合、WDTレジスタのビット2～0がクリアされる。 ・PCONレジスタのビット0が“1”になる。 ・OCRレジスタ (FE0E) のビット5, 4, 1がクリアされる。 ・MRCRレジスタ (FE0D) のビット7, 6がクリアされる。
メインクロック発振	停止	突入時の状態	停止
内蔵中速RC発振	動作	突入時の状態	停止
周波数可変RC発振	停止	突入時の状態	停止
CPU	初期化される	停止	停止
I/O端子状態	表4-3-2参照	←	←
RAM	・RES の場合：不定 ・ウォッチドッグタイマリセットの場合：データ保持	データ保持	データ保持
周辺モジュール	停止	突入時の状態 (注2)	停止
復帰条件	突入条件の解消	・割り込み要求の受付 ・リセット突入条件の成立	・INT0～2, 4またはPOINTからの割り込み要求発生 ・リセット突入条件の成立
復帰先	通常動作モード	通常動作モード (注1)	ホルトモード (注1)
復帰後に変化するデータ	なし	PCONレジスタのビット0＝“0”となる	PCONレジスタのビット1＝“0”となる

(注1) リセット突入条件の成立で復帰した場合、リセット状態に移行する。

(注2) シリアル転送の一部機能は停止します。

スタンバイ

表 4-3-2 モードによる端子状態（本シリーズの場合）

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RES	・入力端子	←	←	←	←
CF1	・CF 発振用インバータの入力。 ・発振は開始しない。 ・CF1,CF2 の間に帰還抵抗あり。	・レジスタ XT2PC(FE43H) の bit3 で CF 発振用インバータの入力／汎用入力を制御。 ・レジスタ OCR(FE0EH) で発振可能／停止を制御。 ・CF1,CF2 の間に帰還抵抗はプログラムで制御。	←	・CF 発振用インバータの入力／汎用入力 は、ホールド突入時の状態。 ・CF1,CF2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
CF2	・CF 発振用インバータの出力 ・発振は開始しない。 ・CF1,CF2 の間に帰還抵抗あり。 ・CF1 に関係なく VDD レベル出力。	・レジスタ XT2PC(FE43H) の bit3 で CF 発振用インバータの入力／汎用入力を制御。 ・レジスタ OCR(FE0EH) で発振可能／停止を制御。 ・CF1,CF2 の間に帰還抵抗はプログラムで制御。	←	・CF 発振用インバータの出力／汎用入力 は、ホールド突入時の状態。 ・CF1,CF2 の間の帰還抵抗はホールド突入時の状態。	・ホールドモード突入時の状態。
P00-P07	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P10-P17	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P20-P21	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。	←	←	←
P70	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアップ抵抗はプログラムで制御。 ・ウォッチドッグタイマ用 Nch 出力トランジスタはプログラムで制御（オン時間が自動拡張されるので、オフするまで 1920～2048T_{cyc} かかる）。	・入力モード ・プルアップ抵抗はオフ。 ・ウォッチドッグタイマ用 Nch 出力トランジスタはオフ（オン時間の自動拡張機能はリセットされる）。	←	・通常動作時と同じ。

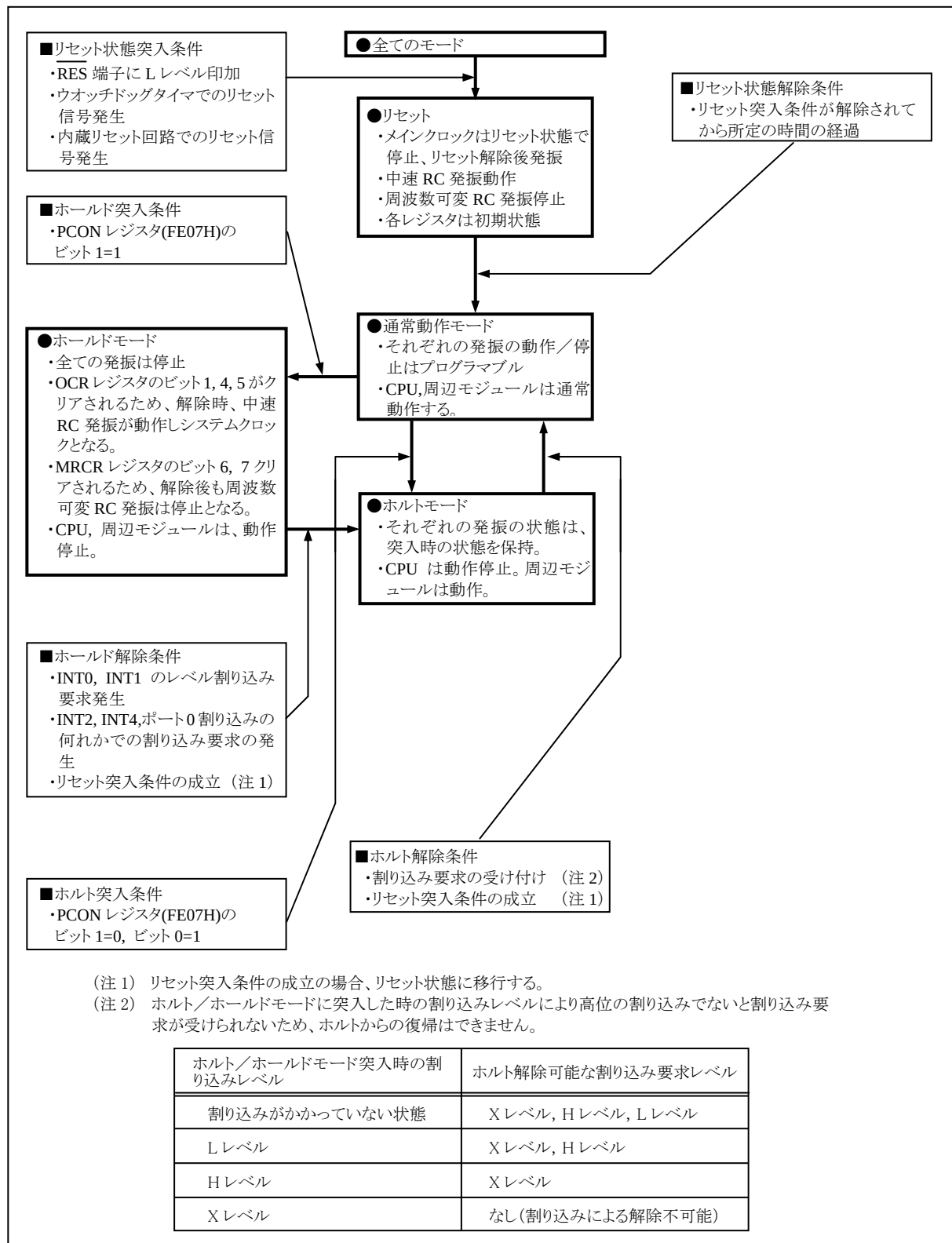


図 4-3-1 スタンバイモード遷移

4-4 リセット機能

4-4-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2 機能

本シリーズは、次の3つの機能を持っています。

① $\overline{\text{RES}}$ 端子による外部リセット機能

$\overline{\text{RES}}$ 端子に「L」レベルを200[μs]以上印加することで、確実にリセットがかかります。しかし、わずかな幅(200[μs]以内)の「L」レベルが印加されてもリセットがかかることがあるので注意が必要です。

$\overline{\text{RES}}$ 端子に適正な時定数を外付けすことにより、電源投入時のリセットとして使用できます。

② 内蔵リセット機能

電源の初期投入時にリセットをかけるパワーオンリセット(POR)機能と電源電圧が低下した時にリセットをかける低電圧検知リセット(LVD)機能があります。パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

③ ウォッチドッグタイマによる暴走検出リセット機能

ウォッチドッグタイマは、外部割り込み端子(P70/INT0/T0LCP)に抵抗とコンデンサを外付けして、適当な時定数を作ること暴走検出リセットとして使用することができます。

リセット回路の構成例を図4-4-1に示します。リセット端子の外付け回路は内蔵リセット機能オプションを【禁止】し外部パワーオンリセット回路を構成した場合の一例です。

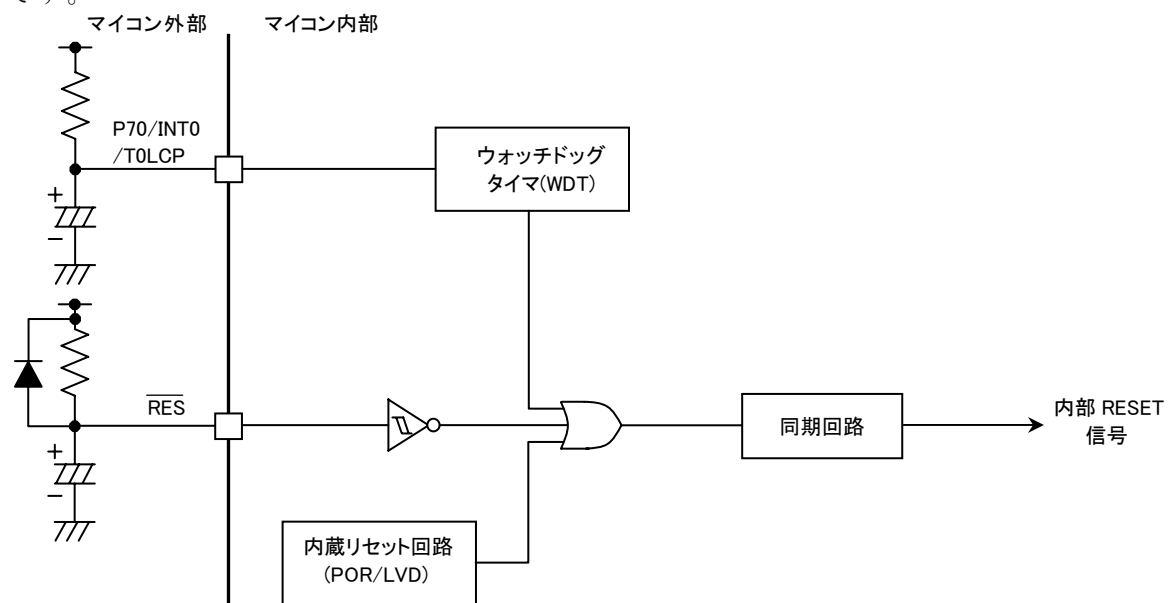


図 4-4-1 リセット回路ブロック図

4-4-3 リセット時の状態

$\overline{\text{RES}}$ 端子、内蔵リセット回路、ウォッチドッグからのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかるとシステムクロックは内蔵中速RC発振に切り換わるため、電源投入時でも直ちにハードウェアの初期化が行われます。メインクロック発振が安定するのを待って、システムクロックをメインクロックに切り換えます。

リセット時、プログラムカウンタの初期値は、ユーザオプション設定により選択したプログラムスタートアドレスになります。また、各特殊機能レジスタ(SFR)の初期値は、APPENDIX(A-I) スペシャルファンクションレジスタ(SFR) マップに示す値となります。

< 注 意 点 >

- スタックポインタの初期値は0000Hとなります。
- データRAMの内容はリセットで初期化されることはありません。よって、電源投入時ではRAMの内容が「不定」となっていますので注意が必要です。
- 内蔵リセット機能を使用する場合、リセット端子には使用条件に合わせた外付け回路を構成する必要がありますので、必ず【4-6項 内蔵リセット機能】の各リセット機能の動作仕様、回路構成、注意点・留意点をご確認ください。

4-5 ウォッチドッグタイマ機能

4-5-1 概要

本シリーズは、プログラムの暴走を検出するためにRC回路を外付けするウォッチドッグタイマを内蔵しています。

ウォッチドッグタイマはP70/INT0/T0LCP端子に外付けしたRC回路を充電し、「H」レベルに達するとプログラムが暴走したとみなし、リセットや割り込みをかけることができます。

4-5-2 機能

① 暴走の検出

定期的にRC回路を放電するプログラムを作成します。プログラムが暴走するとRC回路を放電する命令を実行しないので、P70/INT0/T0LCP端子は「H」レベルに達し、ウォッチドッグタイマがプログラムの暴走を検出します。

② 暴走検出後の動作

ウォッチドッグタイマがプログラムの暴走を検出した場合、次の2つの動作を選択することができます。

- ・リセット(プログラムの再実行)
- ・外部割り込みINT0の発生(プログラムの継続)

外部割り込みINT0はマスタ割り込み許可制御レジスタ(IE)によって優先レベルが変わります。

4-5-3 回路構成

ウォッチドッグタイマは、高スレッシュホールドバッファ、パルスストレッチャ回路とウォッチドッグタイマ制御レジスタで構成されています。構成図を4-5-1に示します。

- ・高スレッシュホールドバッファ

外付けされた容量Cの充電圧を検出します。

- ・パルスストレッチャ回路

外付けされた容量Cの放電を確実にを行うために、放電時間よりも長く放電します。ストレッチ時間は、 $1920 \sim 2048T_{cyc}$ です。

- ・ウォッチドッグタイマ制御レジスタ(WDT)

ウォッチドッグタイマの動作を制御します。

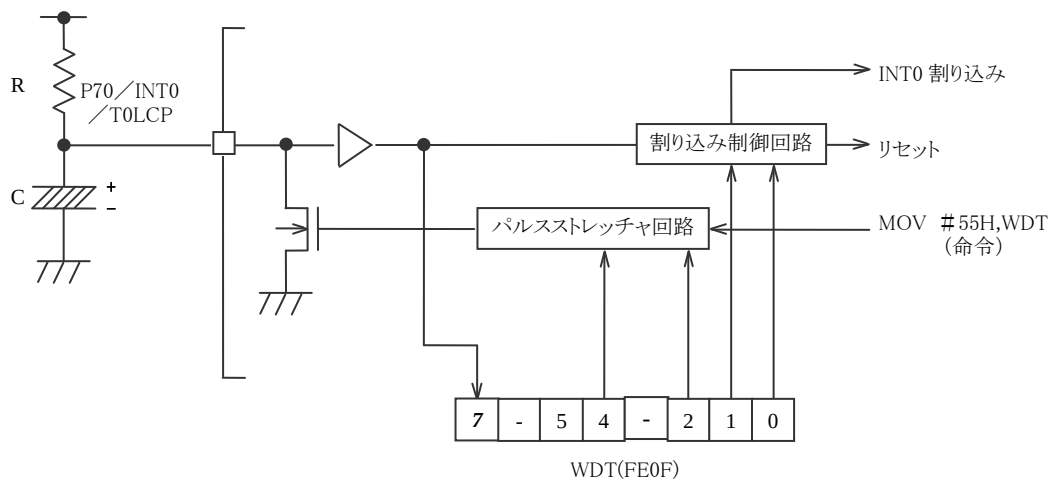


図 4-5-1 ウォッチドッグタイマ構成図

4-5-4 関連レジスタ

4-5-4-1 ウォッチドッグタイマ制御レジスタ(WDT)

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0F	0H00 H000	R/W	WDT	WDTFLG	-	WDTB5	WDTHLT	-	WDTCLR	WDTRST	WDTRUN

ビット名	機能
WDTFLG(ビット7)	暴走検出フラグ
	0 : 暴走無し 1 : 暴走有り
WDTB5(ビット5)	汎用フラグ
	汎用フラグとして使用できます
WDTHLT(ビット4)	HALT/HOLD時の機能制御
	0 : ウォッチドッグタイマの動作許可 1 : ウォッチドッグタイマの動作停止
WDTCLR(ビット2)	ウォッチドッグタイマのクリア制御
	0 : ウォッチドッグタイマのクリア禁止 1 : ウォッチドッグタイマのクリア許可
WDTRST(ビット1)	暴走検出時のリセット制御
	0 : 暴走検出時のリセット禁止 1 : 暴走検出時のリセット実行
WDTRUN(ビット0)	ウォッチドッグタイマの動作制御
	0 : ウォッチドッグタイマの動作維持 1 : ウォッチドッグタイマの動作開始

WDTFLG(ビット7): 暴走検出フラグ

ウォッチドッグタイマによってプログラムの暴走が検出された場合はセットされます。このビットをモニタすることによって、プログラムの暴走が発生したかどうかを知ることができます。(ただし、WDTRST=1の場合のみ)
このビットは自動的にリセットされません。プログラムでリセットする必要があります。

WDTB5(ビット5): 汎用フラグ

汎用フラグとして使用できます。
このビットを操作しても機能ブロックの動作に影響を与えません。

WDTHLT(ビット4):HALT/HOLD時の機能制御

マイクロコンピュータがHALT/HOLD状態になった場合のウォッチドッグタイマ動作(0)/停止(1)を制御します。「1」の設定時、HALT/HOLD状態ではWDTCLR, WDTRST, WDTRUNがリセットされ、ウォッチドッグタイマは停止します。「0」の設定時ではWDTCLR, WDTRST, WDTRUNは変化せず、HALT/HOLD状態でもウォッチドッグタイマは動作します。

「1」の設定で、HALT/HOLDモードから通常動作モードに復帰した時にウォッチドッグタイマ機能を使用する場合は、再び、ウォッチドッグタイマの初期化、動作開始の設定を行ってください。

WDTCLR(ビット2):ウォッチドッグタイマのクリア制御

ウォッチドッグタイマ動作中(WDTRUN=1)における外付け容量の電荷の放電を許可(1)/禁止(0)します。「1」の設定時、ウォッチドッグタイマクリア命令を実行することにより、P70/INT0/T0LCP端子のNチャネルトランジスタがONし、外付け容量の電荷を放電しウォッチドッグタイマをクリアします。この時、パルスストレッチャ回路が動作します。「0」の設定時、P70/INT0/T0LCP端子のNチャネルトランジスタをONさせることを禁止し、ウォッチドッグタイマをクリアすることができないようにします。

また、ウォッチドッグタイマ停止中(WDTRUN=0)に、「1」に設定した時もP70/INT0/T0LCP端子のNチャネルトランジスタがONし、外付け容量の電荷を放電しウォッチドッグタイマをクリアします。

WDTRST(ビット1):暴走検出時のリセット制御

ウォッチドッグタイマがプログラムの暴走を検出した場合、リセットの実行(1)/禁止(0)を制御します。「1」の設定時、暴走検出時にリセットがかかり、プログラムをユーザオプション設定により選択したプログラムスタートアドレスから再実行します。「0」の設定時にはリセットはかからず、外部割り込み「INT0」が発生して、ベクタアドレス0003H番地をコールします。

WDTRUN(ビット0):ウォッチドッグタイマの動作制御

ウォッチドッグタイマの動作の開始(1)/維持(0)を制御します。「1」の設定時、ウォッチタイマ機能が動作し、「0」の設定時、ウォッチドッグタイマ機能に何も影響を与えません。つまり、一旦動作開始したウォッチドッグタイマはプログラムで停止させることはできません。(リセット時停止)

【注意】

WDTRST=1の場合、ウォッチドッグタイマが動作していなくても、P70/INT0/T0LCP端子が「H」レベルになると、リセットがかかります。

ウォッチドッグタイマを停止(WDTRUN=0)させた状態で、ウォッチドッグタイマのクリア制御ビット(WDTCLR)を「1」にセットすると、P70/INT0/T0LCP端子のNチャネルトランジスタがONします。

ウォッチドッグタイマを使用しない場合は、この点に留意してプログラムを作成してください。プログラムや応用回路によっては、消費電流が増加する場合があります。

4-5-4-2 マスタ割り込み許可制御レジスタ(IE)

詳細は、「第4章 4-1-4-1 マスタ割り込み許可制御レジスタ」を参照してください。

4-5-4-3 ポート7制御レジスタ(P7)

詳細は、「第3章 3-4-3-1 ポート7制御レジスタ」を参照してください。

4-5-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。また、外付けRC回路の時定数がウォッチドッグタイマをクリアする時間間隔よりも大きくなるように、抵抗値R、容量値Cを選択します。

①ウォッチドッグタイマの初期化

RES端子による外部リセット時、ウォッチドッグタイマ制御レジスタ(WDT)の全ビットはリセットされます。P70/INT0/T0LCP端子は「H」レベルに充電されている場合、ウォッチドッグタイマの動作を開始する前に「L」レベルまで放電してください。放電に際しては、内蔵のNチャネルトランジスタを使用しますが、ON抵抗を持っているので、外付けの容量値との時定数だけの放電時間が必要です。

ポート7制御レジスタ(P7:FE5C)のビット0,4を0,0または1,1にし、P70端子のポート出力をオープンとします。

・放電開始

WDTに「04H」を書き込み、P70/INT0/T0LCP端子の出力NチャネルトランジスタをONさせ、コンデンサを放電します。

・「L」レベル確認

P70/INT0/T0LCP端子のデータ検出

P70/INT0/T0LCP端子のデータをLD命令等で読み込み、「0」が読み込まれれば、P70/INT0/T0LCP端子は「L」レベルになっていると判断します。

②ウォッチドッグタイマの動作開始

(1) ビット2(WDTCLR)とビット0(WDTRUN)に「1」を書き込みます。

(2) 暴走検出でリセットをかける場合は、ビット1(WDTRST)を同時に「1」にします。

(3) HOLDモードとHALTモード時にウォッチドッグタイマの動作を停止する場合には、ビット4(WDTHLT)を同時にセットします。

WDTRUNに「1」を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、ウォッチドッグタイマ制御レジスタ(WDT)への書き込みは禁止され、ウォッチドッグタイマのクリアとウォッチドッグタイマ制御レジスタ(WDT)の読み出しのみが可能となります。従って、命令による停止はできません。ウォッチドッグタイマの機能が停止するのは、リセット時、またはWDTHLTがセットされた状態でHALT/HOLDモードに入った場合です。この場合、WDTCLR, WDTRST, WDTRUNがリセットされます。

ウォッチドッグタイマ

③ウォッチドッグタイマのクリア

電源投入と同時に、P70/INT0/T0LCP端子に外付けしたRC回路への充電が開始されます。この端子の電圧値が「H」レベルに達すると、ウォッチドッグタイマ制御レジスタ(WDT)の設定に従って、リセットあるいは割り込みが発生します。通常のプログラム動作を行うには、P70/INT0/T0LCP端子が「H」レベルに達する前に、定期的にRC回路を放電する必要があります(ウォッチドッグタイマのクリア)。ウォッチドッグタイマの動作中にクリアするには、次の命令を実行してください。

MOV #55H,WDT

前述の命令は、P70/INT0/T0LCP端子のNチャネルトランジスタをONにし、パルスストレッチャ機能(MOV命令実行後もトランジスタがONになっている)により、最短1920～最長2048サイクルタイムの間、コンデンサを放電します。

④暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマがクリアされないので外付けRC回路が充電されます。充電が進み、P70/INT0/T0LCP端子が「H」レベルに達すると、プログラムが暴走したと判断され、リセットあるいは割り込みが発生します。この時、暴走検出フラグ(WDTFLG)がセットされます(ただし、WDTRST=1の場合のみ)。

この場合、WDTRSTが「1」であればリセットがかかり、プログラムをユーザオプション設定により選択したプログラムスタートアドレスから再実行し、「0」であれば外部割り込み(INT0)が発生し、ベクタアドレス0003Hへプログラムの実行が移ります。

・使用上の注意点

①HOLDモードを使って極低消費電力を実現する場合、ウォッチドッグタイマを使用しないか、またはWDTHLTに「1」を書き込んで、HOLD時にウォッチドッグタイマの動作を禁止しておく必要があります。

また、ウォッチドッグタイマを使用しない時は、必ずWDTCLRを「0」にしてください。

②P70/INT0/T0LCP端子は2つの入力レベルを持っており、ウォッチドッグタイマ回路の入力レベルは、ポート入力や割り込み検出レベルに比べてスレッシュホールドレベルが高くなっています。

入力レベルについては、最新の「半導体ニュース」を参照してください。

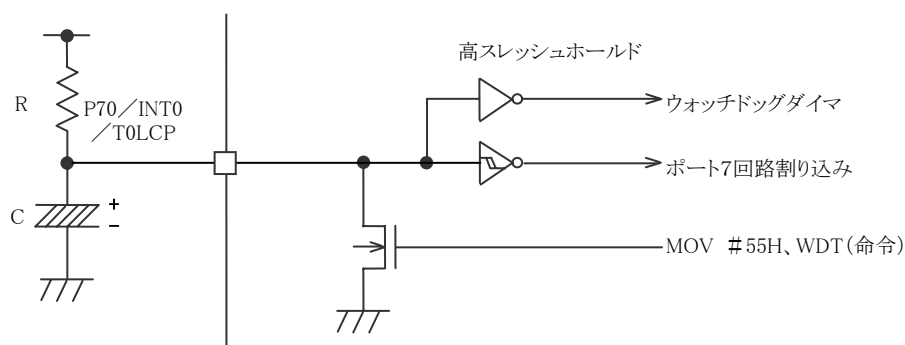


図 4-5-2 P70/INT0/T0LCP端子の構造 (P70設定:プルアップ抵抗 OFF)

- ③ポート7制御レジスタ(P7:FE5C)のビット4, 0を0, 1としてP70/INT0/TOLCP端子にプログラマブル・プルアップ抵抗をつけた場合、ウォッチドッグタイマで外付けする抵抗を省略することができます(図4-5-3参照)。
 この場合、プルアップ抵抗の値は電源電圧VDDによって変化します。最新の「半導体ニュース」でプルアップ抵抗値を確認した上で、ウォッチドッグタイマの時定数を計算してください。

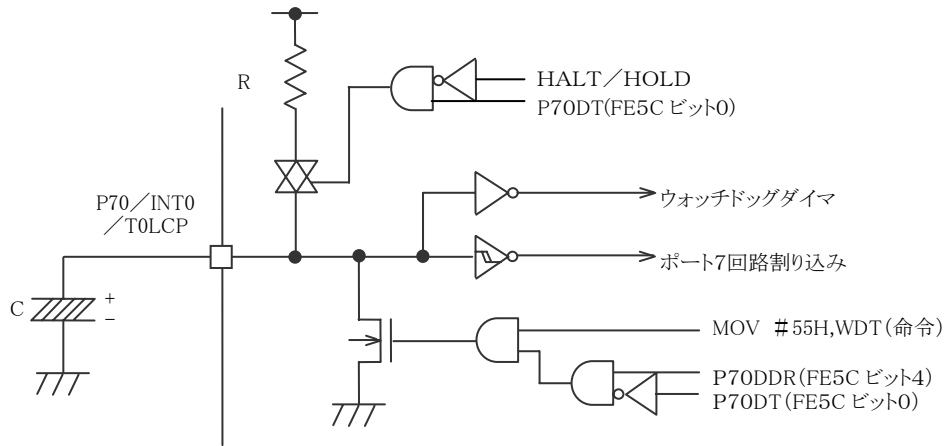


図4-5-3 プログラマブル・プルアップ抵抗を使用した場合の応用回路

- ④ WDTHLT=1の設定で、HALT/HOLDモードに突入すると、WDTCLR, WDTTRST, WDTRUNがリセットされます。HALT/HOLDモードから通常動作モードに復帰した時にウォッチドッグタイマ機能を使用する場合は、再び、ウォッチドッグタイマの初期化、動作開始の設定を行ってください。

4-6 内蔵リセット機能

4-6-1 概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

4-6-2 機能

① パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

② 低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源電圧低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

4-6-3 回路構成

内蔵リセット回路は、POR, LVD, パルスストレッチャ回路, 容量CRES放電トランジスタ, 外付け容量CRES+プルアップ抵抗RRESまたはプルアップ抵抗RRESのみで構成されています。構成図を4-6-1に示します。

・パルスストレッチャ回路

POR, LVDのリセット信号をストレッチする回路で、内部リセット期間とリセット端子に外付けされた場合の容量CRESを放電するために使用します。ストレッチ時間は $30\mu s \sim 100\mu s$ です。

・容量CRES放電トランジスタ

リセット端子に外付けされた容量CRESを放電するためのNchトランジスタです。リセット端子に容量CRESを外付けしない場合には、プルアップ抵抗RRESのみ外付けし内部リセット信号のモニタを行うこともできます。

・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。4-6-4項を参照ください。

・外付け容量CRES+プルアップ抵抗RRES

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC, R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は容量CRESとプルアップ抵抗RRESを外付けした、図4-6-1の回路構成を推奨します。推奨定数は $CRES = 0.022\mu F$, $RRES = 510k\Omega$ です。但し、セット仕様によりリセット端子に容量CRESを外付けできない場合でも、プルアップ抵抗RRESを必ず外付けしてください。

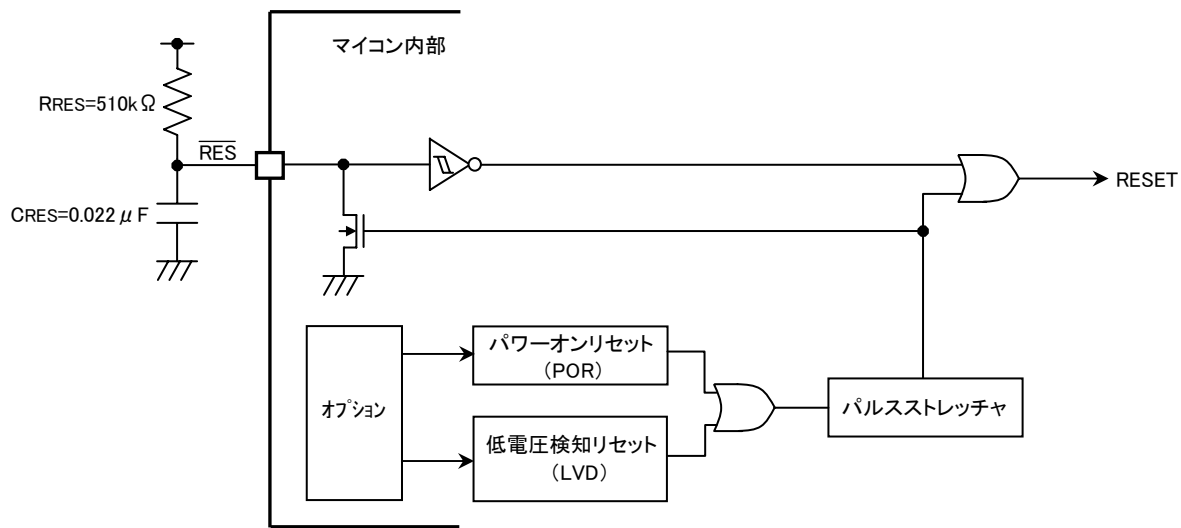


図4-6-1 内蔵リセット回路構成図

4-6-4 オプション

リセット回路オプションにはPORとLVDオプションがあります。

①LVDリセット機能オプション			
【許可】: 使用する		【禁止】: 使用しない	
②LVDリセットレベルオプション		③POR解除レベルオプション	
選択オプション typ.値	VDD動作 min.値 (*)	選択オプション typ.値	VDD動作 min.値 (*)
—	—	【1. 67V】	1. 8V～
【1. 91V】	2. 1V～	【1. 97V】	2. 1V～
【2. 01V】	2. 2V～	【2. 07V】	2. 2V～
【2. 31V】	2. 5V～	【2. 37V】	2. 5V～
【2. 51V】	2. 7V～	【2. 57V】	2. 7V～
【2. 81V】	3. 0V～	【2. 87V】	3. 0V～
【3. 79V】	4. 0V～	【3. 86V】	4. 0V～
【4. 28V】	4. 5V～	【4. 35V】	4. 5V～

*VDD動作 min. 値はオプションで選択したPOR解除レベル／LVDリセットレベルに対して、リセットがかからずに動作させることのできる下限値の目安を示します。

①LVDリセット機能オプション

【許可】を選択するとLVDリセットレベルオプションで選択された電圧でリセットがかかります。

(注1)この時の動作電流は全てのモードにおいて数 μ A 常時流れます。

【禁止】を選択するとLVDリセットはかかりません。

(注2)この時の動作電流は全てのモードにおいて流れません。

*詳細は4-6-5項のリセット回路の動作波形例を参照ください。

②LVDリセットレベルオプション

LVDリセット機能オプションで【許可】を選択した時のみLVDリセットレベルを7レベル選択できます。使用する動作条件に適した検知レベルを選択します。

③POR解除レベルオプション

LVDリセット機能オプションで【禁止】を選択した時のみPOR解除レベルを8レベル選択できます。内蔵リセット回路を使用しない場合のPOR解除レベルは、保証動作電圧 min. に影響しない最低レベル(1. 67V以下)を選択してください。

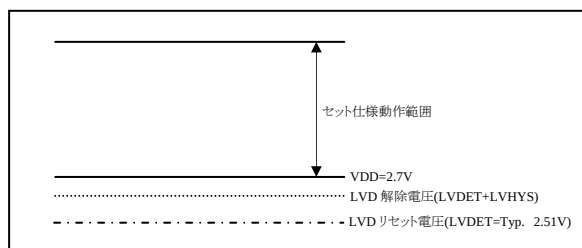
(注3)この時の動作電流はPORがリセットを解除すると電流は流れません。

(注4)保証動作電圧 min. 以下のPOR解除レベルを選択(1. 67V以下)する場合には、使用上の留意点がありますので4-6-6-②項を参照ください。

●選択参考例 1

セット仕様により $V_{DD}=2.7V$ までリセットをかけずに動作させたいので、それに最適なLVDリセットレベルを選択したい。

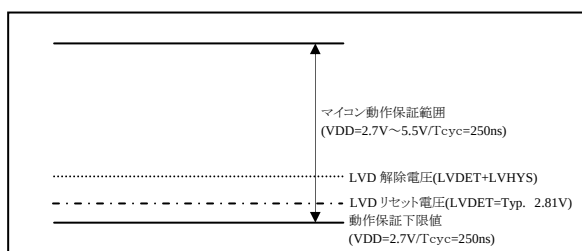
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルは【2.51V】を選択します。



●選択参考例 2

$V_{DD}=2.7V$ / $T_{cyc}=250ns$ までの動作保証となっているので、その条件で最適なLVDリセットレベルを選択したい。

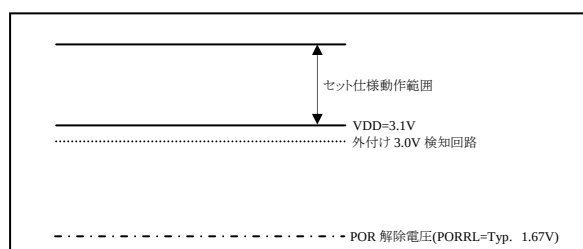
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルオプションは【2.81V】を選択します。



●選択参考例 3

外付けに3.0V検知のリセットICを使用するので、内部リセット回路は使用したくない。(4-6-7-①項を合わせてご参照ください)

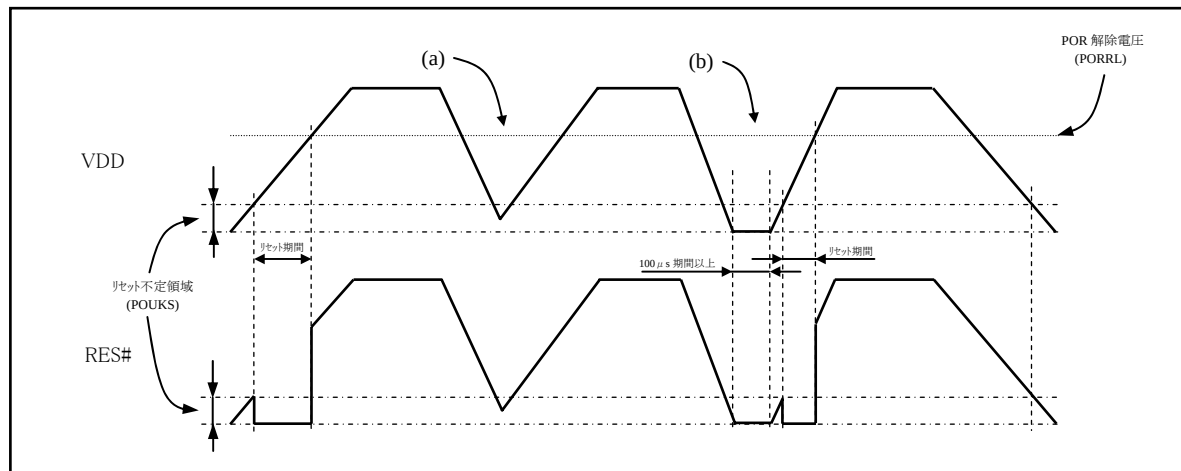
LVDリセット機能オプションは【禁止】を選択し、POR解除レベルオプションは【1.67V】を選択します。



(注5) 参考例に表記されている動作保証値(電圧／動作周波数)は使用する機種により異なりますので、必ず最新の半導体ニュースを参照し適切な設定レベルを選択してください。

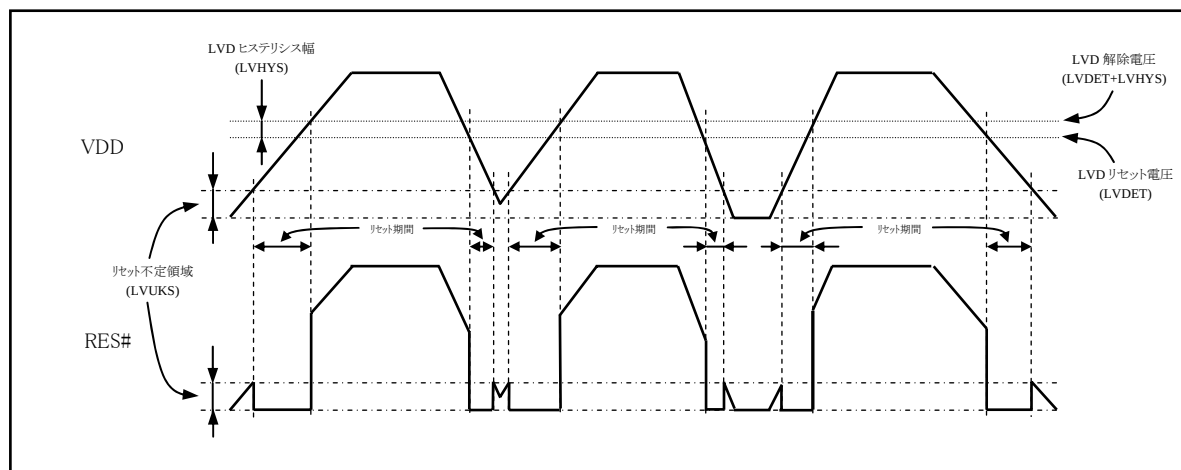
4-6-5 内蔵リセット回路の動作波形例

①PORのみ(LVD使用しない)の動作波形例

(リセット端子:プルアップ抵抗 R_{RES} のみ)

- PORはトランジスタが駆動始めるまでの期間、不定領域 (POUKS) が存在します。
- PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- (a)のように電源がVSSレベルまで下らない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
- (b)のように電源がVSSレベルまで十分下がり、その状態が $100\mu s$ 以上保持されてから電源が再投入された場合のみリセットがかかります。

②POR+LVDを併用した場合の動作波形例

(リセット端子:プルアップ抵抗 R_{RES} のみ)

- POR+LVDの併用時も同様にトランジスタが駆動始めるまでの期間、不定領域 (LVUKS) が存在します。
- 電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除 / 突入電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- LVDには検知レベル付近でリセット解除 / 突入を繰り返さないようヒステシス幅 (LVHYS) があります。

4-6-6 内蔵リセット回路使用上の留意点

①内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないでください。必ず、使用条件に最適な容量CRESとプルアップ抵抗RRESまたはプルアップ抵抗RRESのみを外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

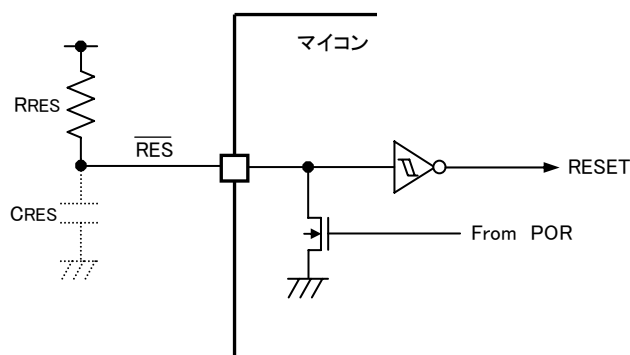


図 4-6-2 内蔵PORのみのリセット回路構成例

②内蔵PORのみでPOR解除レベル1.67V以下を選択時

内蔵POR解除レベル1.67V以下を選択時は、電源立ち上がり時間に合わせリセット端子に容量CRESとプルアップ抵抗RRESを外付けし、解除電圧が保証動作電圧min.以上に達してからリセットが解除されるよう調整してください。または、保証動作電圧min.以上に達するまでの期間、リセット端子にLレベルを入力してください。

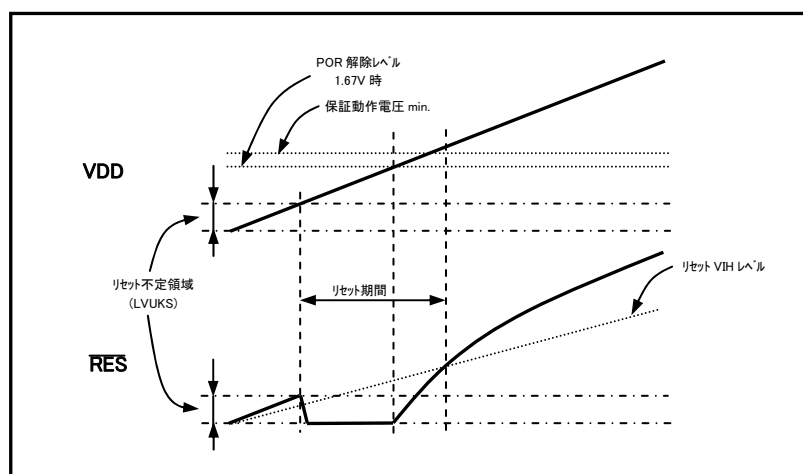


図 4-6-3 内蔵PORのみの解除レベル波形例

- ③ 数百 μs より短い(速い)電源瞬停・電源変動が想定される時
 内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知してからリセット信号を発生させるまでの応答時間があり、図4-6-4のような低電圧最小検知幅 TLVDW が規定されています。(半導体ニュースを参照)このため、電源が最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、図4-6-5のような対策例やその他の対策を必ず行ってください。

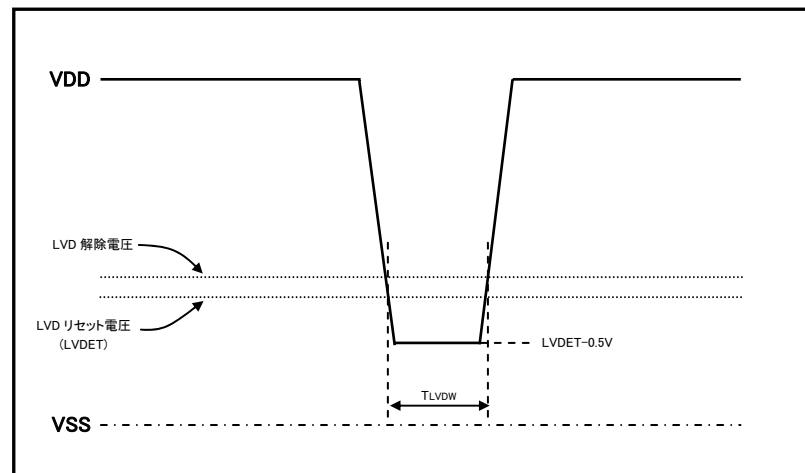


図 4-6-4 電源瞬停・電源変動波形例

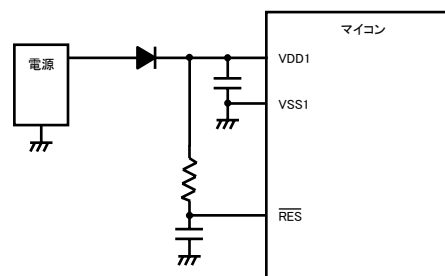


図 4-6-5 電源瞬停・電源変動対策例

4-6-7 内蔵リセット回路未使用上の留意点

①内蔵リセット回路を使用せず外付けにリセットICを構成する時

内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量C_{RES}放電用NchトランジスタがONします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧min.以上のタイプを使用し、マイコン内蔵のPOR解除レベルは保証動作電圧min.に影響しない最低レベル(1.67V)を選択してください。下図にリセットICのNchオープンドレイン・タイプとCMOS・タイプ使用時のリセット回路構成例を示します。

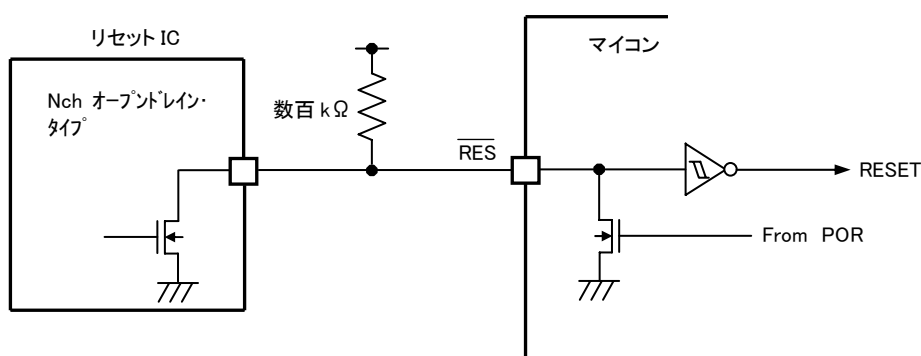


図 4-6-6 Nchオープンドレイン・タイプ使用時のリセット回路構成例

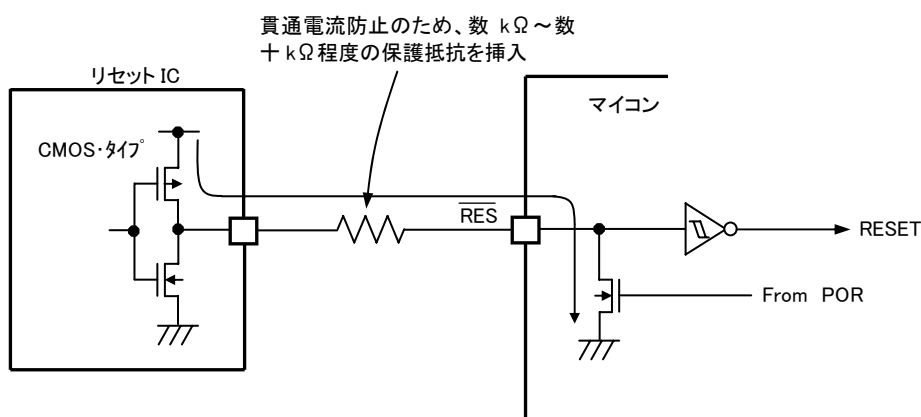


図 4-6-7 CMOS・タイプ使用時のリセット回路構成例

②内蔵リセット回路を使用せず外付けにPOR回路を構成する時

4-6-7-①項と同様に内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作します。しかし、内蔵PORより長いリセット期間を設けたいために外部にもPOR回路を構成し、容量CRESを $0.1\mu\text{F}$ 以上にする場合には、必ず図4-6-8のようにダイオードDRESも外付けしてください。

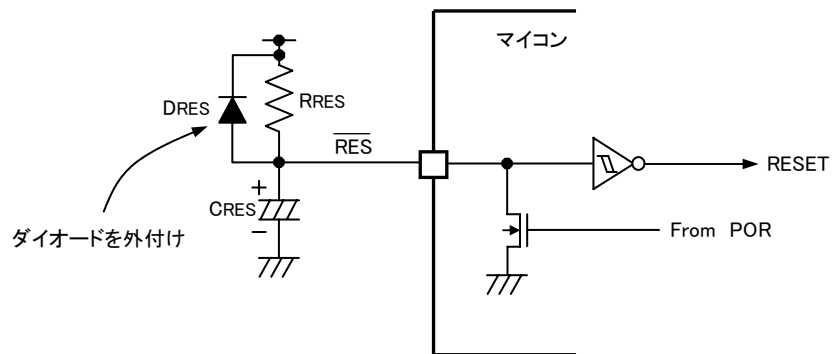


図4-6-8 外部PORのリセット回路構成例

内蔵リセット

APPENDIX

APPENDIX・目次

APPENDIX－Ⅰ

- ・スペシャルファンクションレジスタ (SFR) マップ

APPENDIX－Ⅱ

- ・ポート0ブロック図
- ・ポート1ブロック図
- ・ポート2ブロック図
- ・ポート7ブロック図
- ・ポート1／ポート7ブロック図

アドレス	初期値	R/W	LC872R00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0~007F	XXXX XXXX	R/W	RAM128B	9ビット構成									
FE00	0000 0000	R/W	AREG		—	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
FE01	0000 0000	R/W	BREG		—	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
FE02	0000 0000	R/W	CREG		—	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
FE03													
FE04													
FE05													
FE06	0000 0000	R/W	PSW		—	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY
FE07	HHHH HH00	R/W	PCON		—	—	—	—	—	—	—	PDN	IDLE
FE08	0000 HH00	R/W	IE		—	IE7	XFLG	HFLG	LFLG	—	—	XCNT1	XCNT0
FE09	0000 0000	R/W	IP		—	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13
FE0A	0000 0000	R/W	SPL		—	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH		—	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
FE0C	HHHH H000	R/W	CLKDIV		—	—	—	—	—	—	CLKDV2	CLKDV1	CLKDV0
FE0D	00HX XXXX	R/W	MRCR		—	MRCSEL	MRCST	—	RCCTD4	RCCTD3	RCCTD2	RCCTD1	RCCTD0
FE0E	0H00 XX00	R/W	OCR	BIT2, 3 で XT1, XT2 を読む	—	CLKSGL	—	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE0F	0H00 H000	R/W	WDT		—	WDTFLG	—	WDTB5	WDTHLT	—	WDTCLR	WDRST	WDRUN
FE10	0000 0000	R/W	TOCNT		—	TOHRUN	TOLRUN	TOLONG	TOLEXT	TOHCMP	TOHIE	TOLCMP	TOLIE
FE11	0000 0000	R/W	TOPRR	フリスケーラは 8 ビット(max. 256Tcyc)	—	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL		—	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH		—	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR		—	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR		—	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL	タイマ 0 キャプチャレジスタ L	—	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH	タイマ 0 キャプチャレジスタ H	—	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0
FE18													
FE19													
FE1A													
FE1B													
FE1C													
FE1D													

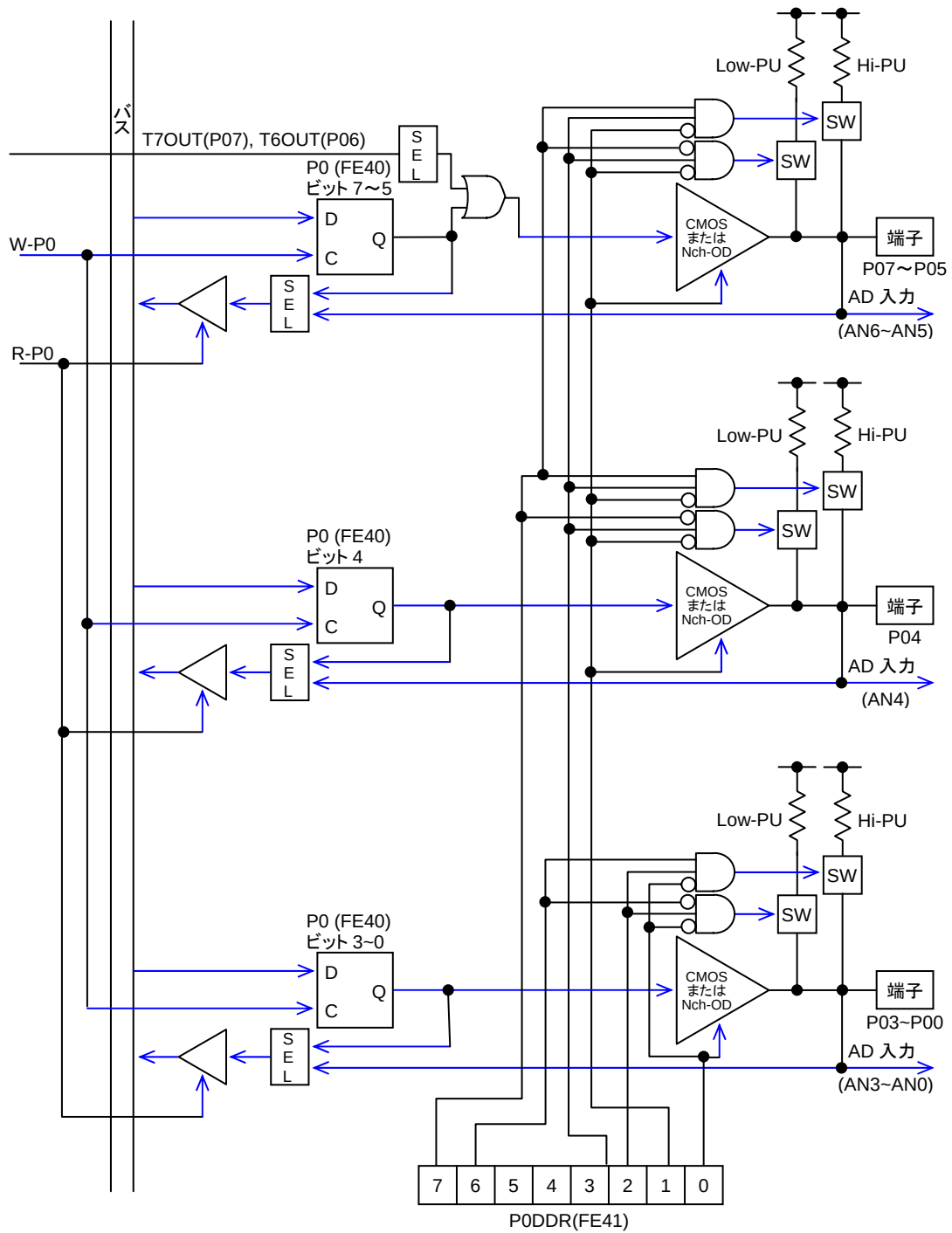
アドレス	初期値	R/W	LC872R00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1E													
FE1F													
FE20													
FE21													
FE22													
FE23													
FE24													
FE25													
FE26													
FE27													
FE28													
FE29													
FE2A													
FE2B													
FE2C													
FE2D													
FE2E													
FE2F													
FE30													
FE31													
FE32													
FE33													
FE34	0000 0000	R/W	SCON1		–	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	9bit REG	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1		–	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10
FE37													
FE38													
FE39													
FE3A													
FE3B													
FE3C													
FE3D													

アドレス	初期値	R/W	LC872R00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3E													
FE3F													
FE40	0000 0000	R/W	P0		–	P07	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	P0DDR		–	POHPUS	POLPUS	POFLG	P01E	POHPU	POLPU	POHDDR	POLDDR
FE42	00HH HHHH	R/W	P0FCR		–	T70E	T60E	–	–	–	–	–	–
FE43	HHHH 0HHH	R/W	XT2PC	発振端子汎用ポート入力制御	–	–	–	–	–	XTCFIN	–	–	–
FE44	0000 0000	R/W	P1		–	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR		–	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	HH00 0HHH	R/W	P1FCR		–	–	–	P15FCR	P14FCR	P13FCR	–	–	–
FE47	0000 HHH0	R/W	P1TST		–	FIX0	FIX0	FIX0	FIX0	–	–	–	FIX0
FE48	HHHH HH00	R/W	P2		–	–	–	–	–	–	–	P21	P20
FE49	HHHH HH00	R/W	P2DDR		–	–	–	–	–	–	–	P21DDR	P20DDR
FE4A	0000 0000	R/W	I45CR		–	FIX0	FIX0	FIX0	FIX0	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	I45SL		–	FIX0	FIX0	FIX0	FIX0	I4SL3	I4SL2	I4SL1	I4SL0
FE4C													
FE4D													
FE4E													
FE4F													
FE50													
FE51													
FE52													
FE53													
FE54													
FE55													
FE56													
FE57													
FE58	0000 0000	R/W	ADCR	12bit-AD 制御	–	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	AD1E
FE59	0000 0000	R/W	ADMRC	12bit-AD モード	–	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	12bit-AD 変換結果 L	–	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	12bit-AD 変換結果 H	–	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
FE5C	HHH0 HHH0	R/W	P7	1bit-I/O (4:DDR 0:DATA)	–	–	–	–	P70DDR	–	–	–	P70DT
FE5D	0000 0000	R/W	I01CR		–	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

アドレス	初期値	R/W	LC872R00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR		–	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	00HH H000	R/W	ISL		–	ST0HCP	ST0LCP	–	–	–	NFSEL	NFON	ST0IN
FE60													
FE61													
FE62													
FE63													
FE64													
FE65													
FE66													
FE67													
FE68													
FE69													
FE6A													
FE6B													
FE6C													
FE6D													
FE6E													
FE6F													
FE70													
FE71													
FE72													
FE73													
FE74													
FE75													
FE76													
FE77													
FE78	0000 0000	R/W	T67CNT		–	T7C1	T7C0	T6C1	T6C0	T70V	T7IE	T60V	T6IE
FE79													
FE7A	0000 0000	R/W	T6R		–	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0
FE7B	0000 0000	R/W	T7R		–	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0
FE7C	HHHH H0HH	R/W	SLWRC		–	–	–	–	–	–	CFLAMP	–	–

アドレス	初期値	R/W	LC872R00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D													
FE7E	0000 0000	R/W	FSR0	FLASH 制御 (bit4 は R/O)	-	FSR0B7 Fix to 0	FSR0B6 Fix to 0	FSAERR	FSWOK	INTHIGH	FSLDAT	FSPGL	FSWREQ
FE7F													
FE80													
FE81													
FE82													
FE83													
FE84													
FE85													
FE86													
FE87													
FE88													
FE89													
FE8A													
FE8B													
FE8C													
FE8D													
FE8E													
FE8F													
FE90													
FE91													
FE92													
FE93													
FE94													
FE95													
FE96													
FE97													
FE98													
FE99													
FE9A													
FE9B													

アドレス	初期値	R/W	LC872R00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9C													
FE9D													
FE9E													
FE9F													
FEA0													
FEA1													
FEA2													
FEA3													
FEA4													
FEA5													
FEA6													
FEA7													
FEA8													
FEA9													
FEAA													
FEAB													
FEAC													
FEAD													
FEAE													
FEAF													
FEB0													
FEB1													
FEB2													
FEB3													
FEB4													
FEB5													
FEB6													
FEB7													
FEB8													
FEB9													
FEBA													
FEBB													



プルアップ抵抗は、
Nch-OD オプション選択時 : 付きません
CMOS オプション選択時 : プログラマブル
です。

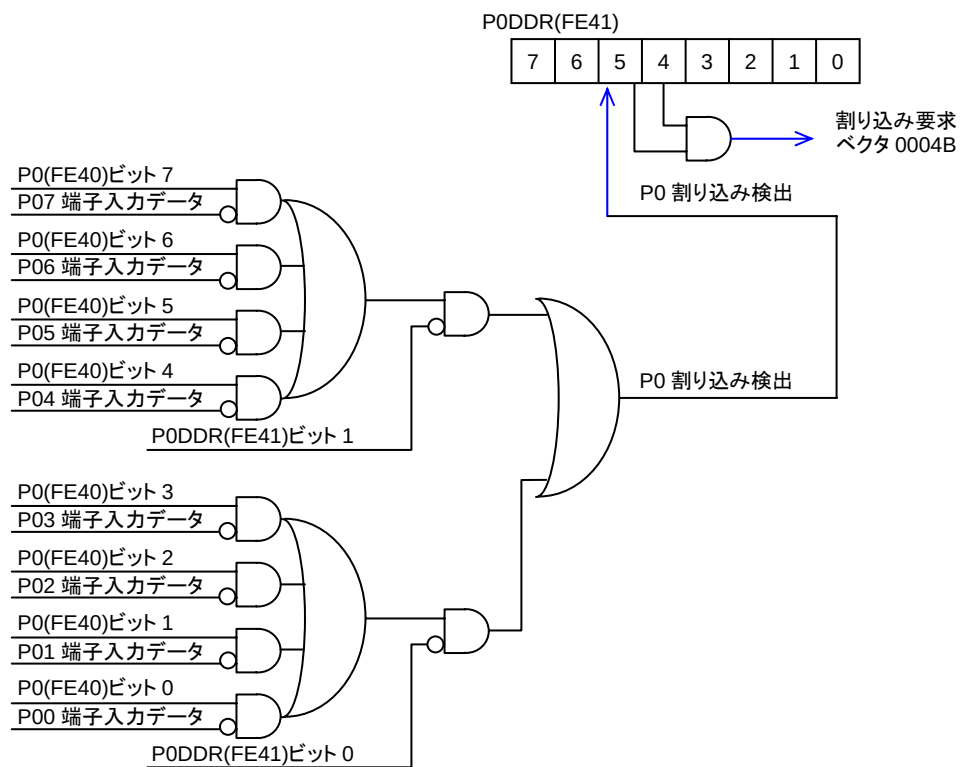
ポート	特殊機能入力	FUNCTION 出力
P07	なし	タイマ7トグル出力
P06	AD アナログ 6 入力	タイマ6トグル出力
P05	AD アナログ 5 入力	なし
P04	AD アナログ 4 入力	なし
P03	AD アナログ 3 入力	なし
P02	AD アナログ 2 入力	なし
P01	AD アナログ 1 入力	なし
P00	AD アナログ 0 入力	なし

ポート0 兼用機能表

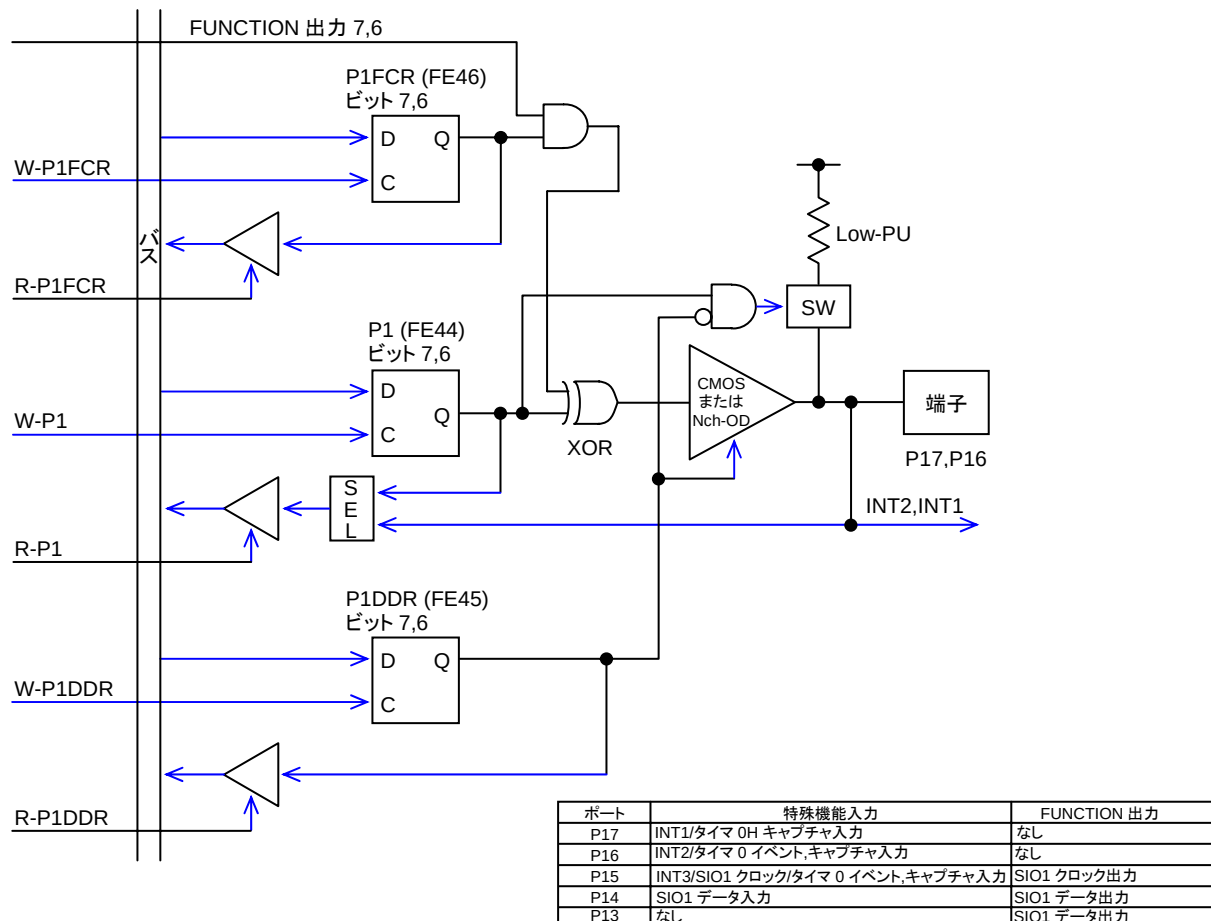
ポート0 ブロック図

オプション:出力形式 (CMOSまたはNch-OD)をビット毎に選択可能

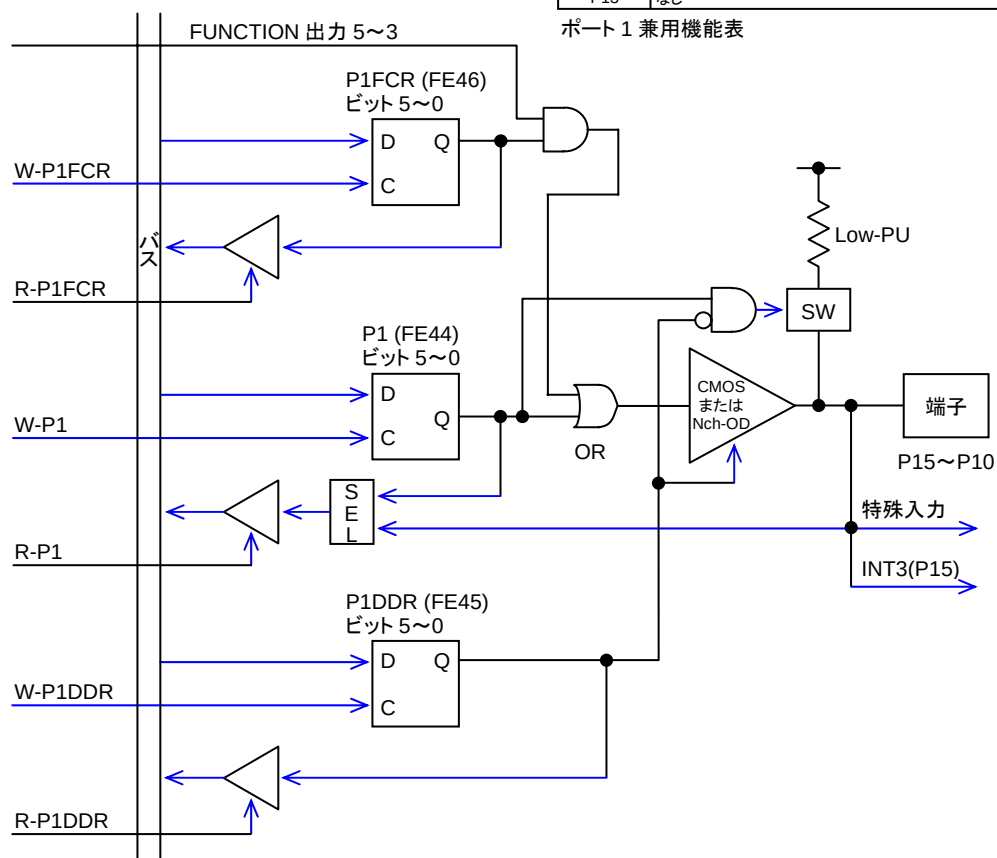
ポートブロック図



ポート0 (割り込み) ブロック図



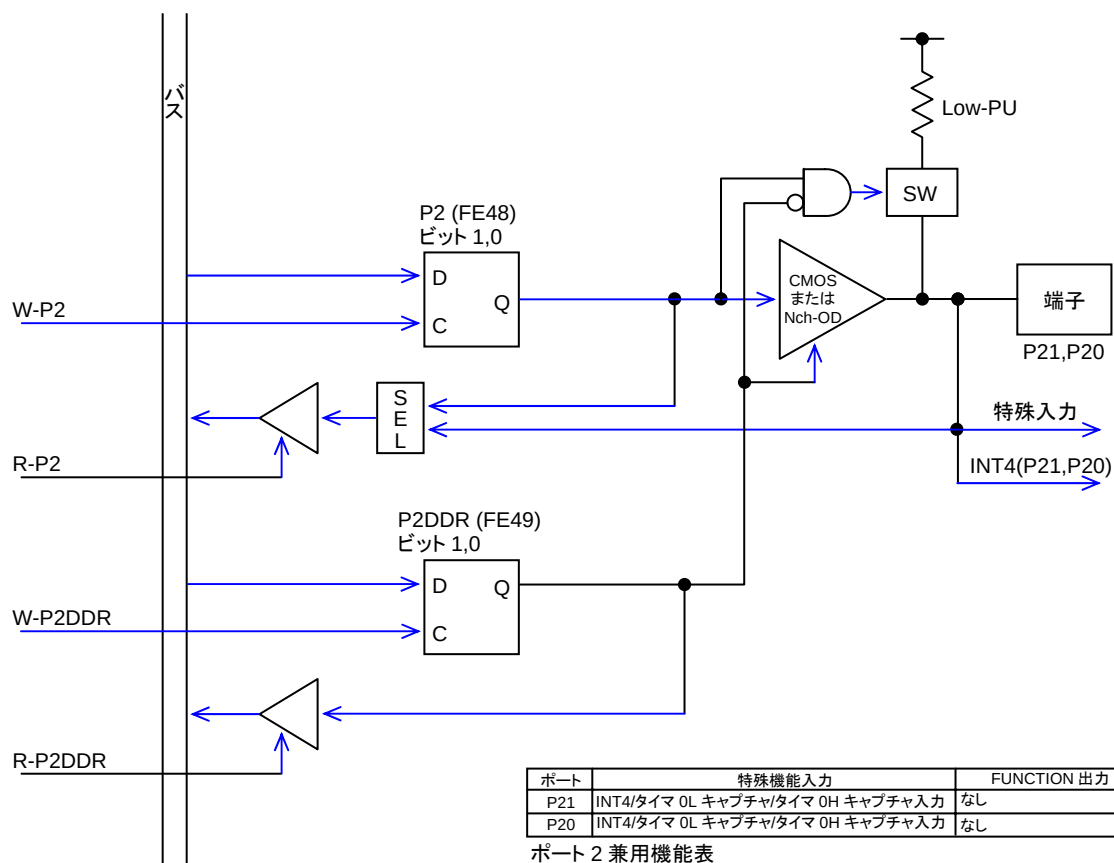
ポート 1 兼用機能表



ポート1 ブロック図

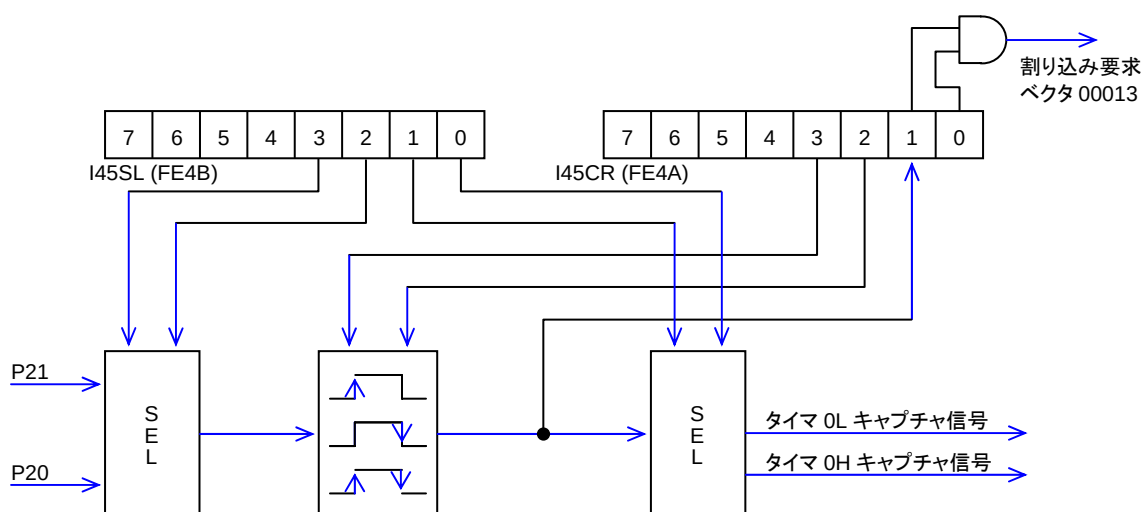
オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能

ポートブロック図

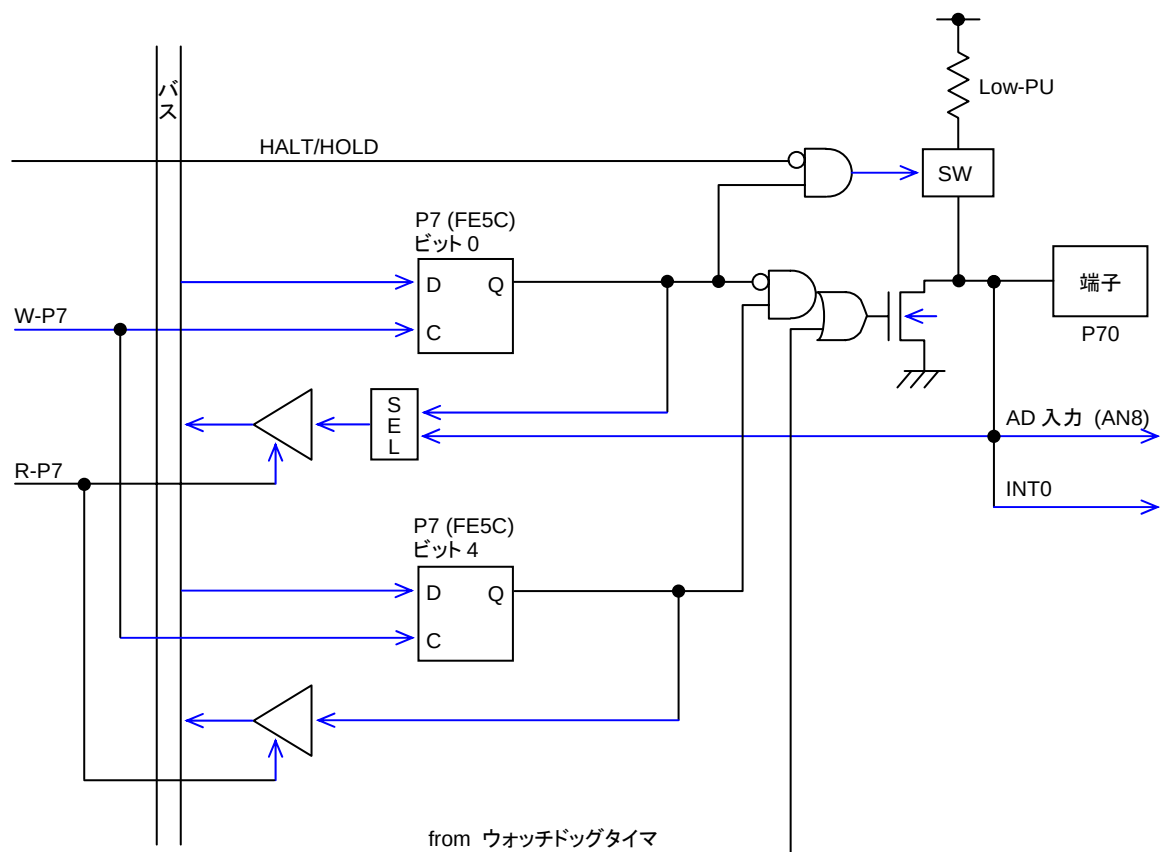


ポート2 ブロック図

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能



ポート2 (割り込み) ブロック図



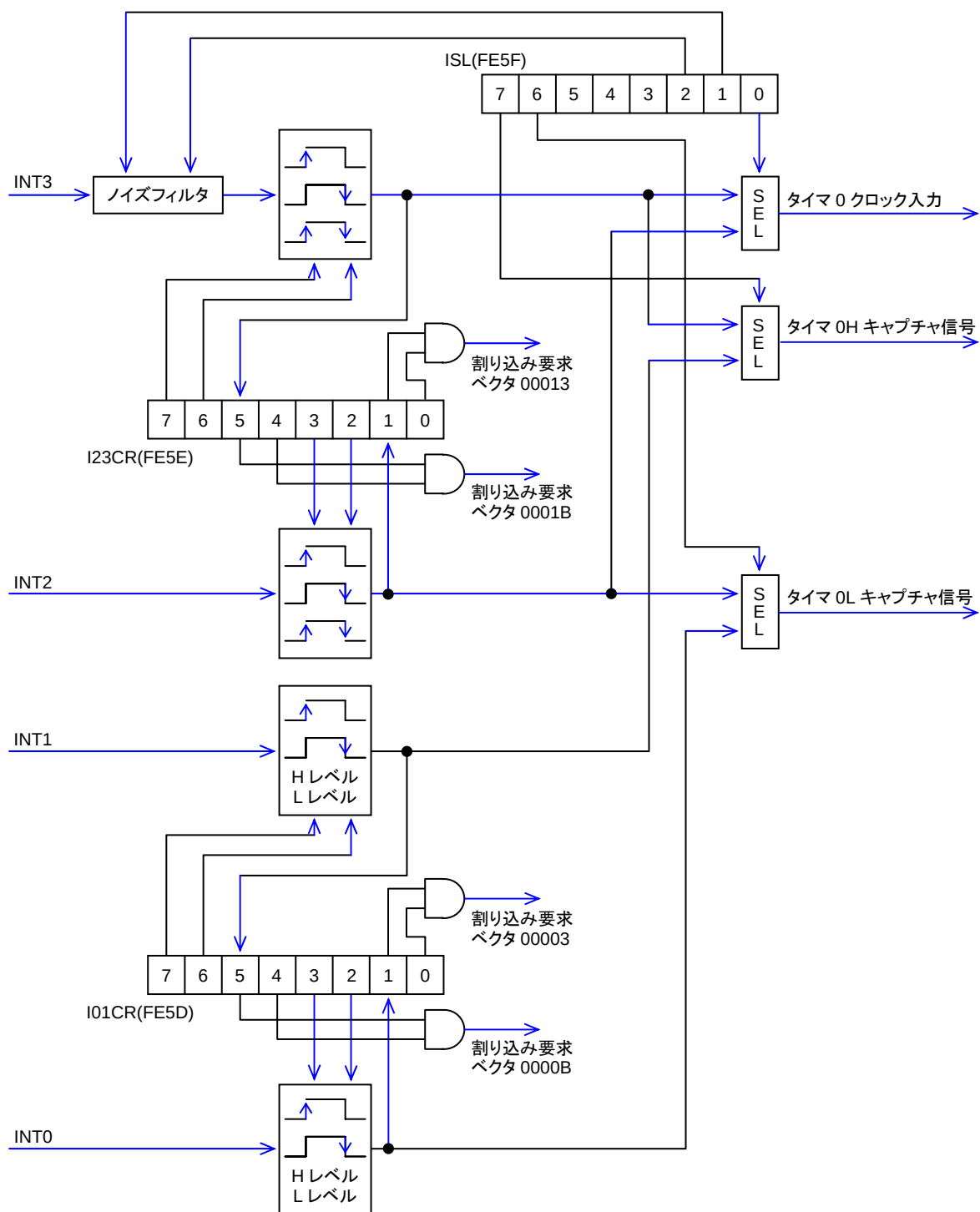
ポート	特殊機能入力	FUNCTION 出力
P70	INT0/タイマ 0L キャプチャ/AD アナログ 8 入力	なし

ポート 7 兼用機能表

ポート7 ブロック図

オプション：なし

ポートブロック図



ポート1, ポート7 (割り込み) ブロック図

ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC872R00 シリーズ ユーザーズマニュアル

Rev : 1.00 2010.12.27 版

オン・セミコンダクター

Digital Solution 事業部

マイコン・フラッシュビジネスユニット
