

CMOS 8-BIT MICROCONTROLLER

LC87BK00 シリーズ ユーザーズマニュアル

REV : 1.00



ON Semiconductor®

<http://onsemi.jp>

オン・セミコンダクター
Digital Solution 事業部
マイコン・フラッシュビジネスユニット

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

目 次

第1章 概説

1-1	概要	1-1
1-2	特徴	1-1
1-3	ピン配置図	1-6
1-4	システムブロック図	1-7
1-5	端子機能表	1-8
1-6	オンチップデバッグ端子処理	1-10
1-7	未使用端子の推奨処理	1-10
1-8	ポート出力形態	1-10
1-9	ユーザオプション一覧表	1-11
1-10	電源端子推奨条件 (VDD1, VSS1)	1-11

第2章 内部システム構成

2-1	メモリ空間	2-1
2-2	プログラムカウンタ (PC)	2-1
2-3	プログラムメモリ (ROM)	2-2
2-4	内部データメモリ (RAM)	2-2
2-5	アキュムレータ/Aレジスタ (ACC/A)	2-3
2-6	Bレジスタ (B)	2-3
2-7	Cレジスタ (C)	2-4
2-8	プログラムステータスワード (PSW)	2-4
2-9	スタックポインタ (SP)	2-5
2-10	間接アドレスレジスタ	2-5
2-11	アドレッシング・モード	2-6
2-11-1	イミディエイト・アドレッシング (#)	2-6
2-11-2	間接レジスタ・インダイレクト・アドレッシング ([Rn])	2-7
2-11-3	間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])	2-7
2-11-4	間接レジスタ (R0) +オフセット値・インダイレクト・アドレッシング ([off])	2-8
2-11-5	ダイレクト・アドレッシング (dst)	2-8
2-11-6	ROMテーブル参照・アドレッシング	2-9
2-11-7	外部データ・メモリ・アドレッシング	2-9
2-12	WAIT動作	2-10
2-12-1	WAIT動作の発生	2-10
2-12-2	WAIT動作とは	2-10

第3章 周辺システム構成

3-1	ポート0	3-1
3-1-1	概要	3-1

目 次

3-1-2	機能	3-1
3-1-3	関連レジスタ	3-2
3-1-4	オプション	3-4
3-1-5	HALT, HOLD時の動作	3-4
3-2	ポート1	3-5
3-2-1	概要	3-5
3-2-2	機能	3-5
3-2-3	関連レジスタ	3-6
3-2-4	オプション	3-12
3-2-5	HALT, HOLD時の動作	3-12
3-3	ポート2	3-13
3-3-1	概要	3-13
3-3-2	機能	3-13
3-3-3	関連レジスタ	3-14
3-3-4	オプション	3-16
3-3-5	HALT, HOLD時の動作	3-16
3-4	ポート7	3-17
3-4-1	概要	3-17
3-4-2	機能	3-17
3-4-3	関連レジスタ	3-18
3-4-4	オプション	3-22
3-4-5	HALT, HOLD時の動作	3-22
3-5	タイマ/カウンタ0 (T0)	3-23
3-5-1	概要	3-23
3-5-2	機能	3-23
3-5-3	回路構成	3-24
3-5-4	関連レジスタ	3-29
3-6	タイマ/カウンタ1 (T1)	3-32
3-6-1	概要	3-32
3-6-2	機能	3-32
3-6-3	回路構成	3-34
3-6-4	関連レジスタ	3-39
3-7	タイマ6, 7 (T6, T7)	3-44
3-7-1	概要	3-44
3-7-2	機能	3-44
3-7-3	回路構成	3-44
3-7-4	関連レジスタ	3-47
3-8	ベースタイマ (BT)	3-49
3-8-1	概要	3-49
3-8-2	機能	3-49

目 次

3-8-3	回路構成	3-50
3-8-4	関連レジスタ	3-51
3-9	シリアルインタフェース1 (SIO1)	3-53
3-9-1	概要	3-53
3-9-2	機能	3-53
3-9-3	回路構成	3-54
3-9-4	SIO1通信の具体例	3-58
3-9-5	関連レジスタ	3-62
3-10	ADコンバータ (ADC12)	3-65
3-10-1	概要	3-65
3-10-2	機能	3-65
3-10-3	回路構成	3-66
3-10-4	関連レジスタ	3-66
3-10-5	ADC動作の具体例	3-70
3-10-6	ADC使用上の留意点	3-71

第4章 制御機能

4-1	割り込み機能	4-1
4-1-1	概要	4-1
4-1-2	機能	4-1
4-1-3	回路構成	4-2
4-1-4	関連レジスタ	4-3
4-2	システムクロック発生機能	4-5
4-2-1	概要	4-5
4-2-2	機能	4-5
4-2-3	回路構成	4-6
4-2-4	関連レジスタ	4-8
4-2-5	CF発振アンプサイズ切り替えの具体例	4-13
4-3	スタンバイ機能	4-14
4-3-1	概要	4-14
4-3-2	機能	4-14
4-3-3	関連レジスタ	4-15
4-4	リセット機能	4-20
4-4-1	概要	4-20
4-4-2	機能	4-20
4-4-3	リセット時の状態	4-21
4-5	ウォッチドッグタイマ (WDT)	4-22
4-5-1	概要	4-22
4-5-2	機能	4-22
4-5-3	回路構成	4-23

目 次

4-5-4	関連レジスタ	4-25
4-5-5	ウォッチドッグタイマの使い方	4-27
4-5-6	ウォッチドッグタイマ使用上の注意点	4-28
4-6	内蔵リセット機能	4-29
4-6-1	概要	4-29
4-6-2	機能	4-29
4-6-3	回路構成	4-29
4-6-4	オプション	4-30
4-6-5	内蔵リセット回路の動作波形例	4-32
4-6-6	内蔵リセット回路使用上の留意点	4-33
4-6-7	内蔵リセット回路未使用上の留意点	4-35

A P P E N D I X

A・I	スペシャルファンクションレジスタ（SFR）マップ	A I-(1-7)
A・II	ポートブロック図	A II-(1-6)
A・III	LC872000/LC87B000 シリーズ・オンチップデバッグ端子処理	A III-(1-2)

1 概説

1-1 概要

LC87BK00シリーズは、最小バスサイクルタイム83.3nsで動作するCPU部を中心にして、8KバイトのフラッシュROM(オンボード書き換え可能)または、8K/6K/4KバイトのマスクROM、256バイトRAM、オンチップデバッグ機能(フラッシュROM版のみ)、高性能16ビットタイマ/カウンタ(8ビットタイマに分割可)、16ビットタイマ/カウンタ(8ビット分割可、8ビットPWM可)、プリスケアラ付き8ビットタイマ×2、時計用ベースタイマ、非同期/同期式SIO×1、12/8ビット分解能切り替え付き12ビット8チャンネルADコンバータ、システムクロック分周機能、内蔵リセット回路、15要因9ベクタ割り込み機能等を1チップに集積した8ビットマイクロコンピュータです。

1-2 特徴

■ROM

・フラッシュROM版

LC87FBK08A : 8192×8ビット

- ・電源電圧2.7～5.5Vの幅広いオンボード書き込みが可能
- ・128バイト単位でのブロック消去可能
- ・2バイト単位での書き込み可能

・マスクROM版

LC87BK08A : 8192×8ビット

LC87BK06A : 6144×8ビット

LC87BK04A : 4096×8ビット

■RAM

・フラッシュROM版

LC87FBK08A : 256×9ビット

・マスクROM版

LC87BK08A : 256×9ビット

LC87BK06A : 256×9ビット

LC87BK04A : 256×9ビット

■最小バスサイクルタイム

- ・83.3ns(12MHz, VDD=2.7～5.5V)

(注)バスサイクルタイムはROMの読み出し速度を表します。

■最小命令サイクルタイム(Tcyc)

- ・250ns(12MHz, VDD=2.7～5.5V)

■ポート

・ノーマル耐圧入出力ポート

1ビット単位で入出力指定可能 12(P1n, P20, P21, P70, CF2/XT2)

4ビット単位で入出力指定可能 8(P0n)

・ノーマル耐圧入力ポート

1(CF1/XT1)

・リセット端子

1($\overline{\text{RES}}$)

・電源端子

2(VSS1, VDD1)

■ タイマ

- ・タイマ0: キャプチャレジスタ付きの16ビットのタイマ／カウンタ
 - モード0: 8ビットプログラマブルプリスケアラ付き8ビットタイマ(8ビットキャプチャレジスタ付き) × 2チャンネル
 - モード1: 8ビットプログラマブルプリスケアラ付き8ビットタイマ(8ビットキャプチャレジスタ付き) + 8ビットカウンタ(8ビットキャプチャレジスタ付き)
 - モード2: 8ビットプログラマブルプリスケアラ付き16ビットタイマ(16ビットキャプチャレジスタ付き)
 - モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付き)
- ・タイマ1: PWM／トグル出力可能な16ビットのタイマ／カウンタ
 - モード0: 8ビットプリスケアラ付き8ビットタイマ(トグル出力付き) + 8ビットプリスケアラ付き8ビットタイマ／カウンタ(トグル出力付き)
 - モード1: 8ビットプリスケアラ付き8ビットPWM × 2チャンネル
 - モード2: 8ビットプリスケアラ付き16ビットタイマ／カウンタ(トグル出力付き)(下位8ビットからもトグル出力可能)
 - モード3: 8ビットプリスケアラ付き16ビットタイマ(トグル出力付き)(下位8ビットはPWMとして使用可能)
- ・タイマ6: 6ビットプリスケアラ付き8ビットタイマ(トグル出力付き)
- ・タイマ7: 6ビットプリスケアラ付き8ビットタイマ(トグル出力付き)
- ・ベースタイマ
 - ①クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
 - ②5種類の時間での割り込み発生が可能。
 - ③CF発振回路選択時のベースタイマは使用不可。

■ シリアルインタフェース

- ・SIO1: 8ビット非同期／同期式シリアルインタフェース
 - モード0: 同期式8ビットシリアルI/O
(2線式または3線式, 転送クロック2～512Tcyc)
 - モード1: 非同期シリアルI/O
(半二重, データ8ビット, ストップビット1, ボーレート8～2048Tcyc)
 - モード2: バスモード1(スタートビット, データ8ビット, 転送クロック2～512Tcyc)
 - モード3: バスモード2(スタート検出, データ8ビット, ストップ検出)

■ ADコンバータ: 12ビット×8チャンネル

- ・12／8ビットADコンバータ分解能切り替え

■ リモコン受信回路(P15／SCK1／INT3／TOIN端子と共用)

- ・ノイズ除去機能(ノイズ除去フィルタの時定数選択1Tcyc／32Tcyc／128Tcyc)

■ クロック出力機能

- ①システムクロックとして選択された源発振クロックの $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$ を出力可能
- ②サブクロックの源発振クロックを出力可能

■ ウォッチドッグタイマ

- ・低速RC発振クロック／サブクロックにより動作するタイマのオーバーフローで内部リセット発生可能
- ・スタンバイモード時の動作を3種類(カウント動作継続／動作停止／カウント値を保持してカウント動作停止)から選択可能

■ 割り込み要求フラグ

・15要因9ベクタ

- ① 割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。
- ② 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先されます。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4
4	0001BH	HまたはL	INT3/ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	なし
8	0003BH	HまたはL	SIO1
9	00043H	HまたはL	ADC/T6/T7
10	0004BH	HまたはL	ポート0

・優先レベル $X > H > L$

・同一レベルではベクタアドレスの小さいものが優先

■ サブルーチンスタックレベル: 最大128レベル(スタックはRAMの中に設定)

■ 高速乗除算命令

- ・16ビット×8ビット (実行時間: 5Tcyc)
- ・24ビット×16ビット (実行時間: 12Tcyc)
- ・16ビット÷8ビット (実行時間: 8Tcyc)
- ・24ビット÷16ビット (実行時間: 12Tcyc)

■ 発振回路

・内蔵発振回路

- ① 低速RC発振回路 : システムクロック用 (100kHz)
- ② 中速RC発振回路 : システムクロック用 (1MHz)
- ③ 周波数可変RC発振回路 : システムクロック用 (8MHz)

・外部発振回路

- ① 高速CF発振回路 : システムクロック用, Rf内蔵
 - ② 低速水晶発振回路 : 低速システムクロック用, Rf内蔵
- (1) CF発振回路と水晶発振回路の発振端子は共有端子となっており、選択はプログラマブル切り替え。
- (2) システムリセット中はCF発振回路、水晶発振回路共に発振動作を停止します。リセット解除後も発振停止状態を維持しますので、プログラムにて発振動作を開始してください。

■ システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで300ns, 600ns, 1.2μs, 2.4μs, 4.8μs, 9.6μs, 19.2μs, 38.4μs, 76.8μsの選択が可能(メインクロック10MHz使用時)

■内蔵リセット回路

・パワーオンリセット(POR)機能

- ①PORは電源投入時のみリセットがかかります。
- ②PORの解除レベルを4レベル(2.57V, 2.87V, 3.86V, 4.35V)オプションにて切り替え可能。

・低電圧検知リセット(LVD)機能

- ①LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかります。
- ②LVD機能を使用する／使用しないと低電圧検知レベルを3レベル(2.81V, 3.79V, 4.28V)オプションにて切り替え可能。

■スタンバイ機能

・HALTモード:命令実行停止,周辺回路動作継続

- ①発振の停止は自動的には行いません。
- ②HALTモードを解除するには次の4つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)低電圧検知によるリセット発生。
 - (3)ウォッチドッグタイマによるリセット発生。
 - (4)割り込みの発生。

・HOLDモード:命令実行停止,周辺回路動作停止

- ①CF発振,低速／中速／周波数可変RC発振,水晶発振のいずれも自動的に停止します。
(注)低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。
- ②HOLDモードを解除するには次の5つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)低電圧検知によるリセット発生。
 - (3)ウォッチドッグタイマによるリセット発生。
 - (4)INT0, INT1, INT2, INT4の何れかで割り込み要因が成立する。
(INT0, INT1はレベル検出設定に限る。)
 - (5)ポート0で割り込み要因が成立する。

・X'tal HOLDモード:命令実行停止,ベースタイマ以外の周辺回路動作停止 (X'tal発振選択時)

- ①CF発振,低速／中速／周波数可変RC発振は自動的に停止します。
(注)低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。
- ②水晶発振は突入時の状態を維持します。
- ③X'tal HOLDモードを解除するには次の6つの方法があります。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)低電圧検知によるリセット発生。
 - (3)ウォッチドッグタイマによるリセット発生。
 - (4)INT0, INT1, INT2, INT4の何れかで割り込み要因が成立する。
(INT0, INT1はレベル検出設定に限る。)
 - (5)ポート0で割り込み要因が成立する。
 - (6)ベースタイマ回路で割り込み要因が成立する。
(注)X'tal発振を選択時のみ使用できます。

■ オンチップデバッグ機能 (フラッシュROM版のみ)

- ・ターゲット基板に実装状態でソフトデバッグ可能
- ・ソフトウェアブレーク機能
- ・1命令毎のステップ実行機能
- ・メモリモニタ機能
プログラム実行状態で全メモリ内容のモニタおよび書き換えが可能
(一部の特殊レジスタについては書き換えできません)
- ・小ピン対応に合わせオンチップデバッグ・ターミナルは2チャンネル装備。
DBGP0(P0), DBGP1(P1)

■ データセキュリティ機能 (フラッシュROM版のみ)

- ・フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止
(注) データセキュリティ機能には絶対的なセキュリティはありません。

■ 出荷形態

- ・MFP24S(300mil)『鉛・ハロゲンフリー仕様品』
- ・SSOP24(225mil)『鉛・ハロゲンフリー仕様品』
- ・SSOP24(275mil)『鉛・ハロゲンフリー仕様品』受注生産品
- ・VCT24(3mm×3mm)『鉛・ハロゲンフリー仕様品』受注生産品

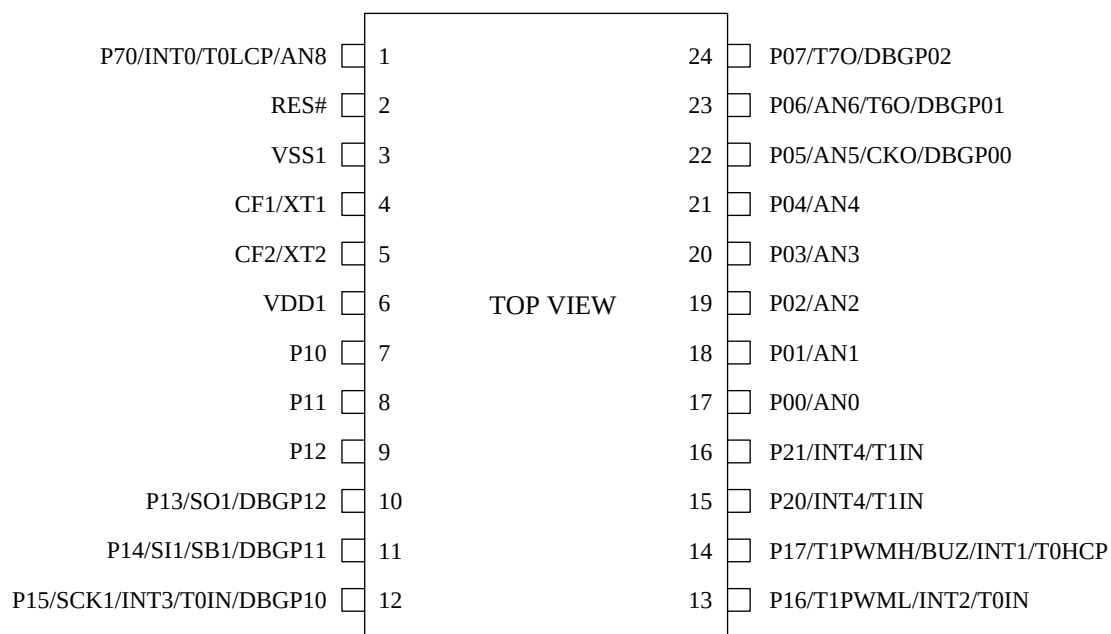
■ 開発ツール

- ・オンチップデバッグ : (1) TCB87 TypeB + LC87FBK08A
(2) TCB87 TypeC (3線用ケーブル) + LC87FBK08A

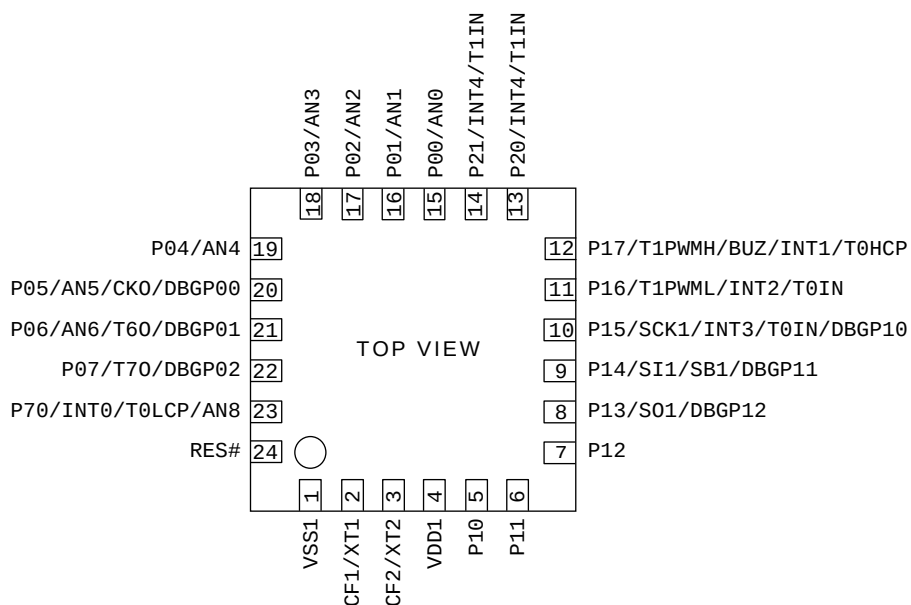
■ 書き込み基板

パッケージ	書き込み基板
MFP24S(300mil)	W87F2GM
SSOP24(225mil)	W87F2GS
SSOP24(275mil)	受注生産品
VCT24(3mm×3mm)	W87FBGV

1-3 ピン配置図

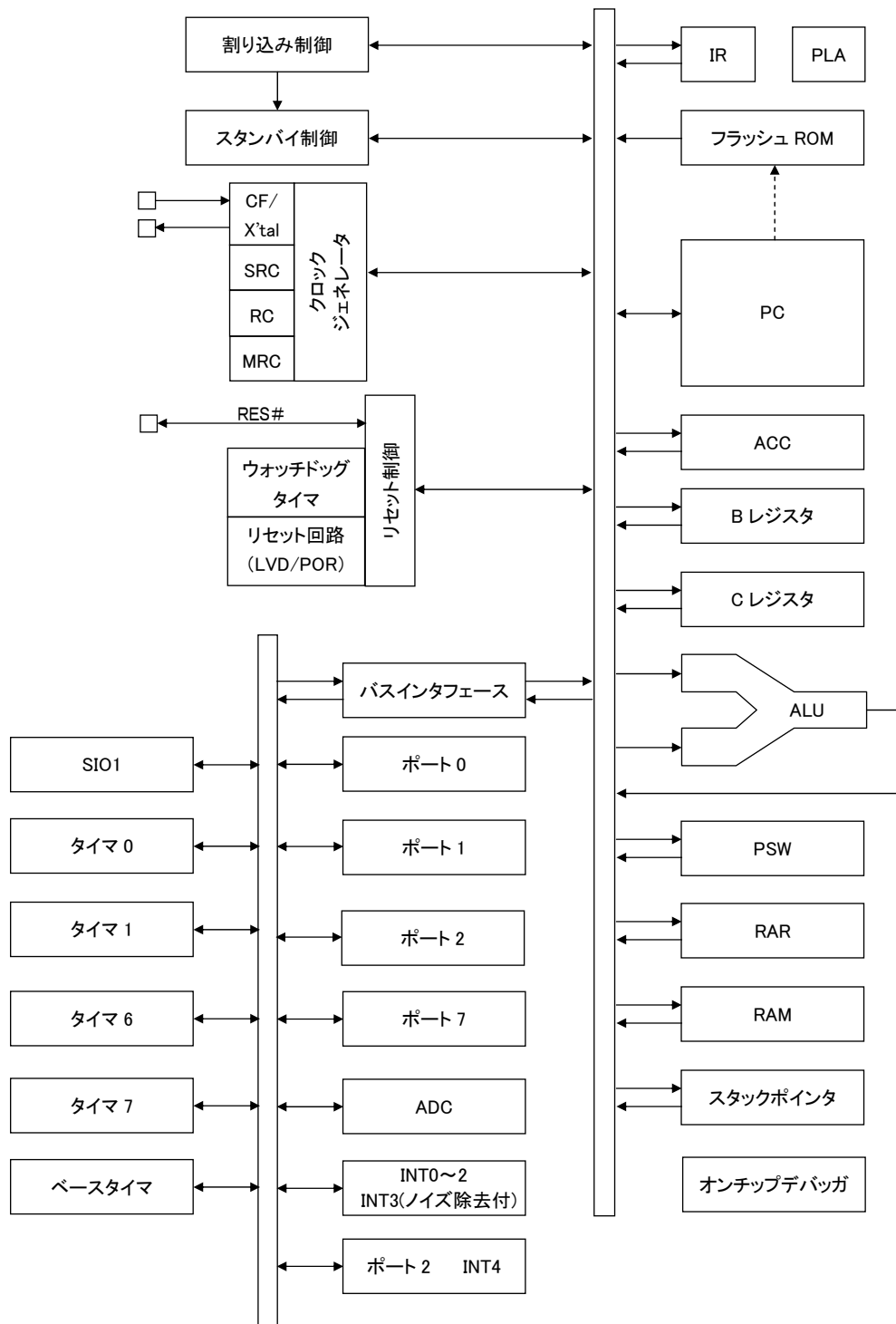


SANYO MFP24S(300mil)/SSOP24(225mil):『鉛・ハロゲンフリー仕様品』
 SSOP24(275mil):『鉛・ハロゲンフリー仕様品』 受注生産品



SANYO VCT24(3mm×3mm):『鉛・ハロゲンフリー仕様品』 受注生産品

1-4 システムブロック図



1-5 端子機能表

端子名	I/O	機能説明	オプション																								
VSS1, VSS2	—	電源の－端子	なし																								
VDD1	—	電源の＋端子	なし																								
ポート0 P00～P07	I/O	・8ビットの入出力ポート ・4ビット単位の入出力指定可能 ・4ビット単位のパルアップ抵抗 ON/OFF可能 ・HOLD解除入力 ・ポート0割り込み入力 ・端子機能 P05 : システムクロック出力 P06 : タイマ6トグル出力 P07 : タイマ7トグル出力 P00(AN0)～P06(AN6) : AD変換入力ポート P05(DBGP00)～P07(DBGP02) : オンチップデバッガ-0用端子	あり																								
ポート1 P10～P17	I/O	・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF可能 ・端子機能 P13 : SIO1データ出力 P14 : SIO1データ入力/バス入出力 P15 : SIO1クロック入出力/INT3入力(ノイズフィルタ付き入力)/ タイマ0イベント入力/タイマ0Hキャプチャ入力 P16 : タイマ1PWML出力/INT2入力/HOLD解除入力/ タイマ0イベント入力/タイマ0Lキャプチャ入力 P17 : タイマ1PWMH出力/ブザー出力/INT1入力/ HOLD解除入力/タイマ0Hキャプチャ入力 P15(DBGP10)～P13(DBGP12) : オンチップデバッガ-1用端子 インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT1</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr><tr><td>INT2</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr><tr><td>INT3</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT1	○	○	×	○	○	INT2	○	○	○	×	×	INT3	○	○	○	×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT1	○	○	×	○	○																						
INT2	○	○	○	×	×																						
INT3	○	○	○	×	×																						
ポート2 P20, P21	I/O	・2ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF可能 ・端子機能 P20, P21 : INT4入力/HOLD解除入力/タイマ1イベント入力 /タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT4</td><td>○</td><td>○</td><td>○</td><td>×</td><td>×</td></tr></table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4	○	○	○	×	×	あり												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT4	○	○	○	×	×																						
ポート7 P70	I/O	・1ビットの入出力ポート ・入出力指定可能 ・パルアップ抵抗 ON/OFF可能 ・端子機能 P70 : INT0入力/HOLD解除入力/タイマ0Lキャプチャ入力 P70(AN8) : AD変換入力ポート インタラプト受付形式 <table><tr><td></td><td>立ち上がり</td><td>立ち下がり</td><td>立ち上がり 立ち下がり</td><td>Hレベル</td><td>Lレベル</td></tr><tr><td>INT0</td><td>○</td><td>○</td><td>×</td><td>○</td><td>○</td></tr></table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0	○	○	×	○	○	なし												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT0	○	○	×	○	○																						

(次ページへ)

端子名	I/O	機能説明	オプション
$\overline{\text{RES}}$	I/O	外部リセット入力／内部リセット出力端子	なし
CF1/XT1	I	- セラミック発振子／32.768kHz水晶発振子用入力端子 - 端子機能 汎用入力ポート	なし
CF2/XT2	I/O	- セラミック発振子／32.768kHz水晶発振子用出力端子 - 端子機能 汎用入出力ポート	なし

1-6 オンチップデバッグ端子処理

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、【LC872000／LC87B000 シリーズ・オンチップデバッグ端子処理】をご参照ください。

1-7 未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00～P07	OPEN	出力Low設定
P10～P17	OPEN	出力Low設定
P20～P21	OPEN	出力Low設定
P70	OPEN	出力Low設定
CF1/XT1	100kΩ以下の抵抗でプルダウン	汎用入力設定
CF2/XT2	100kΩ以下の抵抗でプルダウン	汎用入力設定

1-8 ポート出力形態

ポートの出力形態とプルアップ抵抗の有無を以下に示します。
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能です。

ポート名	オプション 切り替え単位	オプション 種類	出力形式	プルアップ抵抗
P00～P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nchオープンドレイン	なし
P10～P17 P20, P21	1ビット単位	1	CMOS	プログラマブル
		2	Nchオープンドレイン	プログラマブル
P70	—	なし	Nchオープンドレイン	プログラマブル
CF2/XT2	—	なし	セラミック発振子／32.768kHz 水晶発振子用出力 Nchオープンドレイン (汎用入出力ポート選択時は Nchオープンドレイン)	なし

(注1)ポート0のプログラマブルプルアップ抵抗の有無とLowインピーダンス・プルアップ／Highインピーダンス・プルアップ切り替えは、共にニブル(4ビット)単位(P00～03, P04～07)の制御となります。

1-9 ユーザオプション一覧表

オプション名	オプション種類	マスク版 ※ 1	フラッシュ版	オプション 切り替え単位	指定する内容
ポート出力形式	P00～P07	○	○	1ビット単位	CMOS Nch オープンドレイン
	P10～P17	○	○	1ビット単位	CMOS Nch オープンドレイン
	P20～P21	○	○	1ビット単位	CMOS Nch オープンドレイン
プログラム スタート番地	-	×	○	-	00000H 01E00H
低電圧検知 リセット機能	検知機能	○	○	-	許可:使用する 禁止:使用しない
	検知レベル	○	○	-	3 レベル
パワーオン リセット機能	パワーオンリセット レベル	○	○	-	4 レベル

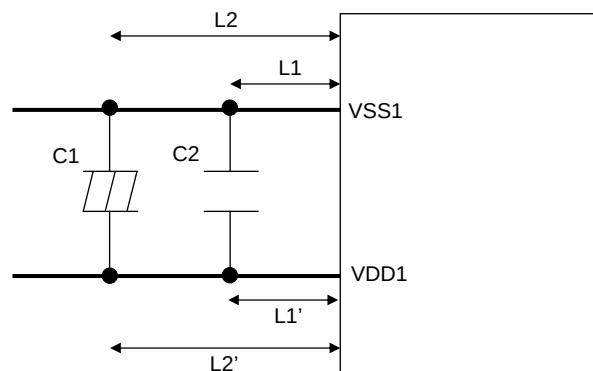
※ 1 : マスクオプションとしての選択になりますのでマスク完成後の変更は出来ません。

※ 2 : マスク版のプログラムスタート番地は0 0 0 0 0 Hになります。

1-10 電源端子推奨条件 (VDD1, VSS1)

VDD1～VSS1端子間には、以下の条件を満たすようなバイパスコンデンサを接続してください。

- ・VDD1, VSS1端子とバイパスコンデンサC1, C2間は太い配線により最短で接続し、かつ両端子からバイパスコンデンサまでのインピーダンスが極力等しく($L1=L1'$, $L2=L2'$)なるように接続してください。
- ・コンデンサは大容量のものC1と小容量のものC2を並列に挿入してください。
C2については0.1 μ F程度のコンデンサを接続してください。

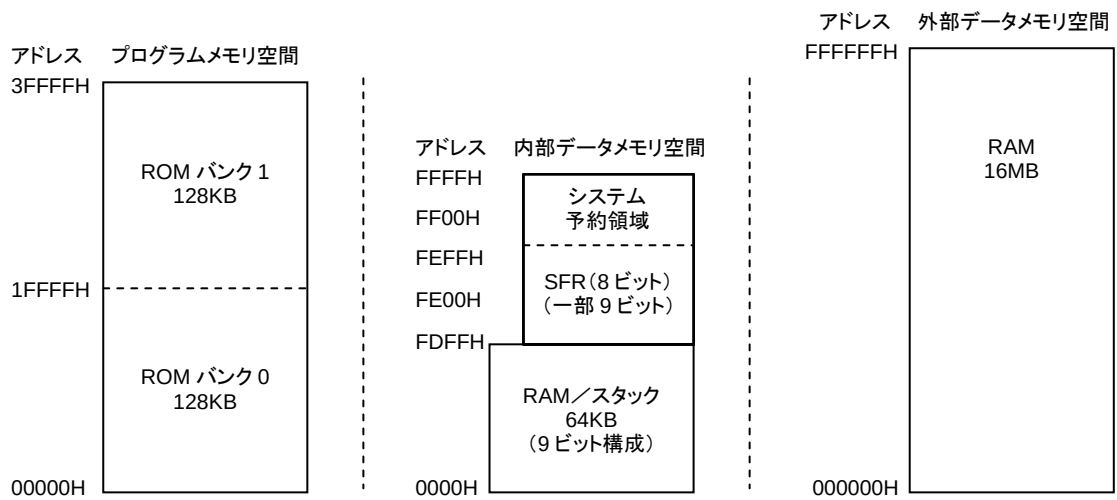


2 内部システム構成

2-1 メモリ空間

LC870000シリーズは、次の3種類のメモリ空間を持ちます。

- ① プログラムメモリ空間 256Kバイト(128Kバイト×2バンク)
- ② 内部データメモリ空間 64Kバイト(0000H～FFFFHのうち0000H～FDFFHがスタックエリア兼用)。
- ③ 外部データメモリ空間 16Mバイト



(注) SFR: アキュムレータ等の特殊機能レジスタの配置されている領域 (APPENDIX AI 参照)

図 2-1-1 メモリ空間

2-2 プログラムカウンタ(PC)

プログラムカウンタ(PC)は17ビットで構成されて、その他にバンクフラグBNKがあり、BNKの値でバンクが変化します。PCの下位17ビットにより、バンク内の128KのROM空間がリニアにアクセスできます。

通常、PCは命令実行毎にバンク内で自動的に進みます。バンクの切り替えはスタックにアドレスをプッシュして、リターン命令を実行することで行います。

分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値がPCに設定されます。

各動作におけるPCの設定データを表 2-2-1 に示します。

表 2-2-1 PC 設 定 値

動作の種類		PCの値	BNKの値
割り込み	リセット(注)	00000H	0
		01E00H	0
	INT0	00003H	0
	INT1	0000BH	0
	INT2/T0L/INT4	00013H	0
	INT3/ベースタイマ	0001BH	0
	T0H	00023H	0
	T1L/T1H	0002BH	0
	なし	00033H	0
	SIO1	0003BH	0
	ADC/T6/T7	00043H	0
	ポート0	0004BH	0
無条件分岐命令	JUMP a17	PC=a17	不変
	BR r12	PC=PC+2+r12[-2048～+2047]	不変
条件分岐命令	BE,BNE,DBNZ,DBZ,BZ,BNZ,BZW,BNZW,BP,BN,BPC	PC=PC+nb+r8[-128～+127] nb: 命令のバイト数	不変
CALL命令	CALL a17	PC=a17	不変
	RCALL r12	PC=PC+2+r12[-2048～+2047]	不変
	RCALLA	PC=PC+1+Areg[0～+255]	不変
リターン命令	RET,RETI	PC16～08=(SP), PC07～00=(SP-1) (SP)はスタックポインタの値SPで 指示されるRAMの内容。	BNK は (SP-1)の ビット8
通常命令	NOP,MOV,ADD,...	PC=PC+nb nb: 命令のバイト数	不変

(注)フラッシュ版では、ユーザオプション設定により、リセット時のプログラムスタートアドレスを選択することができます。マスク版では、00000H番地固定となります。

2-3 プログラムメモリ(ROM)

プログラムメモリ空間は256Kバイトありますが、実際に内蔵しているROMは機種により異なります。ROMテーブル参照命令(LDCW)でバンク内の全てのROMデータを参照できます。ROM空間のうちROMバンク0の256バイト(本シリーズ:01F00H～01FFFFH)をオプション指定領域として使用しますので、この領域はプログラム領域として使えません。

2-4 内部データメモリ(RAM)

内部データメモリ空間は64Kバイトありますが、実際に内蔵しているRAMは機種により異なります。RAMのビット長は、128KのROM空間を実現するために0000H～FDF FHでは9ビットで、FE00H～FFFFHでは8ビットまたは9ビットです。なお、RAMの9ビット目はPSWのビット1を使用し、読み書きできます。

RAMの0000H～007FHの128バイトは2バイトずつペアになり64個の間接アドレスレジスタとしても使用できます。これら間接レジスタのビット長は通常16ビット(8ビット×2)として扱われますが、ROMテーブル参照命令(LDCW)で使用する時は17ビット(9ビット(上位)+8ビット(下位))となります。

図2-4-1に示すように、RAMのアドレスにより使用できる命令が異なります。これらの命令を使い分けることによって、使用ROM/実行スピードの効率化が図れます。

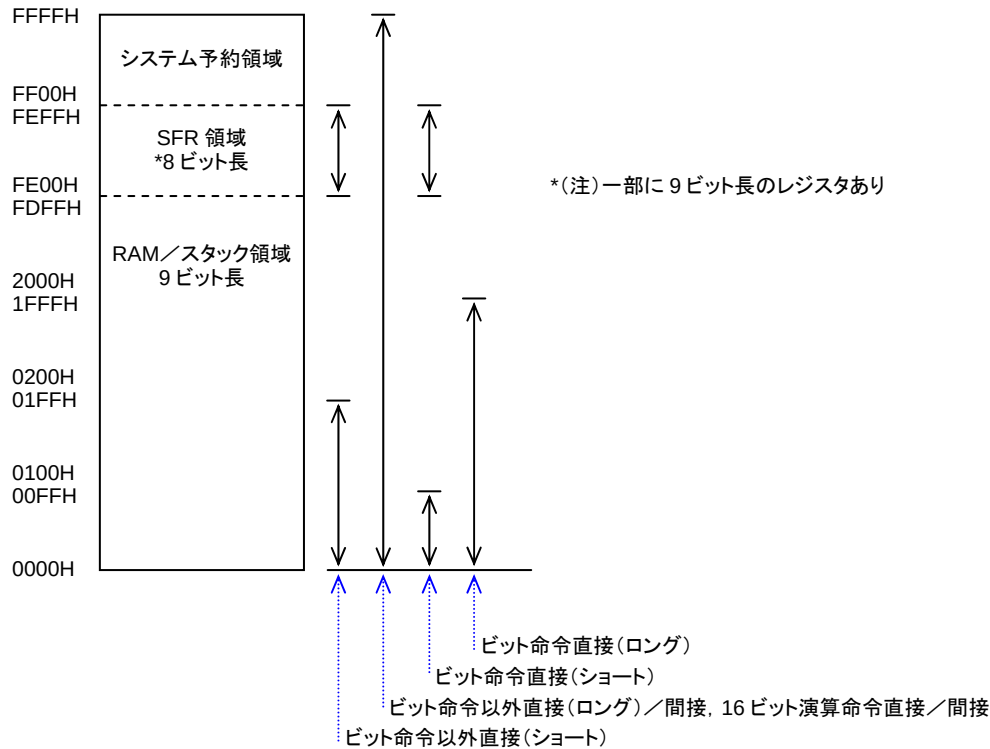


図 2-4-1 RAMアドレッシングマップ

また、サブルーチン呼び出し命令やインタラプトでPCがRAMに格納される時には、現在のスタックポインタの値をSPとすると、RAMのSP+1にBNKの値とPC(17ビット)の下位8ビットが、SP+2にPCの上位9ビットが格納され、SP=SP+2となります。

2-5 アキュムレータ/Aレジスタ(ACC/A)

アキュムレータ(ACC)はAレジスタとも呼ばれ、データの演算、転送、入出力の処理が行われるのに使用される8ビットのレジスタです。内部データメモリ空間のFE00H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE00	0000 0000	R/W	AREG	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0

2-6 Bレジスタ(B)

Bレジスタは16ビット演算命令では、ACCと組み合わせて16ビットの演算用レジスタとなります。また、乗除算命令では、ACC、Cレジスタとともに、結果の格納に使われます。さらに、外部メモリアクセス命令(LDX, STX)では、24ビットアドレスの上位8ビットの指定を行います。

Bレジスタは内部データメモリ空間のFE01H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE01	0000 0000	R/W	BREG	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0

2-7 Cレジスタ(C)

Cレジスタは、乗除算命令では、ACC, Bレジスタとともに、結果の格納に使われます。さらに、Cレジスタ・オフセット間接命令では、間接レジスタの内容に対するオフセットデータ(−128〜+127)を格納します。

Cレジスタは内部データメモリ空間のFE02H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE02	0000 0000	R/W	CREG	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0

2-8 プログラムステータスワード(PSW)

プログラムステータスワード(PSW)は、演算結果の状態を示すフラグとRAMの9ビット目をアクセスするフラグとLDCW命令時のバンク指定のフラグから構成されています。

PSWは内部データメモリ空間のFE06H番地に割り当てられ、リセット時には00Hに初期化されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE06	0000 0000	R/W	PSW	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY

CY(ビット7): キャリーフラグ

CYは、演算の実行によりキャリーが生じた時セット(1)され、生じなかった時クリア(0)されます。キャリーには次の種類があります。

- ①加算結果のキャリー
- ②減算結果のボロー
- ③比較結果のボロー
- ④ローテートのキャリー

但し、命令によってはフラグが変化しない場合があります。

AC(ビット6): 補助キャリーフラグ

ACは、加減算の実行によりビット3(16ビット演算では上位バイトのビット3)にキャリーまたはボローが生じた時セット(1)され、生じなかった時クリア(0)されます。

但し、命令によってはフラグが変化しない場合があります。

PSWB5, 4(ビット5, 4): ユーザビット

命令でリード/ライトできますので、ご自由にお使ください。

LDCBNK(ビット3): テーブル参照命令(LDCW)用バンクフラグ

テーブル参照命令でプログラムROMを読む時のROMバンクを指定します。
(0: ROM-ADR=0~1FFFF 1: ROM-ADR=20000~3FFFF)

OV(ビット2): オーバーフローフラグ

OVは、算術演算の実行によりオーバーフローが生じた時セット(1)され、生じなかった時クリア(0)されます。オーバーフローが生じる場合には次の種類があります。

- ①MSBを符号ビットとした時、負数+負数または負数-正数の結果が正数となった時
- ②MSBを符号ビットとした時、正数+正数または正数-負数の結果が負数となった時

- ③16ビット×8ビットの乗算結果の上位8ビットの値が0でない時
- ④24ビット×16ビットの乗算結果の上位16ビットの値が0でない時
- ⑤除算で除数が0の時

但し、命令によってはフラグが変化しない場合があります。

P1(ビット1):RAMビット8データフラグ

P1は、9ビットで構成される内部データRAM(0000H~FDFFH)のビット8を操作するのに使います。命令により動作が異なります。詳しくは、表2-4-1を参照してください。

PARITY(ビット0):パリティフラグ

アキュムレータ(Aレジスタ)のパリティを示します。

Aレジスタのビット状態が、“1”が奇数個の場合にパリティフラグがセット(1)されます。また、“1”が偶数個の場合には、パリティフラグがリセット(0)されます。

2-9 スタックポインタ(SP)

LC870000シリーズはRAMの0000H~FDFFHをスタック領域として使用できます。但し、内蔵しているRAMサイズは機種により異なります。

SPは16ビット長で、SPL(FE0A番地)とSPH(FE0B番地)の2つのレジスタで構成され、リセット時には0000Hに初期化されます。

SPは、スタックメモリにデータを待避する前に+1され、データをスタックメモリから復帰した後で-1されます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0A	0000 0000	R/W	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

SPの値は以下のように変化します。

- ①PUSH命令実行時 : $SP = SP + 1$, $RAM(SP) = DATA$
- ②CALL命令実行時 : $SP = SP + 1$, $RAM(SP) = ROMBANK + ADL$
 $SP = SP + 1$, $RAM(SP) = ADH$
- ③POP命令実行時 : $DATA = RAM(SP)$, $SP = SP - 1$
- ④RET命令実行時 : $ADH = RAM(SP)$, $SP = SP - 1$
 $ROMBANK + ADL = RAM(SP)$, $SP = SP - 1$

2-10 間接アドレスレジスタ

LC870000シリーズは、間接レジスタの内容を用いた番地指定機能(インダイレクト・アドレッシング・モード)を3種類([Rn], [Rn+C], [off])持っています。(アドレッシング・モードについては2-11項参照)この時使用されるのが、RAMの0~7EH番地に2バイト構成で64個(R0~R63)存在する間接レジスタです。間接レジスタは、汎用レジスタ(2バイトデータの待避用等)としても使用できます。もちろん、間接レジスタとして使用しない場合には、通常RAM(1バイト(9ビット)データ単位)として使用できます。R0~R63は、アセンブラにて「システム予約語」となっておりユーザが定義する必要はありません。

	RAM	システム予約データ
アドレス	・	
7FH	R63(上位)	
7EH	R63(下位)	R63=7EH
・	・	・
・	・	・
03H	R1(上位)	
02H	R1(下位)	R1=2
01H	R0(上位)	
00H	R0(下位)	R0=0

図 2-10-1 間 接レジスタ配 置

2-11 アドレッシング・モード

LC870000シリーズは、以下の7種類のアドレッシング・モードがあります。

- ①イミディエイト(即 値 : プログラム作成 (アセンブル) 時に値 が確 定しているデータ)
- ②間 接レジスタ(Rn)・インダイレクト(間 接) (0 ≤ n ≤ 63)
- ③間 接レジスタ(Rn) + Cレジスタ・インダイレクト(間 接) (0 ≤ n ≤ 63)
- ④間 接レジスタ(R0) + オフセット値・インダイレクト(間 接)
- ⑤ダイレクト(直 接)
- ⑥ROMテーブル参 照
- ⑦外 部 データメモリ・アクセス

次 項 より、各 アドレッシング・モードの説明を行います。

2-11-1 イミディエイト・アドレッシング(#)

イミディエイト・アドレッシングでは、8ビット(1バイト)または16ビット(1ワード)のイミディエイト(即 値)データを扱うことができます。以下に例を示します。

例 :

```

LD      # 12H      ;アキュムレータにバイトデータ(12H)を設定
L1: LDW    # 1234H   ;BAペアレジスタにワードデータ(1234H)を設定
PUSH    # 34H      ;スタックにバイトデータ(34H)を設定
ADD     # 56H      ;アキュムレータとバイトデータ(56H)の加算
BE      # 78H, L1   ;アキュムレータとバイトデータ(78H)の比較・分岐

```


2-11-2 間接レジスタ・インダイレクト・アドレッシング ([Rn])

間接レジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つを選択し、そのレジスタの内容でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容が例えば“FE02H”であった場合、「Cレジスタ」を示すことになります。

例：

```

R3の内容が“123H”の場合 (RAM6番地:23H, RAM7番地:01H)
LD      [R3]          ;RAMの123H番地の内容をアキュムレータに転送
L1: STW  [R3]          ;BAペア・レジスタの内容をRAMの123H番地に転送
      PUSH [R3]        ;RAMの123H番地の内容をスタックに待避
      SUB  [R3]        ;アキュムレータからRAMの123H番地の内容を減算
      DBZ  [R3], L1    ;RAMの123H番地の内容を“－1”し「ゼロ」なら分岐

```

2-11-3 間接レジスタ+Cレジスタ・インダイレクト・アドレッシング ([Rn, C])

間接レジスタ+Cレジスタ・インダイレクト・アドレッシングでは、間接レジスタ(R0～R63)のどれか一つの内容とCレジスタの内容(MSBを符号とする－128～＋127)を加算した結果でRAMまたはSFRの番地を指定することができます。つまり、選択した間接レジスタの内容を“FE02H”とし、Cレジスタの内容が“FFH(－1)”であったので「Bレジスタ(FE02H＋(－1)＝FE01H)」を示すことになります。

例：

```

R3の内容が“123H”、Cレジスタの内容が“02H”の場合
LD      [R3, C]        ;RAMの125H番地の内容をアキュムレータに転送
L1: STW  [R3, C]        ;BAペア・レジスタの内容をRAMの125H番地に転送
      PUSH [R3, C]      ;RAMの125H番地の内容をスタックに待避
      SUB  [R3, C]      ;アキュムレータからRAMの125H番地の内容を減算
      DBZ  [R3, C], L1  ;RAMの125H番地の内容を“－1”し「ゼロ」なら分岐

```

＜このアドレッシング・モードの注意事項＞

内部データメモリ空間は、前述(2-1項)のように①システム予約領域(FF00H～FFFFH)②SFR領域(FE00H～FEFFH)③RAM／スタック領域(0000H～FDFFH)の3つの機能領域に分かれて閉じています。よって、基本となるRnの内容が示す領域からCレジスタの値によって別領域を示すということとはできません。例えば、R5の内容が“0FDFFH”で、Cレジスタの内容が“1”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は③RAM／スタック領域(0000H～FDFFH)であるため、アドレッシングしようとした“0FDFFH＋1＝0FE00H”は領域外となり、LDの結果は“0FFH”がACCに入ります。また、R5の内容が“0FEFFH”でCレジスタの内容が“2”である場合に「LD [R5, C]」命令を実行すると、基本となる領域は②SFR領域(FE00H～FEFFH)であるため、アドレッシングしようとした“0FEFFH＋2＝0FF01H”は領域外となります。この場合は、SFRが8ビットアドレス空間で閉じているため8ビットを超過した部分は無視され“0FF01H&0FFH＋0FE00H＝0FE01H”となり0FE01H(Bレジスタ)の内容がACCに入ります。

2-11-4 間 接レジスタ(R0) + オフセット値・インダイレクト・アドレッシング ダ([off])

このアドレッシング・モードでは、間 接レジスタ「R0」の 内 容 と 符 号 付 き 7 ビット オフセット
データ off (−64 ~ +63) を 加 算 し た 結 果 で、RAM また は SFR の 番 地 を 指 定 す る こ と
が 可 能 です。つ ま り、R0 の 内 容 が “FE02H” で あ り off 値 を “7EH (−2)” と し た 場 合、
「Aレジスタ (FE02H + (−2) = FE00H)」を 示 す こ と に な り ま す。

例：

R0 の 内 容 が “123H” の 場 合 (RAM0 番 地 : 23H, RAM1 番 地 : 01H)

LD	[10H]	; RAM の 133H 番 地 の 内 容 を アキュムレータ に 転 送
L1: STW	[10H]	; BA ペア ・ レジスタ の 内 容 を RAM の 133H 番 地 に 転 送
PUSH	[10H]	; RAM の 133H 番 地 の 内 容 を スタック に 待 避
SUB	[10H]	; アキュムレータ から RAM の 133H 番 地 の 内 容 を 減 算
DBZ	[10H], L1	; RAM の 133H 番 地 の 内 容 を “−1” し 「ゼロ」 なら 分 岐

＜このアドレッシング・モードの注 意 事 項＞

内 部 データメモリ空間は、前 述 (2-1 項) の よう に ① システム予 約 領 域 (FF00H ~ FFFFH) ② SFR 領 域 (FE00H ~ FEF7H) ③ RAM / スタック領 域 (0000H ~ F7FFFH) の 3 つ の 機 能 領 域 に 分 か れ て 閉 じ て い ま す。よ っ て、基 本 と な る R0 の 内 容 が 示 す 領 域 から オフセット値によつて別領 域 を 示 す と い う こ と は 可 能 じ き ません。例 え ば、R0 の 内 容 が “0 F7FFFH” で あ る 場 合 に 「LD [1]」 命 令 を 実 行 す る と、基 本 と な る 領 域 は ③ RAM / スタック領 域 (0000H ~ F7FFFH) で あ る た め、アドレッシングしようとした “0 F7FFFH + 1 = 0 FE00H” は 領 域 外 と な り、LD の 結 果 は “0 FFH” が ACC に 入 り ま す。ま た、R0 の 内 容 が “0 FEFFFH” で あ る 場 合 に 「LD [2]」 命 令 を 実 行 す る と、基 本 と な る 領 域 は ② SFR 領 域 (FE00H ~ FEF7H) で あ る た め、アドレッシングしようとした “0 FEFFFH + 2 = 0 FF01H” は 領 域 外 と な り ま す。こ の 場 合 は、SFR が 8 ビット アドレス空間で閉じているため 8 ビットを超過した部分は無視され “0 FF01H & 0 FFH + 0 FE00H = 0 FE01H” と な り 0 FE01H (Bレジスタ) の 内 容 が ACC に 入 り ま す。

2-11-5 ダイレクト・アドレッシング(dst)

ダイレクト・アドレッシングでは、RAM また は SFR の 番 地 を オペランドに記述し直接指定することが可 能 です。このアドレッシング・モードでは、記 述 さ れ た オペランドの番 地 からアセンブラが自 動 的 に 最 適 な 命 令 コードを生成します (オペランドの番 地 により 命 令 の バイト数 が 異 な る)。ま た、命 令 の バイト数 を 一 定 (バイト数の多い方) と し た い 場 合 の た め に、ロング (ミドル) ・レンジ命 令 も 用 意 し ま し た (ニーモニックの最後 に “L(M)” が 付 い て い る も の)。

例：

LD	123H	; RAM の 123H 番 地 の 内 容 を アキュムレータ に 転 送 (2 バイト 命 令)
LDL	123H	; RAM の 123H 番 地 の 内 容 を アキュムレータ に 転 送 (3 バイト 命 令)
L1: STW	123H	; BA ペア ・ レジスタ の 内 容 を RAM の 123H 番 地 に 転 送
PUSH	123H	; RAM の 123H 番 地 の 内 容 を スタック に 待 避
SUB	123H	; アキュムレータ から RAM の 123H 番 地 の 内 容 を 減 算
DBZ	123H, L1	; RAM の 123H 番 地 の 内 容 を “−1” し 「ゼロ」 なら 分 岐

2-11-6 ROMテーブル参照・アドレッシング

LC870000シリーズは、「LDCW」命令を用いることによりROM上の2バイトデータをBAレジスタペアに一度に読み出すことができます。この時のアドレッシング・モードは、[Rn], [Rn, C], [off]の3種類が使用できます。(この場合に限り、Rnは17ビット構成(128Kバイト空間)となります。)

ROMにバンクがある機種では、PSW内の“LDCBNK”フラグ(ビット3)が示すROMバンク内(128Kバイト)のROMデータを参照することができます。よって、ROMバンクの存在する機種でのROMテーブル参照時には、ROMテーブルが存在するROMバンクを“LDCBNK”フラグが示すように「SET1, CLR1等」の命令で切り替えてから「LDCW」命令を実行してください。

例：

```
TBL: DB      34H
      DB      12H
      DW      5678H
      .
      .
```

LDW #TBL ;BAレジスタペアに“TBLアドレス”を設定

(注1) CHGP3 (TBL >> 17) & 1 ;PSWのLDCBNKにTBLアドレスビット17を設定する。

CHGP1 (TBL >> 16) & 1 ;PSWのP1に“TBLアドレスビット16を設定する。

STW R0 ;間接レジスタR0へのTBLアドレス設定(ビット16～ビット0)

LDCW [1] ;ROMテーブル読み出し(B=78H, ACC=12H)

MOV #1, C ;Cレジスタに“01H”を設定

LDCW [R0, C] ;ROMテーブル読み出し(B=78H, ACC=12H)

INC C ;Cレジスタをインクリメント(+1)

LDCW [R0, C] ;ROMテーブル読み出し(B=56H, ACC=78H)

(注1) ROMにバンクがある機種のみ、PSWのLDCBNK(ビット3)の設定が必要。

2-11-7 外部データ・メモリ・アドレッシング

LC870000シリーズは、「LDX, STX」命令を用いることにより、16Mバイト(24ビット)の外部データメモリ空間をアクセスすることが可能です。24ビットの空間指定には、Bレジスタ(8ビット)の内容を最上位に、また、(Rn), (Rn) + (C), (R0) + off(のどれか一つ)の内容(16ビット)を下位に用います。

例：

LDW #3456H ;下位16ビット設定

STW R5 ;間接レジスタR5にアドレス下位16ビットを設定

MOV #12H, B ;アドレス上位8ビット設定

LDX [1] ;外部データメモリ(123456H番地)の内容をアキュムレータに転送

2-12 WAIT動作

2-12-1 WAIT動作の発生

本シリーズでは、自動的に命令の実行を中断するWAIT動作は発生しません。

2-12-2 WAIT動作とは

- ① 2-12-1に示したような要因で、WAIT要求が発生すると、CPUは命令の実行を1サイクル中断し、この間に所定のデータ転送を行います。これがWAIT動作です。
- ② タイマやPWMなどの周辺の回路は、WAIT動作中も変わりなく動作します。
- ③ WAIT動作は2サイクル以上連続して行われることはありません。
- ④ ホルト、ホールドモード時、WAIT動作は行われません。
- ⑤ WAIT動作が1回発生すると、プログラムカウンタの進行と時間の進行の間にずれが1サイクル生じますので、注意してください。

表 2-4-1 BIT8(RAM/SFR)とP1の状態変化表

命令	BIT8(RAM/SFR)	P1(PSWのBIT1)	備考
LD#/LDW#	—	—	
LD	—	P1←REG8	
LDW	—	P1←REGH8	
ST	REG8←P1	—	
STW	REGL8,REGH8←P1	—	
MOV	REG8←P1	—	
PUSH#	RAM8←P1	—	
PUSH	RAM8←REG8	P1←REG8	
PUSHW	RAMH8←REGH8,RAML8←REGL8	P1←REGH8	
PUSH_P	RAM8←P1	—	
PUSH_BA	RAMH8←P1,RAML8←P1	—	
POP	REG8←RAM8	P1←RAM8	PSW 対象の場合、P1←bit1
POPW	REGH8←RAMH8,REGL8←RAML8	P1←RAMH8	上位アドレス PSW 対象時、P1←bit1
POP_P	—	P1←RAM1(bit1)	BIT8 は無視
POP_BA	—	P1←RAMH8	
XCH	REG8↔P1	同左	
XCHW	REGH8←P1,REGL8←P1,P1←REGH8	同左	
INC	9bit の INC	演算後,P1←REG8	9bit の INC
INCW	17bit の INC,REGL8←下位バイトの CY	演算後,P1←REGH8	17bit の INC
DEC	9bit の DEC	演算後,P1←REG8	9bit の DEC
DECW	17bit の DEC, REGL8←下位バイトの CY の反転	演算後,P1←REGH8	17bit の DEC
DBNZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
DBZ	9bit の DEC	P1←REG8	9bit の DEC, 判定は下位 8bit
SET1	—	—	
NOT1	—	—	
CLR1	—	—	
BPC	—	—	
BP	—	—	
BN	—	—	
MUL24/DIV24	RAM8←“1”	—	演算結果の入る RAM の BIT8 は 1
FUNC	—	—	

(注) 対象が8ビットレジスタ(ビット8なし)の場合“1”が読み込まれて処理されます。

(記号) REG8:RAM または SFR の bit8

REGH8/REGL8:RAM または SFR の上位バイトの bit8/下位バイトの bit8

RAM8:RAM の bit8

RAMH8/RAML8:RAM の上位バイトの bit8/下位バイトの bit8

3 周辺システム構成

この章では、CPUコア、RAM、ROM以外の内蔵されている機能ブロック(周辺システム)について説明します。

また、ポートのブロック図をAPPENDIX(AⅡ)に添付しましたので、ご参照ください。

3-1 ポート0

3-1-1 概要

ポート0は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向とプルアップ抵抗をデータディレクションレジスタにより4ビット毎に設定できます。

ポート0は、外部割り込み端子としても使用でき、ホールドモードの解除も可能です。ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

<フラッシュ版の注意点>

マイコンにリセットが掛かるとポートP05は一時的にLowを出力します。また、リセット期間中のポートP07には、クロックや中間電位(Hi-Z含む)を印加しないでください。

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、APPENDIX(AⅢ)の【LC872000/LC87B000シリーズ・オンチップデバッグ端子処理】をご参照ください。

3-1-2 機能

①入出力ポート (8ビット:P00~P07)

- ・ポート0データラッチ(P0:FE40)でポート出力データの制御をビット毎に行います。
- ・P00~P03の入出力の制御は、POLDDR(P0DDR:FE41のビット0)で行います。
- ・P04~P07の入出力の制御は、POHDDR(P0DDR:FE41のビット1)で行います。
- ・ユーザオプションでCMOS出力を選んだポートに、プログラマブル・プルアップ抵抗が付きます。
- ・プログラマブル・プルアップ抵抗にはLowインピーダンス・プルアップとHighインピーダンス・プルアップが選択できます。
- ・P00~P03のプログラマブル・プルアップ抵抗の制御は、POLPU(P0DDR:FE41のビット2)で行い、Highインピーダンス・プルアップとLowインピーダンス・プルアップの選択はPOLPUS(P0DDR:FE41のビット6)で行います。
- ・P04~P07のプログラマブル・プルアップ抵抗の制御は、POHPU(P0DDR:FE41のビット3)で行い、Highインピーダンス・プルアップとLowインピーダンス・プルアップの選択はPOHPUS(P0DDR:FE41のビット7)で行います。

②割り込み端子機能

入力ポート指定され、対応するポート0データラッチ(P0:FE40)のビットが“1”のポートのどれか1つに“0”レベルのデータが入力されると、P0FLG(P0DDR:FE41のビット5)がセットされます。

このとき、P0IE(P0DDR:FE41のビット4)が“1”であれば、ホールドモード解除と、ベクタアドレス004BHへの割り込み要求を行います。

PORT0

③兼用機能

P05でシステムクロック出力、P06でタイマ6トグル出力、P07でタイマ7トグル出力、P00～P06でアナログ入力チャンネルAN0～AN6機能を兼用します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	P07	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	P0DDR	P0HPUS	P0LPUS	P0FLG	P0IE	P0HPU	P0LPU	P0HDDR	P0LDDR
FE42	00HH 0000	R/W	P0FCR	T7OE	T6OE	-	-	CLKOEN	CKODV2	CKODV1	CKODV0

3-1-3 関連レジスタ

3-1-3-1 ポート0データラッチ(P0)

- ①ポート0の出力データとポート0割り込みの制御を行う8ビットのレジスタです。
- ②このレジスタを命令で読むとP00～P07の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP0(FE40)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート0のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE40	0000 0000	R/W	P0	P07	P06	P05	P04	P03	P02	P01	P00

3-1-3-2 ポート0データディレクションレジスタ(P0DDR)

- ①4ビット毎ポート0の入出力方向の制御と、4ビット毎のプルアップ抵抗の制御とポート0割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE41	0000 0000	R/W	P0DDR	P0HPUS	P0LPUS	P0FLG	P0IE	P0HPU	P0LPU	P0HDDR	P0LDDR

P0HPUS(ビット7):P07～P04 High/Lowインピーダンス・プルアップ抵抗選択
このビットが“1”の時、P07～P04はHighインピーダンス・プルアップが選択され、このビットが“0”の時、P07～P04はLowインピーダンス・プルアップが選択されます。

P0LPUS(ビット6):P03～P00 High/Lowインピーダンス・プルアップ抵抗選択
このビットが“1”の時、P03～P00はHighインピーダンス・プルアップが選択され、このビットが“0”の時、P03～P00はLowインピーダンス・プルアップが選択されます。

P0FLG(ビット5):P0割り込み要因フラグ
入力ポート指定されたポート0で、対応するP0(FE40)のビットがセットされているポートに“L”レベルが印可されるとセットされます。
このビットと割り込み要求許可ビット(P0IE)がともに“1”のとき、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので、命令でクリアしてください。

P0IE(ビット4):P0割り込み要求許可
このビットとP0FLGがともに“1”の時、ホールドモード解除信号とベクタアドレス004BHへの割り込み要求が発生します。

P0HPU(ビット3):P07～P04プルアップ抵抗制御
このビットが“1”で、P0HDDRが“0”の時、P07～P04のうちのオプションでCMOS出力指定されたポートにプルアップ抵抗が付きます。

P0LPU (ビット2) : P03～P00プルアップ抵抗制御

このビットが“1”で、P0LDDRが“0”の時、P03～P00のうちのオプションでCMOS出力指定されたポートにプルアップ抵抗が付きます。

P0HDDR (ビット1) : P07～P04入出力制御

このビットが“1”の時、P07～P04が出力モードになり、対応するポート0データラッチ(P0)の内容がポートから出力されます。

このビットが“0”の時、P07～P04が入力モードになり、対応するポート0データラッチ(P0)の内容が“1”のポートで“L”レベルを検出するとP0FLGがセットされます。

P0LDDR (ビット0) : P03～P00入出力制御

このビットが“1”の時、P03～P00が出力モードになり、対応するポート0データラッチ(P0)の内容がポートから出力されます。

このビットが“0”の時、P03～P00が入力モードになり、対応するポート0データラッチ(P0)の内容が“1”のポートで“L”レベルを検出するとP0FLGがセットされます。

P07～P04プルアップ抵抗選択方法

P0HPUS	P0HPU	P0HDDR=0, CMOS オプション指定ポート
X	0	プルアップ抵抗 OFF
X	0	プルアップ抵抗 OFF
0	1	Low インピーダンス・プルアップ抵抗 ON
1	1	High インピーダンス・プルアップ抵抗 ON

P03～P00プルアップ抵抗選択方法

P0LPUS	P0LPU	P0LDDR=0, CMOS オプション指定ポート
X	0	プルアップ抵抗 OFF
X	0	プルアップ抵抗 OFF
0	1	Low インピーダンス・プルアップ抵抗 ON
1	1	High インピーダンス・プルアップ抵抗 ON

3-1-3-3 ポート0機能制御レジスタ(P0FCR)

①ポート0の兼用出力の制御を行う6ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	00HH 0000	R/W	P0FCR	T7OE	T6OE	-	-	CLKOEN	CKODV2	CKODV1	CKODV0

T7OE (ビット7)

P07端子の出力データの制御を行います。

P07が入力モードの時、このビットは無効です。

P07が出力モードの時、“0”: ポートデータラッチの値を出力します。

“1”: タイマ7周期でトグルする波形とポートデータラッチのORを出力します。

T6OE (ビット6)

P06端子の出力データの制御を行います。

P06が入力モードの時、このビットは無効です。

P06が出力モードの時、“0”: ポートデータラッチの値を出力します。

“1”: タイマ6周期でトグルする波形とポートデータラッチのORを出力します。

PORT0

CLKOEN (ビット3)

P05端子の出力データの制御を行います。

P05が入力モードの時、このビットは無効です。

P05が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:システムクロック出力とポートデータラッチのORを出力します。

CKODV2 (ビット2)

CKODV1 (ビット1)

CKODV0 (ビット0)

P05に出力するシステムクロックの周波数を設定します。

000 : システムクロック選択の源発振クロック周波数

001 : システムクロック選択の源発振クロック周波数の2分周周波数

010 : システムクロック選択の源発振クロック周波数の4分周周波数

011 : システムクロック選択の源発振クロック周波数の8分周周波数

100 : システムクロック選択の源発振クロック周波数の16分周周波数

101 : システムクロック選択の源発振クロック周波数の32分周周波数

110 : システムクロック選択の源発振クロック周波数の64分周周波数

111 : サブクロックの源発振クロック周波数

<クロック出力機能使用上の注意点>

クロック出力機能使用の際は下記①～③を守ってください。

下記に違反した場合、ポートの出力波形に異常が生じる場合があります。

①CLKOEN(ビット3)=1の設定時にクロック出力分周設定を変更しない。

→CKODV2～CKODV0(ビット2～0)の設定を変更しない。

②CLKOEN(ビット3)=1の設定時にシステムクロック選択を変更しない。

→OCRレジスタのCLKCB5～4(ビット5～4), SLWRCレジスタのSLRCSEL(ビット1), MRCRレジスタのMRCSEL(ビット7)の設定を変更しない。

③CLKOEN(ビット3)=1の状態からCLKOEN=0となるデータをPOFCRレジスタに書き込む命令を実行した場合、CLKOENはすぐに0にはなりません。

出力中のクロックが終了(クロック立ち下がり検出)してからCLKOEN=0となります。従って、命令でCLKOEN=0とした後にクロック分周設定変更及びシステムクロック選択変更を行う場合は、CLKOENの値を読み出して0であることを確認した後に行ってください。

3-1-4 オプション

ユーザオプションとして次の2通りの選択ができます。

①CMOS出力(プログラマブルプルアップ抵抗付き)

②Nチャネルオープンドレイン出力

3-1-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-2 ポート1

3-2-1 概要

ポート1は、プログラマブル・プルアップ抵抗付きの8ビットの入出力ポートです。データラッチ、データディレクションレジスタ、機能制御レジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。また、機能制御レジスタを操作することにより、シリアルインタフェース用入出力、PWM出力ポートとして使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

<フラッシュ版の注意点>

マイコンにリセットが掛かるとポートP15は一時的にLowを出力します。また、リセット期間中のポートP13には、クロックや中間電位(Hi-Z含む)を印加しないでください。

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】、APPENDIX(AIII)の【LC872000/LC87B000 シリーズ・オンチップデバッグ端子処理】をご参照ください。

3-2-2 機能

①入出力ポート（8ビット:P10～P17）

- ・ポート1データラッチ(P1:FE44)でポート出力データの制御、ポート1データディレクションレジスタ(P1DDR:FE45)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能

- ・P17は、INT1としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。
- ・P16とP15は、それぞれINT2、INT3としてLエッジ、Hエッジ、両エッジ検出を行い、割り込みフラグをセットします。

③タイマ0カウント入力機能

P16、P15から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0にカウント信号を送ります。

④タイマ0Lキャプチャ入力機能

P70、P16から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。

レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

⑤タイマ0Hキャプチャ入力機能

P17、P15から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Hキャプチャ信号を送ります。

レベル割り込み指定のP17に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Hキャプチャ信号が発生します。

PORT1

⑥ ホールドモード解除機能

- ・INT1またはINT2で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード（メイン発振＝中速RCまたは低速RC発振）に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたP17に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。
- ・ホールドモード時に、P16に、割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホールドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、P16でホールドモードを解除する時は、P16を両エッジ割り込みモードで使用することを薦めます。

⑦ 兼用機能

P17でタイマ1PWMH／ベースタイマBUZ出力，P16でタイマ1PWML出力，P15～P13でSIO1入出力機能を兼用します。

	入力	出力	割り込み入力 信号検出	タイマ0 カウント入力	キャプチャ 入力	ホールドモード 解除
P17	プログラマブル・プルアップ抵抗付き	CMOS／Nチャンネルオープンドレイン	Lレベル，Hレベル，Lエッジ，Hエッジ	－	タイマ0H	可能(注)
P16			Lエッジ，Hエッジ，両エッジ	あり	タイマ0L	可能
P15				あり	タイマ0H	－

(注)：P17のホールドモード解除はレベル検出設定時のみ可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	0000 HHH0	R/W	P1TST	FIX0	FIX0	FIX0	FIX0	-	-	-	FIX0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1HF	INT1HE	INT0LH	INT0LV	INT0IF	INT0IE
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

P1TST (FE47) のビット7～ビット4，ビット0はテスト用です。設定値は“0”で使ってください。

3-2-3 関連レジスタ

3-2-3-1 ポート1データラッチ (P1)

- ① ポート1の出力データとプルアップ抵抗の制御を行う8ビットのレジスタです。
- ② このレジスタを命令で読むとP10～P17の端子のデータが読み込まれます。但し、NOT1，CLR1，SET1，DBZ，DBNZ，INC，DEC命令でP1 (FE44) を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ ポート1のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE44	0000 0000	R/W	P1	P17	P16	P15	P14	P13	P12	P11	P10

3-2-3-2 ポート1データディレクションレジスタ(P1DDR)

①ポート1の入出力方向の制御をビット毎に行う8ビットのレジスタです。ビットP1nDDRが“1”の時、ポートP1nは出力モードになり、ビットP1nDDRが“0”の時、ポートP1nは入力モードになります。

②ビットP1nDDRが“0”で、ポート1データラッチのビットP1nが“1”の時、ポートP1nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE45	0000 0000	R/W	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR

レジスタデータ		ポートP1nの状態		内蔵プルアップ抵抗
P1n	P1nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

3-2-3-3 ポート1機能制御レジスタ(P1FCR)

①ポート1の兼用出力の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE46	0000 0000	R/W	P1FCR	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR

n	P1nFCR	P1n	出力モード(P1nDDR=1)の時のP1n端子データ
7	0	—	ポートデータラッチ(P17)の値
	1	0	タイマ1PWMHまたはベースタイマのBUZデータ
	1	1	タイマ1PWMHまたはベースタイマのBUZ反転データ
6	0	—	ポートデータラッチ(P16)の値
	1	0	タイマ1PWMLのデータ
	1	1	タイマ1PWML反転データ
5	0	—	ポートデータラッチ(P15)の値
	1	0	SIO1クロック出力データ
	1	1	HIGH出力
4	0	—	ポートデータラッチ(P14)の値
	1	0	SIO1出力データ
	1	1	HIGH出力
3	0	—	ポートデータラッチ(P13)の値
	1	0	SIO1出力データ
	1	1	HIGH出力
2	0	—	ポートデータラッチ(P12)の値
	1	0	LOW出力
	1	1	HIGH出力
1	0	—	ポートデータラッチ(P11)の値
	1	0	LOW出力
	1	1	HIGH出力
0	0	—	ポートデータラッチ(P10)の値
	1	0	LOW出力
	1	1	HIGH出力

尚、オプションでNchオープンドレイン出力を選択した端子のHIGHデータ出力はオープンとなります。

PORT1

P17FCR(ビット7):P17機能制御(タイマ1PWMHまたはベースタイマBUZ出力制御)

P17端子の出力データの制御を行います。

P17が出力モード(P17DDR=1)で、P17FCRが“1”の時、タイマ1のPWMH出力またはベースタイマからのBUZ出力データとポートデータラッチのEORをP17端子は出力します。

※タイマ1のPWMHとベースタイマのBUZ出力切り替えは、BUZON(ISL:FE5Fのビット3)で行います。

P16FCR(ビット6):P16機能制御(タイマ1PWML出力制御)

P16端子の出力データの制御を行います。

P16が出力モード(P16DDR=1)で、P16FCRが“1”の時、タイマ1のPWML出力データとポートデータラッチのEORをP16端子は出力します。

P15FCR(ビット5):P15機能制御(SIO1クロック出力制御)

P15端子の出力データの制御を行います。

P15が出力モード(P15DDR=1)で、P15FCRが“1”の時、SIO1のクロック出力データとポートデータラッチのORをP15端子は出力します。

P14FCR(ビット4):P14機能制御(SIO1データ出力制御)

P14端子の出力データの制御を行います。

P14が出力モード(P14DDR=1)で、P14FCRが“1”の時、SIO1出力データとポートデータラッチのORをP14端子は出力します。

尚、P14の入出力状態に関係なく、P14からはSIO1動作時、SIO1入力データが取り込まれます。

P13FCR(ビット3):P13機能制御(SIO1データ出力制御)

P13端子の出力データの制御を行います。

P13が出力モード(P13DDR=1)で、P13FCRが“1”の時、SIO1出力データとポートデータラッチのORをP13端子は出力します。

P12FCR(ビット2):P12機能制御

P12端子の出力データの制御を行います。

P12が出力モード(P12DDR=1)で、P12FCRが“1”の時、ポートデータラッチをP12端子は出力します。

P11FCR(ビット1):P11機能制御

P11端子の出力データの制御を行います。

P11が出力モード(P11DDR=1)で、P11FCRが“1”の時、ポートデータラッチをP11端子は出力します。

P10FCR(ビット0):P10機能制御

P10端子の出力データの制御を行います。

P10が出力モード(P10DDR=1)で、P10FCRが“1”の時、ポートデータラッチをP10端子は出力します。

3-2-3-4 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択

INT1LV(ビット6):INT1検出レベル/エッジ選択

INT1LH	INT1LV	INT1 割り込み条件(P17 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF(ビット5):INT1割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT1IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT1IE(ビット4):INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH(ビット3):INT0検出極性選択

INT0LV(ビット2):INT0検出レベル/エッジ選択

INT0LH	INT0LV	INT0 割り込み条件(P70 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF(ビット1):INT0割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE(ビット0):INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

注意:INT0のホールドモード解除機能は、レベル検出設定時のみ有効です。

3-2-3-5 外部割り込み2, 3制御レジスタ(I23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

PORT1

INT3HEG (ビット7):INT3立ち上がりエッジ検出制御

INT3LEG (ビット6):INT3立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3 割り込み条件(P15 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF (ビット5):INT3割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。
このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、
ベクタアドレス001BHへの割り込み要求が発生します。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE (ビット4):INT3割り込み要求許可

このビットとINT3IFがともに“1”の時、ベクタアドレス001BHへの割り込み
要求が発生します。

INT2HEG (ビット3):INT2立ち上がりエッジ検出制御

INT2LEG (ビット2):INT2立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2 割り込み条件(P16 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF (ビット1):INT2割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。
このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、
ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生
します。

但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホー
ルドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラ
グはセットできません。従って、P16でホールドモードを解除する時は、P16
を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタア
ドレス0013Hへの割り込み要求が発生します。

3-2-3-6 入力信号選択レジスタ(ISL)

①タイマ0の入力, ノイズフィルタの時定数, ブザー出力/タイマ1PWMH出力選択,
ベースタイマのクロック選択の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

ST0HCP (ビット7):タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INT1の割り込み検出条件が成立する入力がP17に入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルがP17に入力されている間、1T_{cyc}毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0Hキャプチャ信号が発生します。

ST0LCP(ビット6):タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP70に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP70に入力されている間、1T_{cyc}毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0Lキャプチャ信号が発生します。

BTIMC1(ビット5):ベースタイマクロック選択

BTIMC0(ビット4):ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	サブクロック
1	1	タイマ/カウンタ0のプリスケアラ出力

BUZON(ビット3):ブザー出力選択/タイマ1PWMH出力選択

P17FCR(P1FCRのビット7) = “1”の際に、P17へ転送するデータ(ブザー出力/タイマ1PWMH出力)の選択を行います。

“1”の設定時、タイマ1PWMHの出力はHIGH固定となり、P17にはベースタイマクロックを16分周($f_{BST}/16$)した信号をブザー出力として転送します。

“0”の設定時、ブザー出力はHIGH固定となり、P17にはタイマ1PWMHの出力データを転送します。

(f_{BST} :入力信号選択レジスタ(ISL)のビット5,4の設定で選択されたベースタイマの入力クロック周波数)

NFSEL(ビット2):ノイズ除去フィルタ時定数選択

NFON(ビット1):ノイズ除去フィルタ時定数選択

NFSEL	NFON	ノイズ除去フィルタ時定数
0	0	1T _{cyc}
0	1	128T _{cyc}
1	0	1T _{cyc}
1	1	32T _{cyc}

ST0IN(ビット0):タイマ0カウントクロック入力ポート選択

タイマ0カウントクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0カウントクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0カウントクロックが発生します。

PORT1

注意：INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17～P15と重複して指定された場合、P70, P17～P15からの信号は無視されます。

3-2-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

3-2-5 HALT, HOLD時の動作

HALT, HOLD時のポートの状態は、HALT, HOLD突入時の状態を保持します。

3-3 ポート2

3-3-1 概要

ポート2は、プログラマブル・プルアップ抵抗付きの2ビットの入出力ポートです。データラッチ、データディレクションレジスタ、制御回路で構成され、入出力方向をデータディレクションレジスタによりビット毎に設定できます。

ポート2は、外部割り込み用入力ポートとしても使用できます。また、タイマ1のカウントクロック入力、タイマ0のキャプチャ信号入力やホールドモード解除信号入力ポートとしても使用できます。

ユーザオプションにより、出力形式としてプログラマブル・プルアップ抵抗付きCMOS出力またはプログラマブル・プルアップ抵抗付きNチャネルオープンドレイン出力のどちらかをビット毎に選択できます。

3-3-2 機能

①入出力ポート（2ビット:P20, P21）

- ・ポート2データラッチ(P2:FE48)でポート出力データの制御、ポート2データディレクションレジスタ(P2DDR:FE49)で入出力方向を制御します。
- ・プログラマブル・プルアップ抵抗が、各ポートに付いています。

②割り込み入力端子機能

P20, P21から選択された1ポート(INT4)には、端子割り込み機能があり、Lエッジ, Hエッジ, 両エッジ検出を行い、割り込みフラグをセットします。さらに選択されたこれら2ポートはタイマ1のカウントクロック入力、タイマ0のキャプチャ信号入力としても使用できます。

③ホールドモード解除機能

- ・INT4で割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホールドモード(システムクロック＝中速RCまたは低速RC)に移行します。さらに割り込みが受け付けられると、ホールドモードから通常動作モードへ移行します。
- ・ホールドモード時にINT4割り込みフラグをセットするような信号変化が入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていればホールドモードが解除されます。

但し、ホールドモード突入時のINT4のデータが“H”の時のHエッジと、ホールドモード突入時のINT4のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4でホールドモードを解除する時は、INT4を両エッジ割り込みモードで使用することを薦めます。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE48	HHHH HH00	R/W	P2	-	-	-	-	-	-	P21	P20
FE49	HHHH HH00	R/W	P2DDR	-	-	-	-	-	-	P21DDR	P20DDR
FE4A	0000 0000	R/W	I45CR	FIX0	FIX0	FIX0	FIX0	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	I45SL	FIX0	FIX0	FIX0	FIX0	I4SL3	I4SL2	I4SL1	I4SL0

PORT2

3-3-3 関連レジスタ

3-3-3-1 ポート2データラッチ(P2)

- ①ポート2の出力データとプルアップ抵抗の制御を行う2ビットのレジスタです。
- ②このレジスタを命令で読むとP20, P21の端子のデータが読み込まれます。但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP2(FE48)を操作すると、端子のデータでなく、レジスタの内容が参照されます。
- ③ポート2のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE48	HHHH HH00	R/W	P2	-	-	-	-	-	-	P21	P20

3-3-3-2 ポート2データディレクションレジスタ(P2DDR)

- ①ポート2の入出力方向の制御をビット毎に行う2ビットのレジスタです。ビットP2nDDRが“1”の時、ポートP2nは出力モードになり、ビットP2nDDRが“0”の時、ポートP2nは入力モードになります。
- ②ビットP2nDDRが“0”で、ポート2データラッチのビットP2nが“1”の時、ポートP2nはプルアップ抵抗付き入力となります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE49	HHHH HH00	R/W	P2DDR	-	-	-	-	-	-	P21DDR	P20DDR

レジスタデータ		ポートP2nの状態		内蔵プルアップ抵抗
P2n	P2nDDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	LOW	OFF
1	1	可能	HIGH/オープン(CMOS/Nチャネルオープンドレイン)	OFF

3-3-3-3 外部割り込み4, 5制御レジスタ(I45CR)

- ①外部割り込み4, 5の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4A	0000 0000	R/W	I45CR	FIX0	FIX0	FIX0	FIX0	INT4HEG	INT4LEG	INT4IF	INT4IE

FIX0(ビット7~4): “0”で使用してください。

INT4HEG(ビット3): INT4立ち上がりエッジ検出制御

INT4LEG(ビット2): INT4立ち下がりエッジ検出制御

INT4HEG	INT4LEG	INT4 割り込み条件(端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT4IF(ビット1): INT4割り込み要因フラグ

INT4HEG, INT4LEGで指定された条件が満たされるとセットされます。このビットとINT4の割り込み要求許可ビット(INT4IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

但し、ホールドモード突入時のINT4のデータが“H”の時のHエッジと、ホールドモード突入時のINT4のデータが“L”の時のLエッジでは、割り込みフラグはセットできません。従って、INT4でホールドモードを解除する時は、INT4を両エッジ割り込みモードを使用することを薦めます。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT4IE (ビット0) : INT4割り込み要求許可

このビットとINT4IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生します。

3-3-3-4 外部割り込み4, 5端子選択レジスタ(I45SL)

①外部割り込み4, 5の端子を選択する8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE4B	0000 0000	R/W	I45SL	FIX0	FIX0	FIX0	FIX0	I4SL3	I4SL2	I4SL1	I4SL0

FIX0 (ビット7～4) : “0”で使用してください。

I4SL3 (ビット3) : INT4用端子選択

I4SL2 (ビット2) : INT4用端子選択

I4SL3	I4SL2	INT4として使用する端子
0	0	P20
0	1	P21
1	0	禁止
1	1	禁止

I4SL1 (ビット1) : INT4用端子機能選択

I4SL0 (ビット0) : INT4用端子機能選択

INT4として選択された端子に、外部割り込み4, 5制御レジスタ(I45CR)で指定されたデータ変化が与えられると、タイマ1のカウントクロック入力やタイマ0のキャプチャ信号が発生します。

I4SL1	I4SL0	INT4の割り込み以外の機能
0	0	なし
0	1	タイマ1のカウントクロック入力
1	0	タイマ0Lのキャプチャ信号入力
1	1	タイマ0Hのキャプチャ信号入力

注意：

- ①INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17～P15と重複して指定された場合、P70, P17～P15からの信号は無視されます。
- ②INT4で、タイマ1のカウントクロック入力が指定された場合、タイマ1Lはイベントカウンタとなります。また、INT4でタイマ1のカウントクロック入力が指定されない場合、タイマ1Lのカウントは2T_{cyc}毎に行われます。

PORT2

3-3-4 オプション

ユーザオプションとして次の2通りの選択ができます。

- ①CMOS出力 (プログラマブル・プルアップ抵抗付き)
- ②Nチャネルオープンドレイン出力 (プログラマブル・プルアップ抵抗付き)

3-3-5 HALT, HOLD時の動作

HALT, HOLD時のポートの入出力状態は、HALT, HOLDの突入時の状態を保持します。

3-4 ポート7

3-4-1 概要

ポート7は、プログラマブル・プルアップ抵抗付きの1ビットの入出力ポートです。データ制御ラッチと制御回路で構成され、入出力方向をビット毎に設定できます。

ポート7は、外部割り込み用入力ポートとしても使用できます。また、キャプチャ信号入力やホールドモードの解除信号入力ポートとしても使用できます。

ユーザオプションはありません。

3-4-2 機能

①入出力ポート（1ビット:P70）

- ・ポート7制御レジスタ(P7:FE5C)のビット0でポート出力データの制御、ビット4で入出力方向を制御します。
- ・P70はNchオープンドレイン出力となります。
- ・プログラマブル・プルアップ抵抗が付いています。

②割り込み入力端子機能

- ・P70は、INT0としてLレベル、Hレベル、Lエッジ、Hエッジ検出を行い、割り込みフラグをセットします。

③タイマ0Lキャプチャ入力機能

P70、P16から選択された1ポートに対し、割り込みフラグをセットするような信号変化が入力される毎にタイマ0Lキャプチャ信号を送ります。

レベル割り込み指定のP70に、選択されたレベルの信号が入力されると、この間、1サイクル毎にタイマ0Lキャプチャ信号が発生します。

④ホールドモード解除機能

- ・INT0で、割り込みフラグと割り込み許可フラグの両方がセットされると、ホールドモード解除信号が発生し、ホールドモードが解除されホルトモード(システムクロック＝中速RCまたは低速RC)に移行します。さらに割り込みが受け付けられるとホルトモードから通常動作モードへ移行します。
- ・ホールドモード時に、レベル割り込み指定されたP70に、割り込みフラグをセットするような信号レベルが入力されると、割り込みフラグがセットされます。この時、対応する割り込み許可フラグがセットされていれば、ホールドモードが解除されます。

⑤兼用機能

P70にAN8のアナログ入力チャネル機能を兼用します。

PORT 7

	入力	出力	割り込み入力 信号検出	タイマ0カウント 入力	キャプチャ 入力	ホールドモード 解除
P70	プログラマ ブル・プル アップ抵抗 付き	Nchオープンドレイン	Lレベル, Hレベル, Lエッジ, Hエッジ	—	タイマ0L	可能(注)

(注): P70のホールドモード解除はレベル検出設定時のみ可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	HHH0 HHH0	R/W	P7	-	-	-	P70DDR	-	-	-	P70DT
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT11F	INT11E	INT0LH	INT0LV	INT01F	INT01E
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT31F	INT31E	INT2HEG	INT2LEG	INT21F	INT21E
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

3-4-3 関連レジスタ

3-4-3-1 ポート7制御レジスタ(P7)

①ポート7の入出力, プルアップ抵抗の制御を行う2ビットのレジスタです。

②このレジスタを命令で読むとP70の端子のデータがビット0に読み込まれます。ビット4にはレジスタP7のビット4のデータが読み込まれます。

但し、NOT1, CLR1, SET1, DBZ, DBNZ, INC, DEC命令でP7(FE5C)を操作すると、ビット0として、端子のデータでなく、レジスタの内容が参照されます。

③ポート7のデータの読み込みは、ポートの入出力状態にかかわらず、常に可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5C	HHH0 HHH0	R/W	P7	-	-	-	P70DDR	-	-	-	P70DT

レジスタデータ		P70の状態		内蔵プルアップ抵抗
P70DT	P70DDR	入力	出力	
0	0	可能	オープン	OFF
1	0	可能	内蔵プルアップ抵抗	ON
0	1	可能	Nchオープンドレイン—LOW	OFF
1	1	可能	オープン	ON

(ビット7～5): 存在しません。読むと“1”が読めます。

P70DDR(ビット4): P70入出力制御

このビットの1/0で、P70端子の出力(Nchオープンドレイン)/入力を制御します。

(ビット3～1): 存在しません。読むと“1”が読めます。

P70DT(ビット0): P70データ

P70DDRが1の時、このビットの値がP70端子から出力されます。

但し、この端子はNchオープンドレイン出力端子なので、P70DTの値が“1”の時はハイインピーダンス出力となります。

このビットの値(1/0)により、P70端子の内蔵プルアップ抵抗の(ON/OFF)が制御されます。

3-4-3-2 外部割り込み0, 1制御レジスタ(I01CR)

①外部割り込み0, 1の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5D	0000 0000	R/W	I01CR	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

INT1LH(ビット7):INT1検出極性選択

INT1LV(ビット6):INT1検出レベル/エッジ選択

INT1LH	INT1LV	INT1 割り込み条件(P17 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT1IF(ビット5):INT1割り込み要因フラグ

INT1LH, INT1LVで指定された条件が満たされるとセットされます。このビットとINT1の割り込み要求許可ビット(INT1IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT1IE(ビット4):INT1割り込み要求許可

このビットとINT1IFがともに“1”の時、ホールドモード解除信号とベクタアドレス000BHへの割り込み要求が発生します。

INT0LH(ビット3):INT0検出極性選択

INT0LV(ビット2):INT0検出レベル/エッジ選択

INT0LH	INT0LV	INT0 割り込み条件(P70 端子のデータ)
0	0	立ち下がり検出
0	1	“L”レベル検出
1	0	立ち上がり検出
1	1	“H”レベル検出

INT0IF(ビット1):INT0割り込み要因フラグ

INT0LH, INT0LVで指定された条件が満たされるとセットされます。このビットとINT0の割り込み要求許可ビット(INT0IE)がともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。このビットは、自動的にクリアされませんので命令でクリアしてください。

INT0IE(ビット0):INT0割り込み要求許可

このビットとINT0IFがともに“1”の時、ホールドモード解除信号とベクタアドレス0003Hへの割り込み要求が発生します。

注意:INT0のホールドモード解除機能は、レベル検出設定時のみ有効です。

3-4-3-3 外部割り込み2, 3制御レジスタ(I23CR)

①外部割り込み2, 3の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT3HEG	INT3LEG	INT3IF	INT3IE	INT2HEG	INT2LEG	INT2IF	INT2IE

PORT7

INT3HEG (ビット7):INT3立ち上がりエッジ検出制御

INT3LEG (ビット6):INT3立ち下がりエッジ検出制御

INT3HEG	INT3LEG	INT3 割り込み条件(P15 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT3IF (ビット5):INT3割り込み要因フラグ

INT3HEG, INT3LEGで指定された条件が満たされるとセットされます。
このビットとINT3の割り込み要求許可ビット(INT3IE)がともに“1”の時、
ベクタアドレス001BHへの割り込み要求が発生します。
このビットは、自動的にクリアされませんので命令でクリアしてください。

INT3IE (ビット4):INT3割り込み要求許可

このビットとINT3IFがともに“1”の時、ベクタアドレス001BHへの割り込み
要求が発生します。

INT2HEG (ビット3):INT2立ち上がりエッジ検出制御

INT2LEG (ビット2):INT2立ち下がりエッジ検出制御

INT2HEG	INT2LEG	INT2 割り込み条件(P16 端子のデータ)
0	0	検出しない
0	1	立ち下がり検出
1	0	立ち上がり検出
1	1	両エッジ検出

INT2IF (ビット1):INT2割り込み要因フラグ

INT2HEG, INT2LEGで指定された条件が満たされるとセットされます。
このビットとINT2の割り込み要求許可ビット(INT2IE)がともに“1”の時、
ホールドモード解除信号とベクタアドレス0013Hへの割り込み要求が発生
します。

但し、ホールドモード突入時のP16のデータが“H”の時のHエッジと、ホー
ルドモード突入時のP16のデータが“L”の時のLエッジでは、割り込みフラ
グはセットできません。従って、P16でホールドモードを解除する時は、P16
を両エッジ割り込みモードを使用することを薦めます。

このビットは、自動的にクリアされませんので命令でクリアしてください。

INT2IE (ビット0):INT2割り込み要求許可

このビットとINT2IFがともに“1”の時、ホールドモード解除信号とベクタア
ドレス0013Hへの割り込み要求が発生します。

3-4-3-4 入力信号選択レジスタ(ISL)

①タイマ0の入力, ノイズフィルタの時定数, ブザー出力/タイマ1PWMH出力選択,
ベースタイマのクロック選択の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

ST0HCP (ビット7): タイマ0Hキャプチャ信号入力ポート選択

タイマ0Hキャプチャ信号入力ポートを選択します。

“1”の設定時、INT1の割り込み検出条件が成立する入力がP17に入力されると、タイマ0Hキャプチャ信号が発生します。またINT1の割り込み検出がレベル検出の時、検出レベルがP17に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0Hキャプチャ信号が発生します。

ST0LCP (ビット6): タイマ0Lキャプチャ信号入力ポート選択

タイマ0Lキャプチャ信号入力ポートを選択します。

“1”の設定時、INT0の割り込み検出条件が成立する入力がP70に入力されると、タイマ0Lキャプチャ信号が発生します。またINT0の割り込み検出がレベル検出の時、検出レベルがP70に入力されている間、1Tcyc毎にキャプチャ信号が発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0Lキャプチャ信号が発生します。

BTIMC1 (ビット5): ベースタイマクロック選択

BTIMC0 (ビット4): ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	サブクロック
1	1	タイマ／カウンタ0のプリスケアラ出力

BUZON (ビット3): ブザー出力選択／タイマ1PWMH出力選択

P17FCR (P1FCRのビット7) = “1”の際に、P17へ転送するデータ(ブザー出力／タイマ1PWMH出力)の選択を行います。

“1”の設定時、タイマ1PWMHの出力はHIGH固定となり、P17にはベースタイマクロックを16分周 ($f_{BST}/16$)した信号をブザー出力として転送します。

“0”の設定時、ブザー出力はHIGH固定となり、P17にはタイマ1PWMHの出力データを転送します。

(f_{BST} : 入力信号選択レジスタ(ISL)のビット5, 4の設定で選択されたベースタイマの入力クロック周波数)

NFSEL (ビット2): ノイズ除去フィルタ時定数選択

NFON (ビット1): ノイズ除去フィルタ時定数選択

NFSEL	NFON	ノイズ除去フィルタ時定数
0	0	1Tcyc
0	1	128Tcyc
1	0	1Tcyc
1	1	32Tcyc

PORT7

STOIN(ビット0):タイマ0カウントクロック入力ポート選択

タイマ0カウントクロック信号入力ポートを選択します。

“1”の設定時、INT3の割り込み検出条件が成立する入力がP15に入力されると、タイマ0カウントクロックが発生します。

“0”の設定時、INT2の割り込み検出条件が成立する入力がP16に入力されると、タイマ0カウントクロックが発生します。

注意:INT4で、タイマ0Lキャプチャ信号入力、タイマ0Hキャプチャ信号入力がP70, P17~P15と重複して指定された場合、P70, P17~P15からの信号は無視されます。

3-4-4 オプション

ユーザオプションはありません。

3-4-5 HALT, HOLD時の動作

P70のプルアップ抵抗はオフします。

3-5 タイマ／カウンタ0 (T0)

3-5-1 概要

本シリーズが内蔵しているタイマ／カウンタ0 (T0) は、次の4つの機能を持った16ビットのタイマ／カウンタです。

- ①モード0：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付き) $\times 2ch$
- ②モード1：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付き) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ付き)
- ③モード2：プログラマブルプリスケアラ付き16ビットプログラマブルタイマ (16ビットキャプチャレジスタ付き)
- ④モード3：16ビットプログラマブルカウンタ (16ビットキャプチャレジスタ付き)

3-5-2 機能

- ①モード0：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付き) $\times 2ch$
 - ・8ビットプログラマブルプリスケアラからのクロック (周期: $1 \sim 256T_{cyc}$) によって、2つの独立した8ビットプログラマブルタイマ (T0L, T0H) が動作します。
 - ・P70/INT0/T0LCP, P16/INT2/T0IN, P20, P21タイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。
 - ・P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

$$T0Lの周期 = (T0LR + 1) \times (T0PRR + 1) \times T_{cyc}$$

$$T0Hの周期 = (T0HR + 1) \times (T0PRR + 1) \times T_{cyc}$$

T_{cyc} = サイクルクロックの周期

- ②モード1：プログラマブルプリスケアラ付き8ビットプログラマブルタイマ (8ビットキャプチャレジスタ付き) + 8ビットプログラマブルカウンタ (8ビットキャプチャレジスタ付き)
 - ・T0Lは、P16/INT2/T0IN, P15/INT3/T0IN端子からの外部入力検出信号をカウントする8ビットのプログラマブルカウンタとして動作します。
 - ・T0Hは、8ビットプログラマブルプリスケアラからのクロック (周期: $1 \sim 256T_{cyc}$) によって、8ビットプログラマブルタイマとして動作します。
 - ・P70/INT0/T0LCP, P16/INT2/T0IN, P20, P21タイマ0Lキャプチャ入力端子からの外部入力検出信号により、T0Lの内容をキャプチャレジスタT0CALにキャプチャします。
 - ・P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0Hの内容をキャプチャレジスタT0CAHにキャプチャします。

$$T0Lの周期 = (T0LR + 1)$$

$$T0Hの周期 = (T0HR + 1) \times (T0PRR + 1) \times T_{cyc}$$

T0

③モード2：プログラマブルプリスケアラ付き16ビットプログラマブルタイマ（16ビットキャプチャレジスタ付き）

- ・8ビットプログラマブルプリスケアラからのクロック（周期：1～256T_{cyc}）によって、16ビットプログラマブルタイマとして動作します。
- ・P17／INT1／T0HCP, P15／INT3／T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L, T0Hの内容をキャプチャレジスタT0CAL, T0CAHに同時にキャプチャします。

$$\text{T0の周期} = ([\text{T0HR}, \text{T0LR}] + 1) \times (\text{T0PRR} + 1) \times \text{T}_{\text{cyc}} \\ 16\text{ビット}$$

④モード3：16ビットプログラマブルカウンタ（16ビットキャプチャレジスタ付き）

- ・P16／INT2／T0IN, P15／INT3／T0IN端子からの外部入力検出信号をカウントする16ビットのプログラマブルカウンタとして動作します。
- ・P17／INT1／T0HCP, P15／INT3／T0IN, P20, P21タイマ0Hキャプチャ入力端子からの外部入力検出信号により、T0L, T0Hの内容をキャプチャレジスタT0CAL, T0CAHに同時にキャプチャします。

$$\text{T0の周期} = [\text{T0HR}, \text{T0LR}] + 1 \\ 16\text{ビット}$$

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、T0LまたはT0Hのカウンタ周期で、T0LまたはT0H割り込み要求を発生します。

⑥タイマ／カウンタ0（T0）を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・T0CNT, T0PRR, T0L, T0H, T0LR, T0HR, T0CAL, T0CAH
- ・P7, ISL, I01CR, I23CR
- ・P2, P2DDR, I45CR, I45SL

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE
FE11	0000 0000	R/W	T0PRR	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-5-3 回路構成

3-5-3-1 タイマ／カウンタ0制御レジスタ（T0CNT）（8ビットレジスタ）

①T0L, T0Hの動作, 割り込みの制御を行います。

3-5-3-2 プログラマブルプリスケアラ 一致レジスタ(TOPRR) (8ビットレジスタ)

- ① プログラマブルプリスケアラの一致データ格納用レジスタです。

3-5-3-3 プログラマブルプリスケアラ (8ビットカウンタ)

- ① 動作開始／停止 : ホールドモード以外で動作します。
 ② カウントクロック : サイクルクロック(周期 = 1T_{cyc})。
 ③ 一致信号 : カウント値がレジスタTOPRRの値と一致すると一致信号を発生します。(周期 : 1~256T_{cyc})
 ④ リセット : 一致信号の発生またはTOPRRへデータの書き込みにより、カウンタが0からカウントし始めます。

3-5-3-4 タイマ／カウンタ0下位(TOL) (8ビットカウンタ)

- ① 動作開始／停止 : TOLRUN(タイマ0制御レジスタのビット6)の0/1により、停止／動作が制御されます。
 ② カウントクロック : TOLEXT(タイマ0制御レジスタのビット4)の0/1により、プリスケアラの一致信号／外部信号が選択されます。
 ③ 一致信号 : カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
 ④ リセット : 動作停止時、または一致信号の発生時。

3-5-3-5 タイマ／カウンタ0上位(TOH) (8ビットカウンタ)

- ① 動作開始／停止 : TOHRUN(タイマ0制御レジスタのビット7)の0/1により、停止／動作が制御されます。
 ② カウントクロック : TOLONG(タイマ0制御レジスタのビット5)の0/1により、プリスケアラの一致信号／TOLの一致信号が選択されます。
 ③ 一致信号 : カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。(16ビットモード時は、16ビットデータの一致が必要)
 ④ リセット : 動作停止時、または一致信号の発生時。

3-5-3-6 タイマ／カウンタ0一致データレジスタ下位(TOLR) (一致バッファレジスタ付き8ビットレジスタ)

- ① TOL用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
 ② 一致バッファレジスタの更新は以下のように行われます。
 非動作時(TOLRUN=0)には、TOLRと一致バッファレジスタは同値となる。
 動作時(TOLRUN=1)には、一致バッファレジスタは一致信号の発生時にTOLRの内容をロードする。

3-5-3-7 タイマ／カウンタ0一致データレジスタ上位(TOHR) (一致バッファレジスタ付き8ビットレジスタ)

- ① TOH用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)

T0

②一致バッファレジスタの更新は以下のように行われます。

非動作時(T0HRUN=0)には、T0HRと一致バッファレジスタは同値となる。

動作時(T0HRUN=1)には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

3-5-3-8 タイマ／カウンタ0キャプチャレジスタ下位(T0CAL) (8ビットレジスタ)

①キャプチャクロック:

T0LONG(タイマ0制御レジスタのビット5)が0の時、P70/INT0/T0LCP, P16/INT2/T0IN, P20, P21のタイマ0Lキャプチャ入力端子からの外部入力検出信号。

T0LONG(タイマ0制御レジスタのビット5)が1の時、P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21のタイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ:タイマ／カウンタ0下位(T0L)の内容。

3-5-3-9 タイマ／カウンタ0キャプチャレジスタ上位(T0CAH) (8ビットレジスタ)

①キャプチャクロック:P17/INT1/T0HCP, P15/INT3/T0IN, P20, P21のタイマ0Hキャプチャ入力端子からの外部入力検出信号。

②キャプチャデータ:タイマ／カウンタ0上位(T0H)の内容。

表 3-5-1 タイマ0(T0H, T0L)のカウントクロック

モード	T0LONG	T0LEXT	T0Hのカウントクロック	T0Lのカウントクロック	[T0H,T0L]のカウントクロック
0	0	0	TOPRRの一致信号	TOPRRの一致信号	—
1	0	1	TOPRRの一致信号	外部信号	—
2	1	0	—	—	TOPRRの一致信号
3	1	1	—	—	外部信号

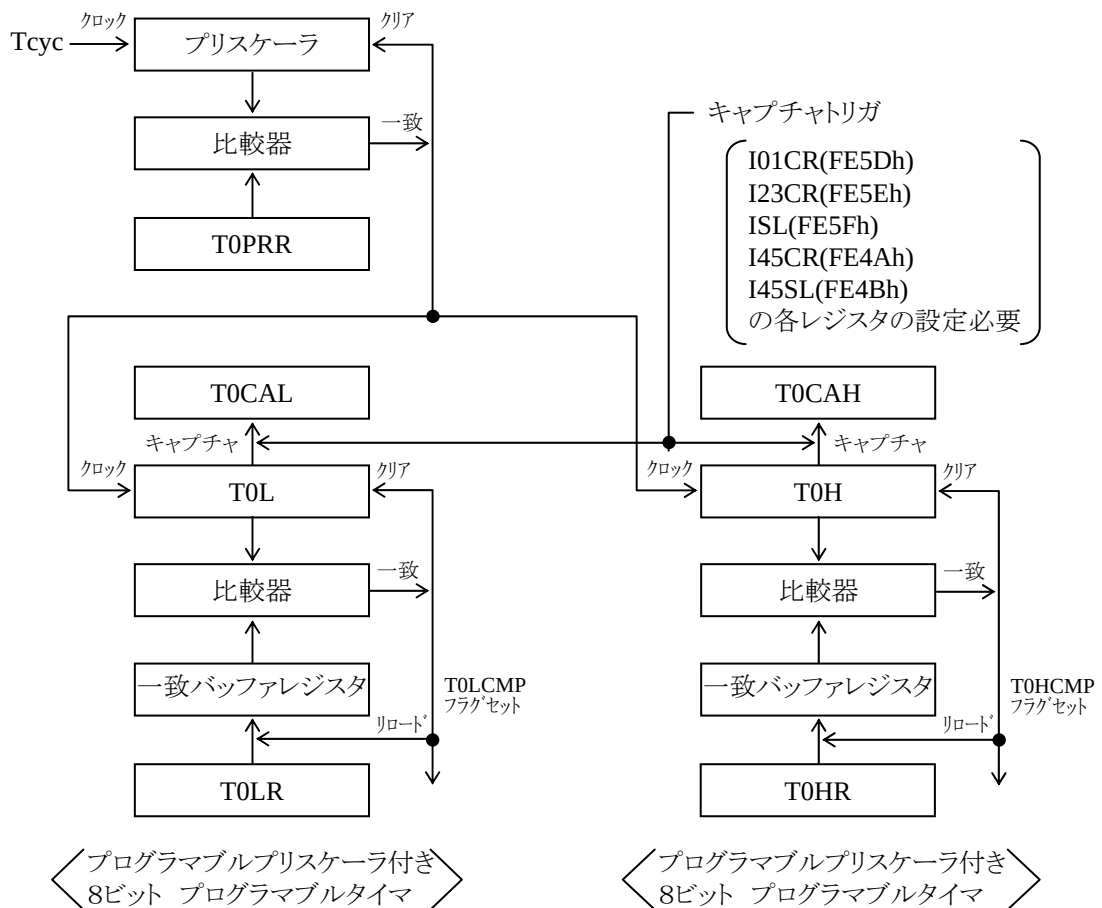


図 3-5-1 モード0 (T0LONG=0, T0LEXT=0) ブロック図

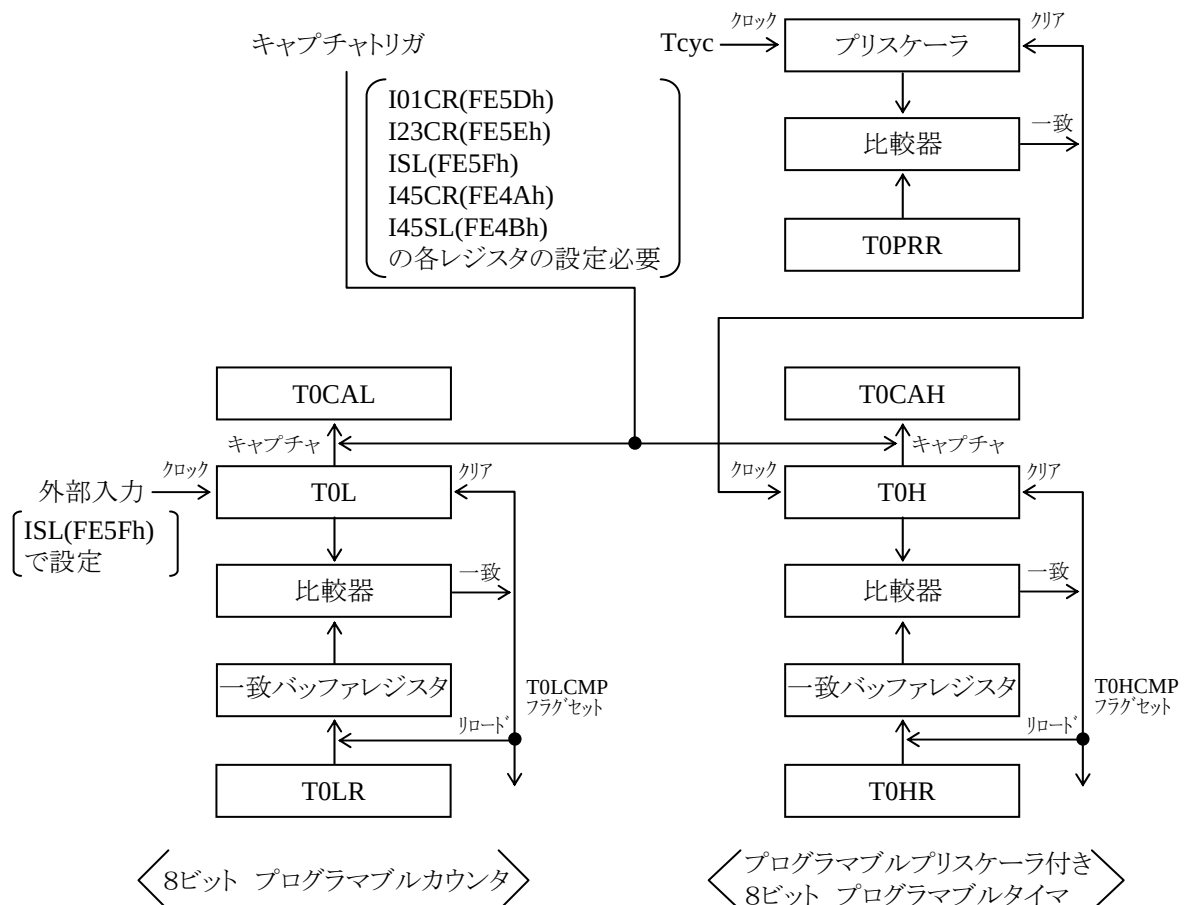


図 3-5-2 モード1 (T0LONG=0, T0LEXT=1) ブロック図

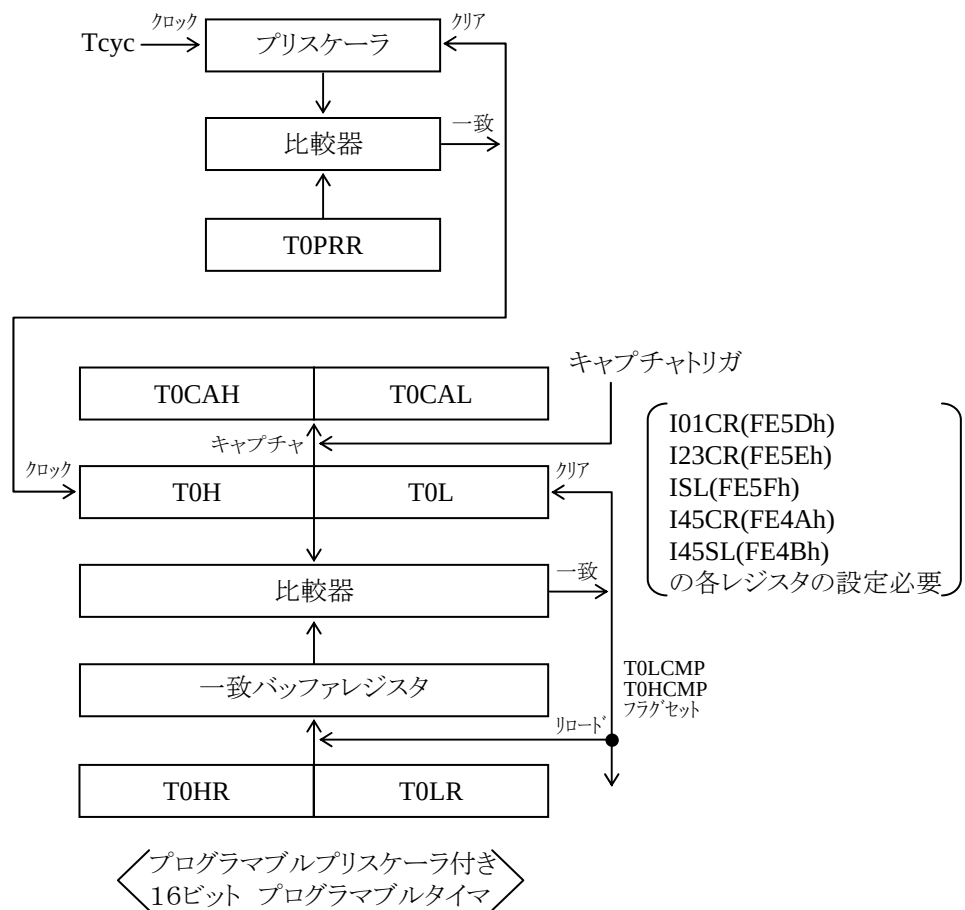


図 3-5-3 モード2 (T0LONG = 1, T0LEXT = 0) ブロック図

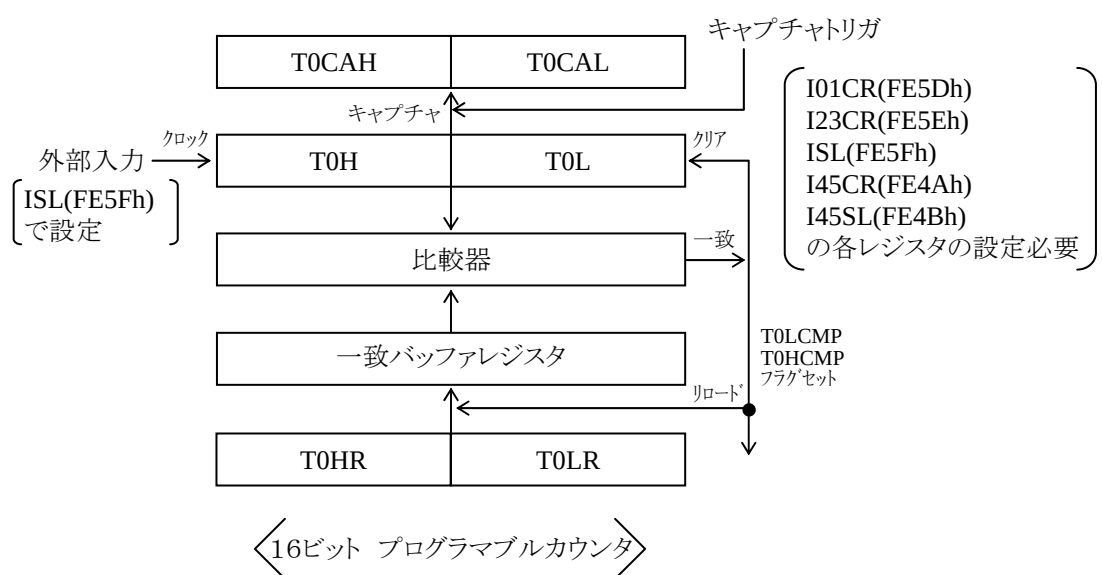


図 3-5-4 モード3 (T0LONG = 1, T0LEXT = 1) ブロック図

3-5-4 関連レジスタ

3-5-4-1 タイマ／カウンタ0制御レジスタ(T0CNT)

①T0L, T0Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE10	0000 0000	R/W	T0CNT	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HCMP	T0HIE	T0LCMP	T0LIE

T0HRUN(ビット7): T0Hカウント制御

このビットが0の時タイマ／カウンタ0上位(T0H)は、カウント値0で停止し、T0Hの一致バッファレジスタ値はT0HRの値と同じです。

このビットが1の時タイマ／カウンタ0上位(T0H)は、所定のカウント動作を行います。また、T0Hの一致バッファレジスタは、一致信号の発生時にT0HRの内容をロードします。

T0LRUN(ビット6): T0Lカウント制御

このビットが0の時タイマ／カウンタ0下位(T0L)は、カウント値0で停止し、T0Lの一致バッファレジスタ値はT0LRの値と同じです。

このビットが1の時タイマ／カウンタ0下位(T0L)は、所定のカウント動作を行います。また、T0Lの一致バッファレジスタは、一致信号の発生時にT0LRの内容をロードします。

T0LONG(ビット5): タイマ／カウンタ0ビット長選択

このビットが0の時タイマ／カウンタ0は上位と下位の独立した8ビットのタイマ／カウンタとなります。

このビットが1の時タイマ／カウンタ0は16ビットのタイマ／カウンタとなります。また、T0H, T0Lで構成される16ビットのカウント値とT0H, T0Lの一致バッファレジスタの内容が一致した時に、一致信号が発生します。

T0LEXT(ビット4): T0L入力クロック選択

このビットが0の時T0Lのカウントクロックはプリスケアラの一致信号となります。このビットが1の時T0Lのカウントクロックは外部入力信号となります。

T0HCMP(ビット3): T0H一致フラグ

T0Hが動作している(T0HRUN=1)時に、T0Hの値とT0Hの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは、命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0HIE(ビット2): T0H割り込み要求発生許可制御

このビットとT0HCMPがともに1の時、ベクタアドレス0023Hへの割り込み要求が発生します。

T0

T0LCMP (ビット1): T0L一致フラグ

T0Lが動作している(T0LRUN=1)時に、T0Lの値とT0Lの一致バッファレジスタの値が一致し、一致信号が発生するとセットされます。一致信号が発生しない場合は変化しません。従って、このフラグは命令でクリアしてください。

尚、16ビットモード(T0LONG=1)の時、一致信号の発生には、16ビットデータでの一致が必要です。

T0LIE (ビット0): T0L割り込み要求発生許可制御

このビットとT0LCMPがともに1の時、ベクタアドレス0013Hへの割り込み要求が発生します。

注意:

- ・T0HCMP, T0LCMPは命令で0にしてください。
- ・16ビットモードで使用する時は、T0LRUNとT0HRUNは同時に同じ値を設定して、動作を制御してください。
- ・16ビットモードでは、T0LCMPとT0HCMPは同時にセットされます。

3-5-4-2 タイマ0プログラマブルプリスケラー 一致レジスタ(TOPRR)

①タイマ0プログラマブルプリスケラー 一致レジスタは、タイマ/カウンタ0のクロック周期(Tpr)の設定を行う8ビットのレジスタです。

②TOPRRにデータを書き込むと、プリスケラのカウンタ値は0からスタートします。

③ $Tpr = (TOPRR + 1) \times Tcyc$ Tcyc = サイクルクロックの周期

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE11	0000 0000	R/W	TOPRR	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0

3-5-4-3 タイマ/カウンタ0下位(T0L)

①読み出し専用の8ビットのタイマ/カウンタです。プリスケラの一一致信号、または、外部信号をカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE12	0000 0000	R	T0L	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0

3-5-4-4 タイマ/カウンタ0上位(T0H)

①読み出し専用の8ビットのタイマ/カウンタです。プリスケラの一一致信号、または、T0Lのオーバーフローをカウントします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE13	0000 0000	R	T0H	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0

3-5-4-5 タイマ/カウンタ0一致データレジスタ下位(T0LR)

①T0L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ/カウンタ0下位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一一致が必要)

②一致バッファレジスタの更新は以下のように行われます。

非動作時(T0LRUN=0)には、T0LRと一致バッファレジスタは同値となる。

動作時(T0LRUN=1)には、一致バッファレジスタは一致信号の発生時にT0LRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE14	0000 0000	R/W	T0LR	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0

3-5-4-6 タイマ／カウンタ0一致データレジスタ上位 (T0HR)

- ① T0H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ／カウンタ0上位の値が一致した時、一致信号が発生します。(16ビットモード時は、16ビットデータの一致が必要)
- ② 一致バッファレジスタの更新は以下のように行われます。
- 非動作時 (T0HRUN=0) には、T0HRと一致バッファレジスタは同値となる。
- 動作時 (T0HRUN=1) には、一致バッファレジスタは一致信号の発生時にT0HRの内容をロードする。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE15	0000 0000	R/W	T0HR	T0HR7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0

3-5-4-7 タイマ／カウンタ0キャプチャレジスタ下位 (T0CAL)

- ① 外部入力検出信号により、タイマ／カウンタ0下位 (T0L) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE16	XXXX XXXX	R	T0CAL	T0CAL7	T0CAL6	T0CAL5	T0CAL4	T0CAL3	T0CAL2	T0CAL1	T0CAL0

3-5-4-8 タイマ／カウンタ0キャプチャレジスタ上位 (T0CAH)

- ① 外部入力検出信号により、タイマ／カウンタ0上位 (T0H) の内容をキャプチャする読み出し専用の8ビットレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE17	XXXX XXXX	R	T0CAH	T0CAH7	T0CAH6	T0CAH5	T0CAH4	T0CAH3	T0CAH2	T0CAH1	T0CAH0

3-6 タイマ／カウンタ1 (T1)

3-6-1 概要

本シリーズが内蔵しているタイマ／カウンタ1 (T1) は、次の4つの機能を持ったプリスケール付きの16ビットのタイマ／カウンタです。

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ(トグル出力付き) + 8ビットプリスケール付き8ビットプログラマブルタイマ／カウンタ(トグル出力付き)
- ②モード1: 8ビットプリスケール付き8ビットPWM × 2ch
- ③モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ(トグル出力付き)(下位8ビットはトグル出力付きタイマ／カウンタとして使用可能)
- ④モード3: 8ビットプリスケール付き16ビットプログラマブルタイマ(トグル出力付き)(下位8ビットはPWMとして使用可能)

3-6-2 機能

- ①モード0: 8ビットプリスケール付き8ビットプログラマブルタイマ(トグル出力付き) + 8ビットプリスケール付き8ビットプログラマブルタイマ／カウンタ(トグル出力付き)

- ・サイクルクロックを2分周した信号をクロックとして、2つの独立した8ビットのプログラマブルタイマ(T1L, T1H)が動作します。
- ・T1Lはサイクルクロックを2分周した信号または、外部イベントをカウントする8ビットのプログラマブルタイマ／カウンタとして動作し、T1Hはサイクルクロックを2分周した信号をカウントする8ビットのプログラマブルタイマとして動作します。
- ・T1PWML, T1PWMHは、それぞれT1L, T1Hの周期毎にトグルする信号を発生します。(注1)

T1Lの周期 = $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times 2T_{cyc}$ または
 $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数})$ 回のイベント検出

T1PWMLの周期 = T1Lの周期 × 2

T1Hの周期 = $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times 2T_{cyc}$

T1PMWHの周期 = T1Hの周期 × 2

- ②モード1: 8ビットプリスケール付き8ビットPWM × 2ch

- ・サイクルクロックをクロックとして、2つの独立した8ビットPWM(T1PWML, T1PWMH)が動作します。

T1PWMLの周期 = $256 \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$

T1PWMLのLOWの期間 = $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$

T1PWMHの周期 = $256 \times (T1HPRC \text{ 設定 カウント数}) \times T_{cyc}$

T1PWMHのLOWの期間 = $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times T_{cyc}$

- ③モード2: 8ビットプリスケール付き16ビットプログラマブルタイマ／カウンタ(トグル出力付き)(下位8ビットはトグル出力付きタイマ／カウンタとして使用可能)

- ・サイクルクロックを2分周した信号または、外部イベントをカウントする16ビットのプログラマブルタイマ／カウンタとして動作します。また、下位8ビットタイマ(T1L)の割り込みはT1Lの周期で発生可能なので、下位8ビットを基準タイマとして使用できます。
- ・T1PWML, T1PWMHは、それぞれT1L, T1の周期毎にトグルする信号を発生します。(注1)

$T1L$ の周期 = $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times 2T_{cyc}$ または
 $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数})$ 回のイベント検出
 $T1PWML$ の周期 = $T1L$ の周期 $\times 2$
 $T1$ の周期 = $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times T1L$ の周期
 $T1PWMH$ の周期 = $T1$ の周期 $\times 2$

④モード3：8ビットプリスケアラ付き16ビットプログラマブルタイマ(トグル出力付き)(下位8ビットはPWMとして使用可能)

- ・サイクルクロックをクロックとして、16ビットプログラマブルタイマが動作します。
- ・下位8ビットは周期 $256T_{cyc}$ のPWM($T1PWML$)として動作します。
- ・ $T1PWMH$ は $T1$ の周期毎にトグルする信号を発生します。(注1)
 $T1PWML$ の周期 = $256 \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$
 $T1PWML$ のLOWの期間 = $(T1LR + 1) \times (T1LPRC \text{ 設定 カウント数}) \times T_{cyc}$
 $T1$ の周期 = $(T1HR + 1) \times (T1HPRC \text{ 設定 カウント数}) \times T1PWML$ の周期
 $T1PWMH$ の周期 = $T1$ の周期 $\times 2$

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、 $T1L$ または $T1H$ のカウンタ周期で、 $T1L$ または $T1H$ 割り込み要求を発生します。

⑥タイマ1($T1$)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・ $T1CNT$, $T1L$, $T1H$, $T1LR$, $T1HR$, $T1PRR$
- ・ $P1$, $P1DDR$, $P1FCR$
- ・ $P2$, $P2DDR$, $I45CR$, $I45SL$

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	$T1CNT$	$T1HRUN$	$T1LRUN$	$T1LONG$	$T1PWM$	$T1HCMP$	$T1HIE$	$T1LCMP$	$T1LIE$
FE19	0000 0000	R/W	$T1PRR$	$T1HPRE$	$T1HPRC2$	$T1HPRC1$	$T1HPRC0$	$T1LPRE$	$T1PRC2$	$T1LPRC1$	$T1LPRC0$
FE1A	0000 0000	R	$T1L$	$T1L7$	$T1L6$	$T1L5$	$T1L4$	$T1L3$	$T1L2$	$T1L1$	$T1L0$
FE1B	0000 0000	R	$T1H$	$T1H7$	$T1H6$	$T1H5$	$T1H4$	$T1H3$	$T1H2$	$T1H1$	$T1H0$
FE1C	0000 0000	R/W	$T1LR$	$T1LR7$	$T1LR6$	$T1LR5$	$T1LR4$	$T1LR3$	$T1LR2$	$T1LR1$	$T1LR0$
FE1D	0000 0000	R/W	$T1HR$	$T1HR7$	$T1HR6$	$T1HR5$	$T1HR4$	$T1HR3$	$T1HR2$	$T1HR1$	$T1HR0$

(注1) $T1L$ 動作停止時、 $T1PWML$ 出力はHIGH固定となり、 $T1L$ 動作時、 $T1LR = FFH$ の時、 $T1PWML$ 出力はLOW固定となります。また、 $T1H$ 動作停止時、 $T1PWMH$ 出力はHIGH固定となり、 $T1H$ 動作時、 $T1HR = FFH$ の時、 $T1PWMH$ 出力は、LOW固定となります。

3-6-3 回路構成

3-6-3-1 タイマ1制御レジスタ(T1CNT) (8ビットレジスタ)

- ① T1L, T1Hの動作, 割り込みの制御を行います。

3-6-3-2 タイマ1プリスケアラ制御レジスタ(T1PRR) (8ビットレジスタ)

- ① T1L, T1Hのクロックを設定します。

3-6-3-3 タイマ1下位プリスケアラ (8ビットカウンタ)

- ①動作開始／停止:T1LRUN(タイマ1制御レジスタのビット6)の0／1により、停止／動作が制御されます。

- ②カウントクロック:モードにより異なります。

モード	T1LONG	T1PWM	T1Lプリスケアラのカウントクロック
0	0	0	2Tcyc／イベント(注1)
1	0	1	1Tcyc(注2)
2	1	0	2Tcyc／イベント(注1)
3	1	1	1Tcyc(注2)

(注1)外部割り込み4, 5端子選択レジスタ(I45SL)で、タイマ1のカウントクロック入力としてINT4が指定されると、T1Lはイベントカウンタとなり、タイマ1のカウントクロック入力としてINT4が指定されないとT1Lは2Tcycをカウントクロックとするタイマとなります。

(注2)T1PWM=1の時、INT4でタイマ1のカウントクロック入力を指定すると、正常に動作しませんので、T1PWM=1の時は、INT4ではタイマ1のカウント入力を指定しないでください。

- ③プリスケアラカウント数:T1PRRの値でカウント数が設定されます。

設定カウント毎にT1Lのカウントクロックを出力します。

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

- ④リセット:動作停止時、またはT1Lのリセット発生時。

3-6-3-4 タイマ1上位プリスケアラ (8ビットカウンタ)

①動作開始／停止：T1HRUN(タイマ1制御レジスタのビット7)の0／1により、停止／動作が制御されます。

②カウントクロック：モードにより異なります。

モード	T1LONG	T1PWM	T1Hプリスケアラのカウントクロック
0	0	0	2Tcyc
1	0	1	1Tcyc
2	1	0	T1Lの一致信号
3	1	1	$256 \times (T1LPRC\text{設定カウント数}) \times Tcyc$

③プリスケアラカウント数：T1PRRの値でカウント数が設定されます。

設定カウント毎にT1Hのカウントクロックを出力します。

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

④リセット：動作停止時、またはT1Hのリセット発生時。

3-6-3-5 タイマ1下位(T1L) (8ビットカウンタ)

①動作開始／停止：T1LRUN(タイマ1制御レジスタのビット6)の0／1により、停止／動作が制御されます。

②カウントクロック：T1Lプリスケアラの出力クロック

③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。

④リセット：動作停止時、またはモード0、2の時の一致信号の発生時。

3-6-3-6 タイマ1上位(T1H) (8ビットカウンタ)

①動作開始／停止：T1HRUN(タイマ制御レジスタのビット7)の0／1により、停止／動作が制御されます。

②カウントクロック：T1Hプリスケアラの出力クロック

③一致信号：カウント値が一致バッファレジスタの値と一致すると一致信号を発生します。

④リセット：動作停止時、またはモード0、2、3の時の一致信号の発生時。

3-6-3-7 タイマ1一致データレジスタ下位 (T1LR) (一致バッファレジスタ付き8ビットレジスタ)

- ① T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位 (T1L) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時 (T1LRUN=0) には、T1LRと一致バッファレジスタは同値となります。
動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードします。

3-6-3-8 タイマ1一致データレジスタ上位 (T1HR) (一致バッファレジスタ付き8ビットレジスタ)

- ① T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位 (T1H) の値が一致した時、一致信号が発生します。
- ② 一致バッファレジスタの更新は以下のように行われます。
非動作時 (T1HRUN=0) には、T1HRと一致バッファレジスタは同値となります。
動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードします。

3-6-3-9 タイマ1下位出力 (T1PWML)

- ① T1L動作停止時、T1PWML出力はHIGH固定となり、T1L動作時、T1LR=FFHの時、T1PWML出力はLOW固定となります。
- ② T1PWM(タイマ1制御レジスタのビット4)が0の時、T1Lの一致信号で変化するトグル出力。
- ③ T1PWM(タイマ1制御レジスタのビット4)が1の時、T1Lのオーバーフローでクリアされ、一致信号でセットされるPWM出力。

3-6-3-10 タイマ1上位出力 (T1PWMH)

- ① T1H動作停止時、T1PWMH出力はHIGH固定となり、T1H動作時、T1HR=FFHの時、T1PWMH出力はLOW固定となります。
- ② T1PWM=0またはT1LONG=1の時、T1Hの一致信号で変化するトグル出力。
- ③ T1PWM=1かつT1LONG=0の時、T1Hのオーバーフローでクリアされ、一致信号でセットされるPWM出力。

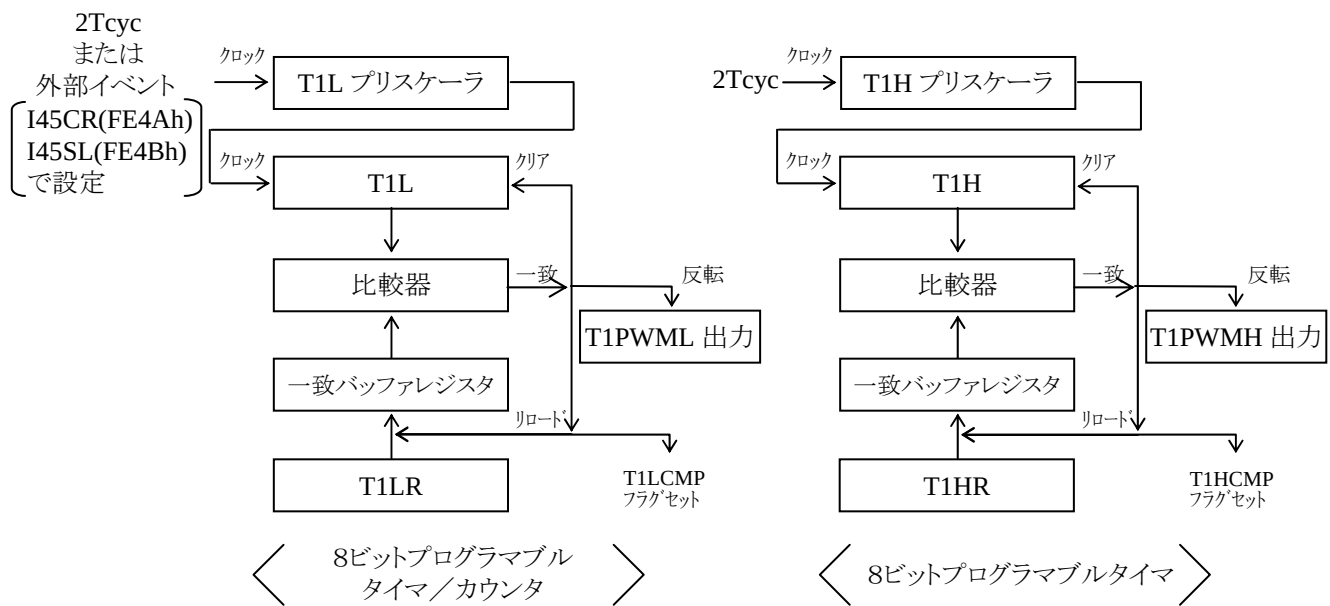


図 3-6-1 モード0 (T1LONG=0, T1PWM=0) ブロック図

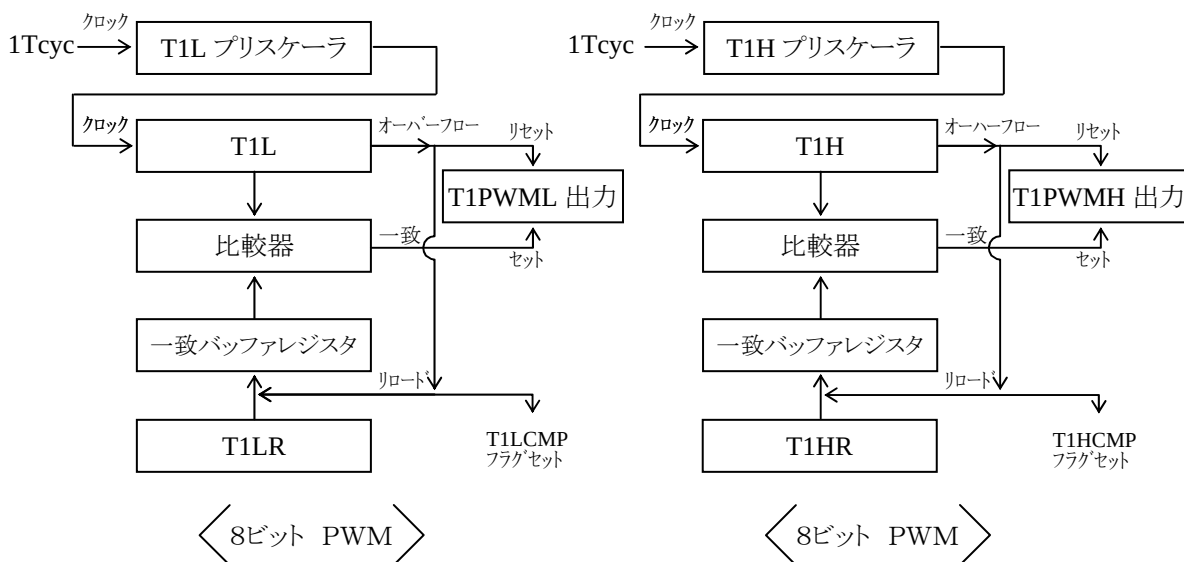


図 3-6-2 モード1 (T1LONG=0, T1PWM=1) ブロック図

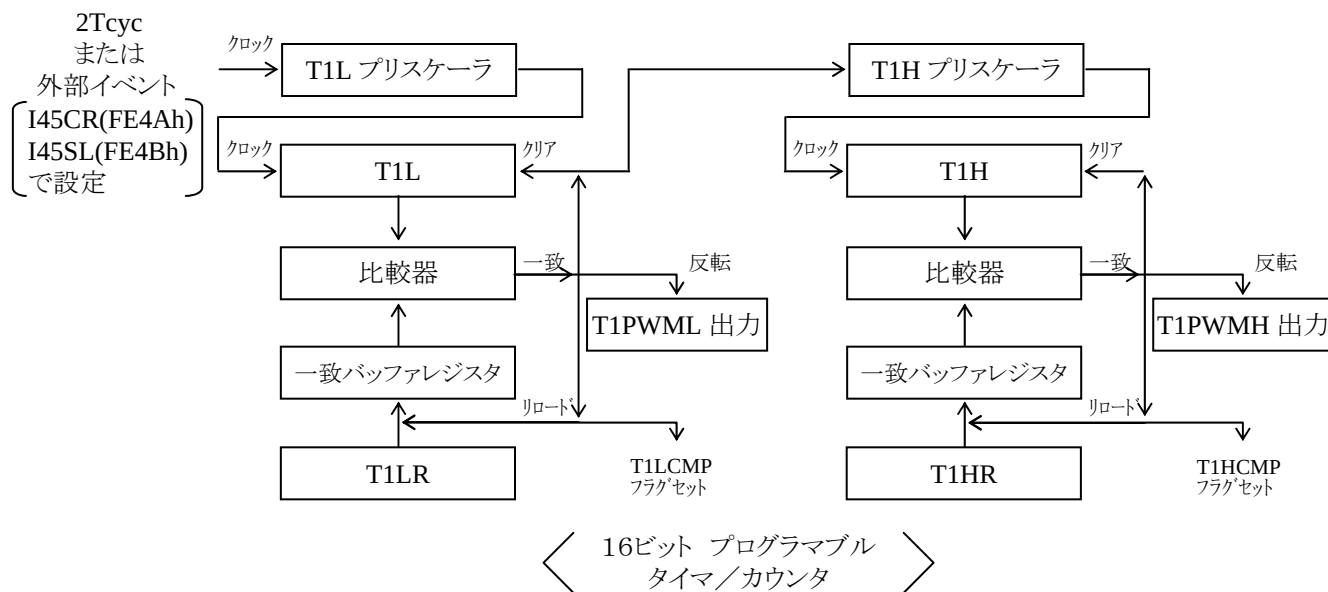


図 3-6-3 モード2 (T1LONG=1, T1PWM=0) ブロック図

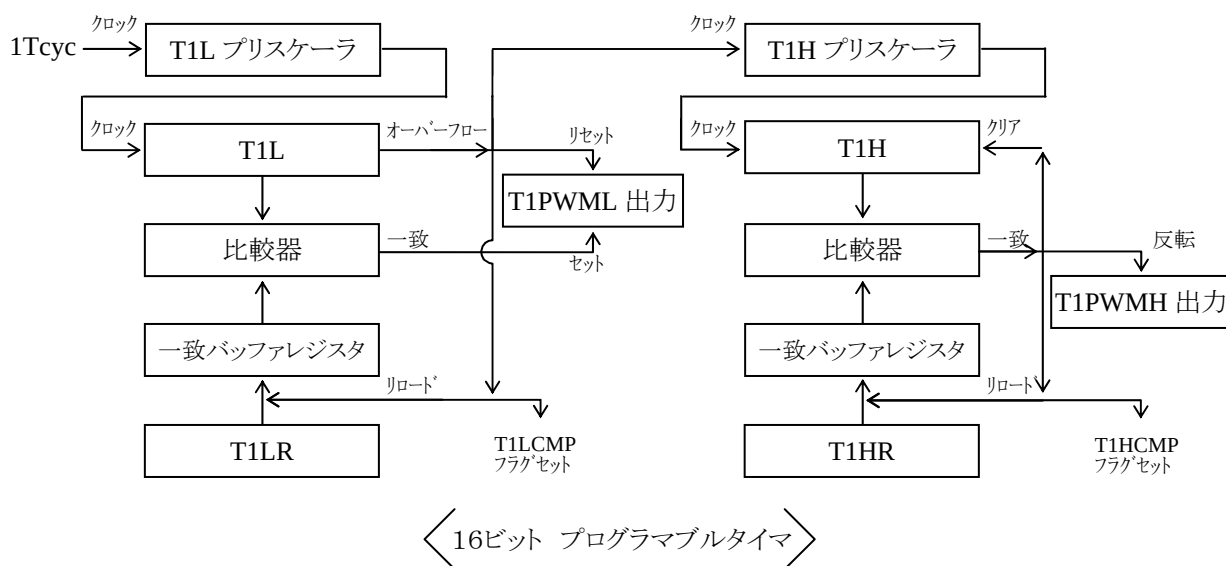


図 3-6-4 モード3 (T1LONG=1, T1PWM=1) ブロック図

3-6-4 関連レジスタ

3-6-4-1 タイマ1制御レジスタ(T1CNT)

①T1L, T1Hの動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE18	0000 0000	R/W	T1CNT	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE

T1HRUN(ビット7): T1Hカウント制御

このビットが0の時タイマ1上位(T1H)は、カウント値0で停止し、T1Hの一致バッファレジスタ値はT1HRの値と同じです。

このビットが1の時タイマ1上位(T1H)は、所定のカウント動作を行います。

T1LRUN(ビット6): T1Lカウント制御

このビットが0の時タイマ1下位(T1L)は、カウント値0で停止し、T1Lの一致バッファレジスタ値はT1LRの値と同じです。

このビットが1の時タイマ1下位(T1L)は、所定のカウント動作を行います。

T1LONG(ビット5): タイマ1ビット長選択

このビットが0の時タイマ1は上位と下位の独立した8ビットのタイマとなります。
このビットが1の時タイマ1上位(T1H)はタイマ1下位(T1L)の周期でカウントアップしますので、タイマ1は16ビットのタイマとなります。

また、このビットの値にかかわらず、T1H, T1Lそれぞれのカウンタ値と一致バッファレジスタの内容が一致した時に、T1H, T1Lで独立に一致信号が発生します。

T1PWM(ビット4): T1出力モード選択

このビットとT1LONG(ビット5)でT1出力(T1PWMH, T1PWML)を表3-6-1のように設定します。

表 3-6-1 タイマ1出力(T1PWMH, T1PWML)

モード	T1LONG	T1PWM	T1PWMH	T1PWML
0	0	0	トグル出力 周期: $\{(T1HR+1) \times (T1HPRC \text{ 設定カウンタ数}) \times 2T_{cyc}\} \times 2$	トグル出力 周期: $\{(T1LR+1) \times (T1LPRC \text{ 設定カウンタ数}) \times 2T_{cyc}\} \times 2$ または 周期: $\{(T1LR+1) \times (T1LPRC \text{ 設定カウンタ数}) \times \text{イベント}\} \times 2$
1	0	1	PWM出力 周期: $256 \times (T1HPRC \text{ 設定カウンタ数}) \times T_{cyc}$	PWM出力 周期: $256 \times (T1LPRC \text{ 設定カウンタ数}) \times T_{cyc}$
2	1	0	トグル出力 周期: $\{(T1HR+1) \times (T1HPRC \text{ 設定カウンタ数}) \times (T1LR+1) \times (T1LPRC \text{ 設定カウンタ数}) \times 2T_{cyc}\} \times 2$ または 周期: $\{(T1HR+1) \times (T1HPRC \text{ 設定カウンタ数}) \times (T1LR+1) \times (T1LPRC \text{ 設定カウンタ数}) \times \text{イベント}\} \times 2$	トグル出力 周期: $\{(T1LR+1) \times (T1LPRC \text{ 設定カウンタ数}) \times 2T_{cyc}\} \times 2$ または 周期: $\{(T1LR+1) \times (T1LPRC \text{ 設定カウンタ数}) \times \text{イベント}\} \times 2$
3	1	1	トグル出力 周期: $\{(T1HR+1) \times (T1HPRC \text{ 設定カウンタ数}) \times 256 \times (T1LPRC \text{ 設定カウンタ数}) \times T_{cyc}\} \times 2$	PWM出力 周期: $256 \times (T1LPRC \text{ 設定カウンタ数}) \times T_{cyc}$

T1HCMP(ビット3): T1H一致フラグ

T1Hが動作している(T1HRUN=1)場合、T1Hが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1

T1HIE (ビット2): T1H割り込み要求発生許可制御

このビットとT1HCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

T1LCMP (ビット1): T1L一致フラグ

T1Lが動作している(T1LRUN=1)場合、T1Lが0に変化する時にセットされます。

このフラグは、命令でクリアしてください。

T1LIE (ビット0): T1L割り込み要求発生許可制御

このビットとT1LCMPがともに1の時、ベクタアドレス002BHへの割り込み要求が発生します。

注意:

- ・T1HCMP, T1LCMPは命令で0にしてください。

3-6-4-2 タイマ1プリスケアラ制御レジスタ(T1PRR)

①タイマ1プリスケアラのカウント数を設定します。

②タイマ動作途中でレジスタ設定値を変更した場合、そのプリスケアラカウント数がプリスケアラ動作に反映されるのは、タイマ(T1L, T1H)の一致バッファレジスタの更新と同一タイミングになります。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE19	0000 0000	R/W	T1PRR	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0

T1HPRE (ビット7): タイマ1上位プリスケアラ制御

T1HPRC2 (ビット6): タイマ1上位プリスケアラ制御

T1HPRC1 (ビット5): タイマ1上位プリスケアラ制御

T1HPRC0 (ビット4): タイマ1上位プリスケアラ制御

T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1Hプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

T1LPRE (ビット3): タイマ1下位プリスケアラ制御
 T1LPRC2 (ビット2): タイマ1下位プリスケアラ制御
 T1LPRC1 (ビット1): タイマ1下位プリスケアラ制御
 T1LPRC0 (ビット0): タイマ1下位プリスケアラ制御

T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0	T1Lプリスケアラのカウント数
0	—	—	—	1
1	0	0	0	2
1	0	0	1	4
1	0	1	0	8
1	0	1	1	16
1	1	0	0	32
1	1	0	1	64
1	1	1	0	128
1	1	1	1	256

3-6-4-3 タイマ1下位 (T1L)

①読み出し専用の8ビットのタイマです。T1Lプリスケアラの出力クロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1A	0000 0000	R	T1L	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0

3-6-4-4 タイマ1上位 (T1H)

①読み出し専用の8ビットのタイマです。T1Hプリスケアラの出力クロックでカウントアップします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1B	0000 0000	R	T1H	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0

3-6-4-5 タイマ1一致データレジスタ下位 (T1LR)

①T1L用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1下位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

非動作時 (T1LRUN=0) には、T1LRと一致バッファレジスタは同値となります。

動作時 (T1LRUN=1) には、T1Lの値が0になる時、一致バッファレジスタはT1LRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1C	0000 0000	R/W	T1LR	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0

3-6-4-6 タイマ1一致データレジスタ上位 (T1HR)

①T1H用の一致データ格納用レジスタです。他に、8ビットの一致バッファレジスタを持ち、この一致バッファレジスタとタイマ1上位の値が一致した時、一致信号が発生します。

②一致バッファレジスタの更新は以下のように行われます。

非動作時 (T1HRUN=0) には、T1HRと一致バッファレジスタは同値となります。

動作時 (T1HRUN=1) には、T1Hの値が0になる時、一致バッファレジスタはT1HRの内容をロードします。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1D	0000 0000	R/W	T1HR	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

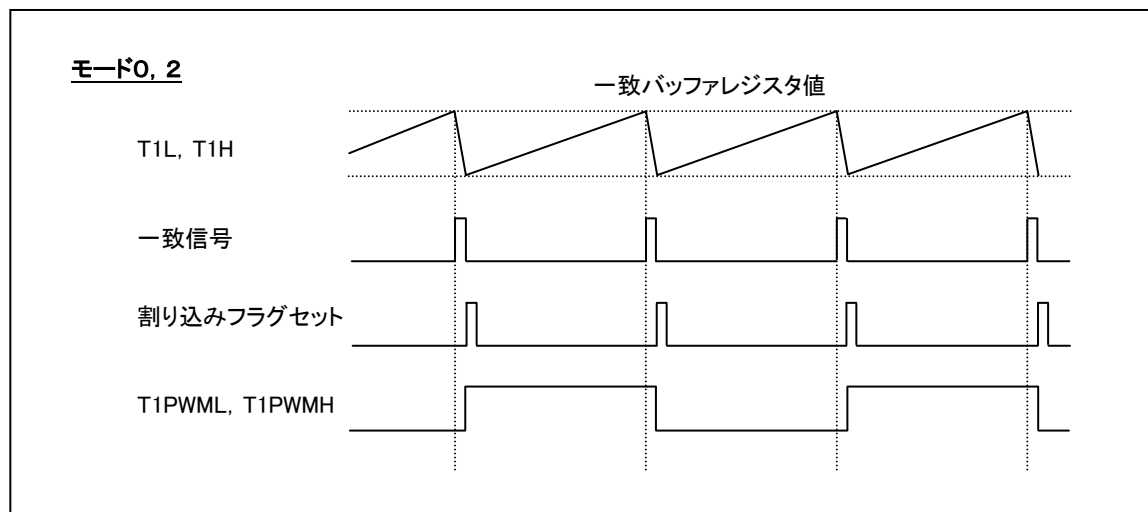


図 3-6-5 モード0, 2の動作波形例

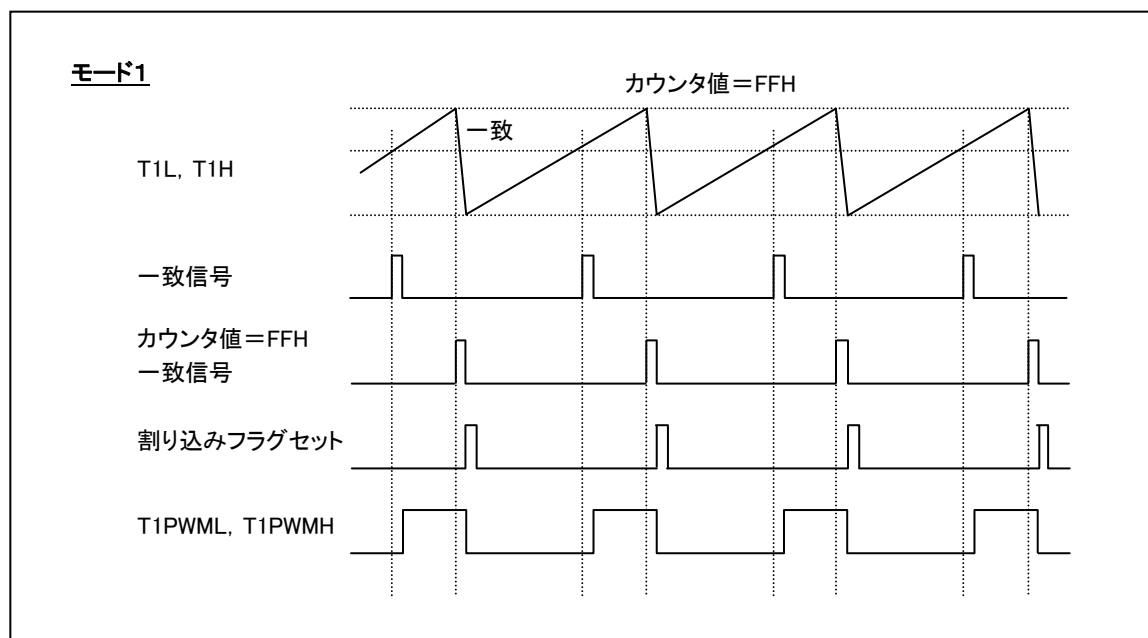


図 3-6-6 モード1の動作波形例

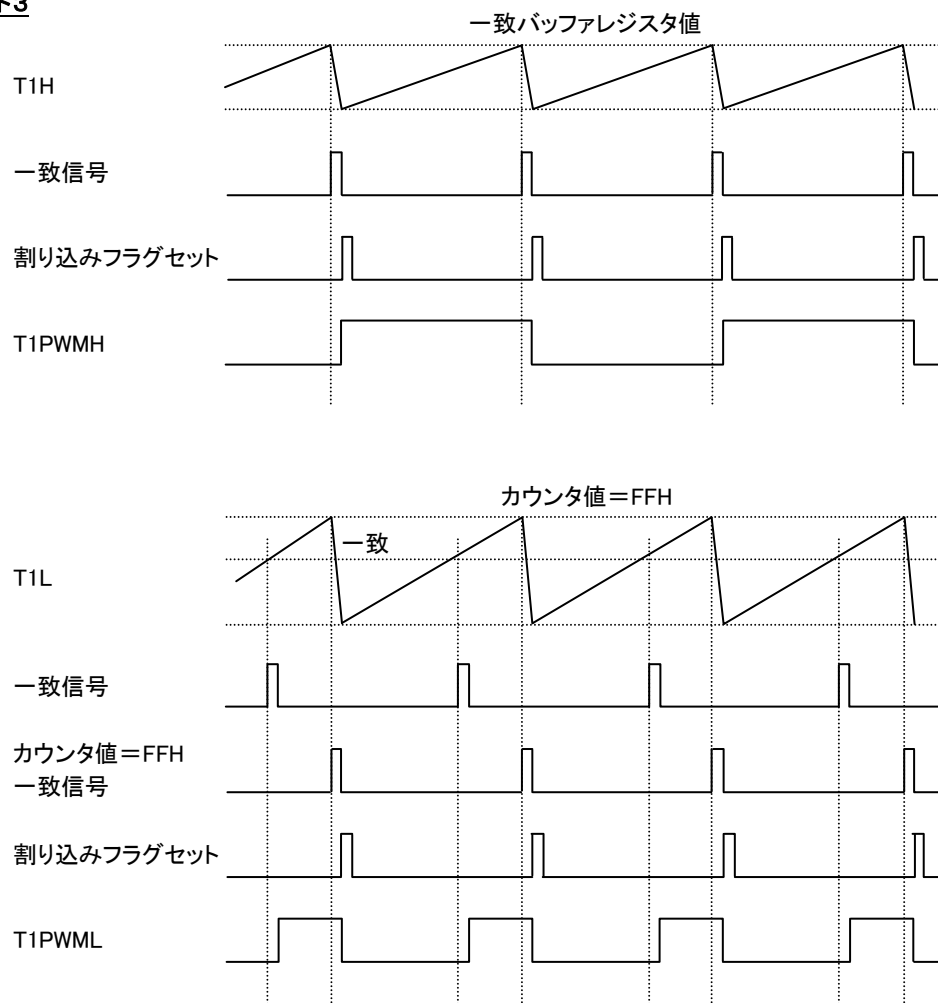
モード3

図 3-6-7 モード3の動作波形例

T6, T7

3-7 タイマ6, 7 (T6, T7)

3-7-1 概要

本シリーズが内蔵しているタイマ6 (T6), タイマ7 (T7) は、それぞれ独立に制御される2本の6ビットプリスケアラ付8ビットタイマです。

3-7-2 機能

①タイマ6 (T6)

タイマ6は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。また、タイマ6周期のトグル波形をP06端子に出力できます。

$$T6の周期 = (T6R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

②タイマ7 (T7)

タイマ7は、4Tcyc, 16Tcyc, 64Tcycのどれかをクロックとする8ビットのタイマです。また、タイマ7周期のトグル波形をP07端子に出力できます。

$$T7の周期 = (T7R + 1) \times 4^n Tcyc \quad (n = 1, 2, 3)$$

Tcyc = サイクルクロックの周期

③割り込みの発生

タイマ6またはタイマ7の周期でオーバーフローフラグがセットされ、対応する割り込み要求許可ビットがセットされている場合、ベクタアドレス0043Hへの割り込み要求を発生します。

④タイマ6 (T6), タイマ7 (T7) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

・T67CNT, T6R, T7R, P0FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE78	0000 0000	R/W	T67CNT	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE
FE7A	0000 0000	R/W	T6R	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0
FE7B	0000 0000	R/W	T7R	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0
FE42	00HH 0000	R/W	P0FCR	T7OE	T6OE	-	-	CLKOEN	CKODV2	CKODV1	CKODV0

3-7-3 回路構成

3-7-3-1 タイマ6, 7制御レジスタ (T67CNT) (8ビットレジスタ)

①T6, T7の動作, 割り込みの制御を行います。

3-7-3-2 タイマ6カウンタ (T6CTR) (8ビットカウンタ)

①タイマ6プリスケアラ (T6PR) からのクロックをカウントし、タイマ6周期設定レジスタ (T6R) の値に達した次のクロックで、タイマ6カウンタ (T6CTR) の値は0になり、割り込みフラグ (T6OV) がセットされます。

- ②T6C0, T6C1 (T67CNT:FE78のビット4, 5)の値がともに0の時、タイマ6カウンタはカウント値0で停止します。これ以外の場合はタイマ6の動作を続けます。
- ③タイマ6動作中に、T6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

3-7-3-3 タイマ6プリスケアラ(T6PR) (6ビットカウンタ)

- ①T6C0, T6C1 (T67CNT:FE78のビット4, 5)の値でタイマ6のクロックを設定します。

表 3-7-1 タイマ6のカウントクロック

T6C1	T6C0	T6のカウントクロック
0	0	タイマ6のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

3-7-3-4 タイマ6周期設定レジスタ(T6R) (8ビットレジスタ)

- ①タイマ6の周期設定用レジスタです。
- ②タイマ6動作中にT6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

3-7-3-5 タイマ7カウンタ(T7CTR) (8ビットカウンタ)

- ①タイマ7プリスケアラ(T7PR)からのクロックをカウントし、タイマ7周期設定レジスタ(T7R)の値に達した次のクロックで、タイマ7カウンタ(T7CTR)の値は0になり、割り込みフラグ(T7OV)がセットされます。
- ②T7C0, T7C1 (T67CNT:FE78のビット6, 7)の値がともに0の時、タイマ7カウンタはカウント値0で停止します。これ以外の場合はタイマ7の動作を続けます。
- ③タイマ7動作中に、T7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

3-7-3-6 タイマ7プリスケアラ(T7PR) (6ビットカウンタ)

- ①T7C0, T7C1 (T67CNT:FE78のビット6, 7)の値でタイマ7のクロックを設定します。

表 3-7-2 タイマ7のカウントクロック

T7C1	T7C0	T7のカウントクロック
0	0	タイマ7のプリスケアラとタイマカウンタはリセット状態
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

3-7-3-7 タイマ7周期設定レジスタ(T7R) (8ビットレジスタ)

- ①タイマ7の周期設定用レジスタです。
- ②タイマ7動作中にT7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

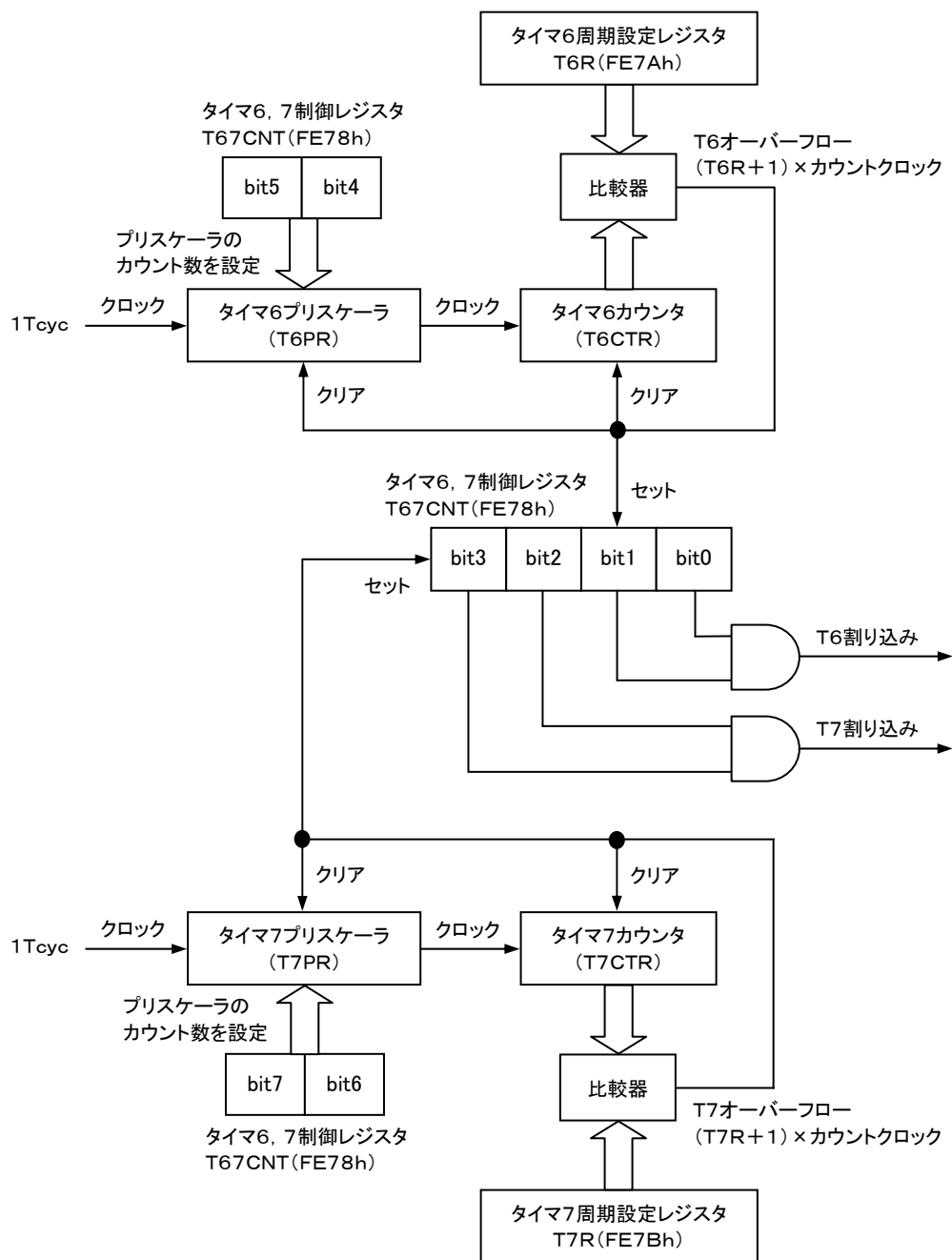


図 3-7-1 タイマ6, 7動作ブロック図

3-7-4 関連レジスタ

3-7-4-1 タイマ6, 7制御レジスタ(T67CNT)

①T6, T7の動作, 割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE78	0000 0000	R/W	T67CNT	T7C1	T7C0	T6C1	T6C0	T7OV	T7IE	T6OV	T6IE

T7C1(ビット7): T7カウントクロック制御

T7C0(ビット6): T7カウントクロック制御

T7C1	T7C0	T7のカウントクロック
0	0	タイマ7のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T6C1(ビット5): T6カウントクロック制御

T6C0(ビット4): T6カウントクロック制御

T6C1	T6C0	T6のカウントクロック
0	0	タイマ6のプリスケアラとタイマカウンタはリセット状態で停止
0	1	4Tcyc
1	0	16Tcyc
1	1	64Tcyc

T7OV(ビット3): T7オーバーフローフラグ

タイマ7が動作している時、タイマ7の周期毎にセットされます。
このフラグは命令でクリアしてください。

T7IE(ビット2): T7割り込み要求発生許可制御

このビットとT7OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

T6OV(ビット1): T6オーバーフローフラグ

タイマ6が動作している時、タイマ6の周期毎にセットされます。
このフラグは命令でクリアしてください。

T6IE(ビット0): T6割り込み要求発生許可制御

このビットとT6OVがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

3-7-4-2 タイマ6周期設定レジスタ(T6R)

①タイマ6の周期設定を行う8ビットのレジスタです。

タイマ6の周期 = (T6R設定値 + 1) × タイマ6プリスケアラ設定値
(4, 16 or 64Tcyc)

②タイマ6動作中にT6Rに対してデータ書き込みを行うと、タイマ6のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7A	0000 0000	R/W	T6R	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0

T6, T7

3-7-4-3 タイマ7周期設定レジスタ(T7R)

①タイマ7の周期設定を行う8ビットのレジスタです。

$$\text{タイマ7の周期} = (\text{T7R設定値} + 1) \times \text{タイマ7プリスケアラ設定値} \\ (4, 16 \text{ or } 64T_{cyc})$$

②タイマ7動作中にT7Rに対してデータ書き込みを行うと、タイマ7のプリスケアラとカウンタは一度クリアされてから再びカウントを開始します。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7B	0000 0000	R/W	T7R	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0

3-7-4-4 ポート0機能制御レジスタ(P0FCR)

①ポート0の兼用出力の制御を行う6ビットのレジスタです。タイマ6、タイマ7のトグル出力の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE42	00HH 0000	R/W	P0FCR	T7OE	T6OE	-	-	CLKOEN	CKODV2	CKODV1	CKODV0

T7OE(ビット7):

P07端子のタイマ7トグル出力の制御を行う場合に操作します。

P07が入力モードの時、このビットは無効です。

P07が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ7周期でトグルする波形とポートデータラッチのORを出力します。

T6OE(ビット6):

P06端子のタイマ6トグル出力の制御を行う場合に操作します。

P06が入力モードの時、このビットは無効です。

P06が出力モードの時、“0”:ポートデータラッチの値を出力します。

“1”:タイマ6周期でトグルする波形とポートデータラッチのORを出力します。

(ビット5, 4):存在しません。読むと“1”が読めます。

CLKOEN(ビット3):

CKODV2(ビット2):

CKODV1(ビット1):

CKODV0(ビット0):

上記4ビットはタイマ6、タイマ7の制御には関係しません。

説明はポート0の章を参照してください。

3-8 ベースタイマ(BT)

3-8-1 概要

本シリーズが内蔵しているベースタイマ(BT)は、次に示す5つの機能を持った14ビットのバイナリアップカウンタです。

- ①時計用タイマ
- ②14ビットのバイナリアップカウンタ
- ③早送りモード(6ビットベースタイマ使用時)
- ④ブザー出力機能
- ⑤X'talホールドモード解除機能

3-8-2 機能

①時計用タイマ

ベースタイマのカウントクロックに32.768kHzのサブクロックを使用した場合に、0.5秒間隔の計時ができます。ベースタイマのカウントクロックとして、「サイクルクロック」、「タイマ/カウンタ0のプリスケール出力」、「サブクロック」の3種類のうちの1つを入力信号選択レジスタ(ISL)で指定します。

②14ビットのバイナリアップカウンタ

8ビットのバイナリアップカウンタと6ビットのバイナリアップカウンタを用いることによって、14ビットのバイナリアップカウンタとして使用できます。これらのカウンタはプログラムでクリアできます。

③早送りモード(6ビットベースタイマ使用時)

ベースタイマを6ビットで使用すると、カウントクロックに32.768kHzのサブクロックを使用した場合に、約2ms間隔の計時ができます。ビット長の切り替えは、ベースタイマ制御レジスタ(BTCR)で指定します。

④ブザー出力機能

ベースタイマのカウントクロックに32.768kHzのサブクロックを使用した場合に、2kHzのブザー信号を出力できます。ブザー信号出力制御は、入力信号選択レジスタ(ISL)で指定します。尚、ブザー出力は、P17端子から出力可能です。

⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、ベースタイマからの割り込み要求が発生すると、ベクタアドレス001BHへの割り込み要求が発生されます。ベースタイマからの割り込み要求には、「ベースタイマ割り込み0」と「ベースタイマ割り込み1」の2種類があります。

⑥X'talホールドモード時の動作とX'talホールドモードの解除機能

パワー制御レジスタ(PCON)のビット2をセットすることにより、X'talホールドモード時のベースタイマの動作が可能になります。また、このX'talホールドモードの解除をベースタイマの割り込みで行うことができます。

この機能により、低消費電流間欠動作が実現できます。

BT

- ⑦ ベースタイマを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・BTCR, ISL, P1DDR, P1, P1FCR

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

3-8-3 回路構成

3-8-3-1 8ビットバイナリアップカウンタ

- ① 入力信号選択レジスタ(ISL)で選択された信号を入力とするアップカウンタです。
2kHzのブザー出力信号やベースタイマ割り込み1フラグのセット信号などを発生します。
このオーバーフローが6ビットバイナリカウンタのクロックとなります。

3-8-3-2 6ビットバイナリアップカウンタ

- ① 入力信号選択レジスタ(ISL)で選択された信号または8ビットカウンタのオーバーフローを入力とする6ビットアップカウンタで、ベースタイマ割り込み0, 1のセット信号を発生します。入力クロックの切り替えは、ベースタイマ制御レジスタ(BTCR)で行います。

3-8-3-3 ベースタイマ入力クロック源

- ① ベースタイマの入力クロックは、「サイクルクロック」と「タイマ／カウンタ0のプリスケアラ出力」, 「サブクロック」の3種類から入力信号選択レジスタ(ISL)で選択します。

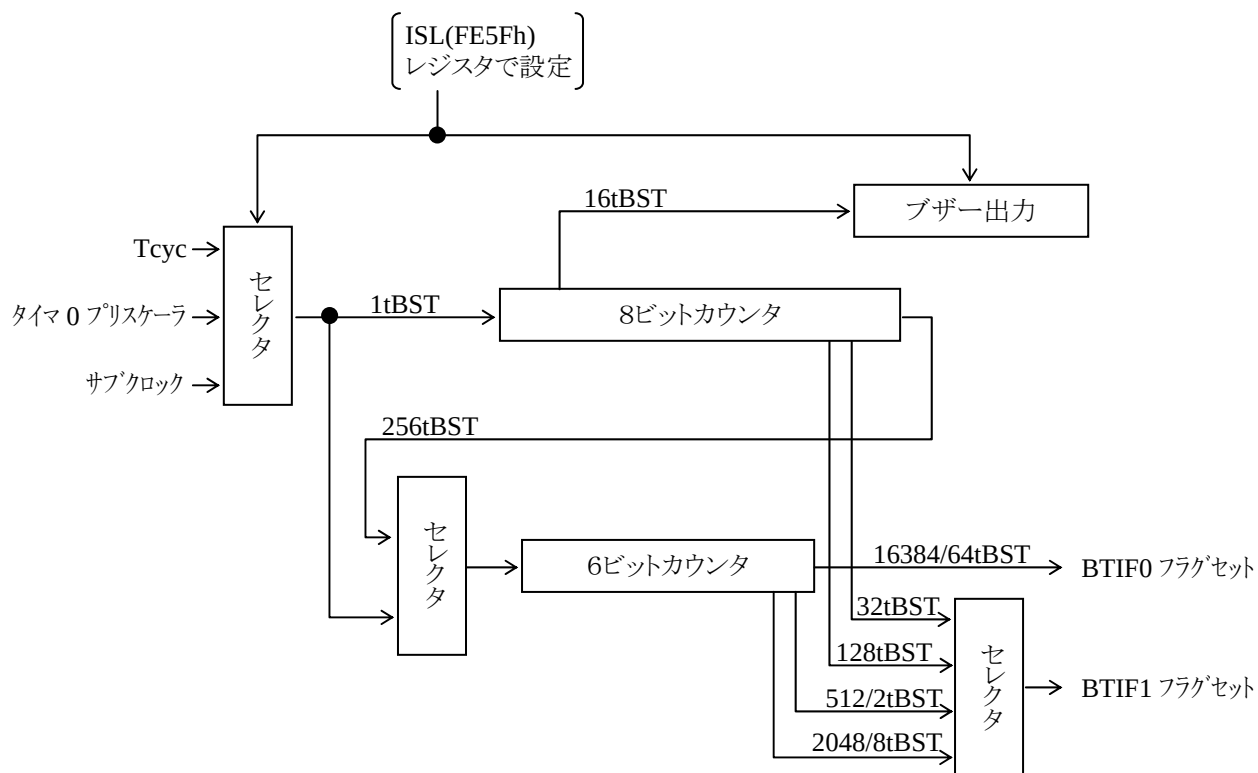


図 3-8-1 ベースタイマブロック図

3-8-4 関連レジスタ

3-8-4-1 ベースタイマ制御レジスタ(BTCR)

① ベースタイマの動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7F	0000 0000	R/W	BTCR	BTFST	BTON	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0

BTFST (ビット7) : ベースタイマ割り込み0周期制御

ベースタイマ割り込み0要因発生の周期を選択します。

このビットが1の時、6ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。またオーバーフローの発生間隔は64tBSTとなります。このビットが0の時、14ビットカウンタのオーバーフローで、ベースタイマ割り込み0フラグをセットします。またオーバーフローの発生間隔は16384tBSTとなります。

早送りモードを使用する場合は1を設定します。

(tBST: 入力信号選択レジスタ(ISL)のビット5, 4の設定で選択されたベースタイマの入力クロック周期)

BTON (ビット6) : ベースタイマ動作制御

このビットが0の時 ベースタイマは、カウント値0で停止します。

このビットが1の時 ベースタイマは、動作を行います。

BTC11 (ビット5) : ベースタイマ割り込み1周期制御

BTC10 (ビット4) : ベースタイマ割り込み1周期制御

BTFST	BTC11	BTC10	ベースタイマ割り込み0周期	ベースタイマ割り込み1周期
0	0	0	16384tBST	32tBST
1	0	0	64tBST	32tBST
0	0	1	16384tBST	128tBST
1	0	1	64tBST	128tBST
0	1	0	16384tBST	512tBST
0	1	1	16384tBST	2048tBST
1	1	0	64tBST	2tBST
1	1	1	64tBST	8tBST

BTIF1 (ビット3) : ベースタイマ割り込み1フラグ

BTFST, BTC11, BTC10で設定されたベースタイマ割り込み1の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE1 (ビット2) : ベースタイマ割り込み1要求発生許可制御

このビットとBTIF1がともに1の時、「X'talホールドモード解除信号」と「ベクタアドレス001BHへの割り込み要求」が発生します。

BTIF0 (ビット1) : ベースタイマ割り込み0フラグ

BTFST, BTC11, BTC10で設定されたベースタイマ割り込み0の周期毎にセットされます。

このフラグは、命令でクリアしてください。

BTIE0 (ビット0) : ベースタイマ割り込み0要求発生許可制御

このビットとBTIF0がともに1の時、「X'talホールドモード解除信号」と「ベクタアドレス001BHへの割り込み要求」が発生します。

注意：

- ・ベースタイマ割り込み周期毎にフラグ(BTIF1, BTIF0)がセットされる条件として、サイクルクロックの周期(Tcyc)とベースタイマ割り込み周期の関係が下記を満たすように設定してください。

$$\text{サイクルクロックの周期 (Tcyc)} < \text{ベースタイマ割り込み周期} \div 2$$

但し、実際にはプログラム処理(割り込み処理ルーチンなど)が介在しますので、その時間も考慮して、最適な割り込み周期を設定してください。

- ・ベースタイマ動作時、BTC11, BTC10を書き換える場合に、BTIF1が“1”になることがありますので注意してください。
- ・ベースタイマのクロックソースに水晶発振(サブクロック)が選択されている場合、ホールドモード解除時の発振安定時間がとれないため、ベースタイマにカウントミスが発生します。この場合、ホールドモード突入前にベースタイマを停止することをお奨めします。(スタンバイモード時の発振回路の状態は「4-2 システムクロック発生機能」を参照ください)
- ・ベースタイマ動作中にベースタイマクロックを変更する(ISLのビット5, 4の値を変更)とベースタイマにカウントミスが発生しますので、ベースタイマの動作を停止してから変更してください。

3-8-4-2 入力信号選択レジスタ(ISL)

① タイマ0の入力, ノイズフィルタの時定数, ブザー出力/タイマ1PWMH出力選択, ベースタイマのクロック選択の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5F	0000 0000	R/W	ISL	ST0HCP	ST0LCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	ST0IN

ST0HCP(ビット7): タイマ0Hキャプチャ信号入力ポート選択

ST0LCP(ビット6): タイマ0Lキャプチャ信号入力ポート選択

上記2ビットは、ベースタイマの制御には関係ありません。

BTIMC1(ビット5): ベースタイマクロック選択

BTIMC0(ビット4): ベースタイマクロック選択

BTIMC1	BTIMC0	ベースタイマの入力クロック
0	0	サブクロック
0	1	サイクルクロック
1	0	サブクロック
1	1	タイマ/カウンタ0のプリスケアラ出力

BUZON(ビット3): ブザー出力/タイマ1PWMH出力選択

P17FCR(P1FCRのビット7) = “1”の際に、P17へ転送するデータ(ブザー出力/タイマ1PWMH)の選択を行います。

“1”の設定時、タイマ1PWMHの出力はHIGH固定となり、P17にはベースタイマクロックを16分周した信号(fBST/16)をブザー出力として転送します。

“0”の設定時、ブザー出力はHIGH固定となり、P17にはタイマ1PWMHの出力データを転送します。

fBST: 入力信号選択レジスタ(ISL)のビット5, 4の設定で選択されたベースタイマの入力クロック周波数

NFSEL(ビット2): ノイズ除去フィルタ時定数選択

NFON(ビット1): ノイズ除去フィルタ時定数選択

ST0IN(ビット0): タイマ0カウントクロック入力ポート選択

上記3ビットは、ベースタイマの制御には関係ありません。

3-9 シリアルインタフェース1 (SIO1)

3-9-1 概要

本シリーズが内蔵しているシリアルインタフェース1 (SIO1) は、次の4つの機能を持ちます。

- ①モード0: 同期式8ビットシリアルI/O
(2線式または3線式, 転送クロック2~512Tcyc)
- ②モード1: 非同期シリアル
(半二重, データ8ビット, ストップビット1, ボーレート8~2048Tcyc)
- ③モード2: BUSマスター(スタートビット, データ8ビット, 転送クロック2~512Tcyc)
- ④モード3: BUSスレーブ(スタート検出, データ8ビット, ストップ検出)

3-9-2 機能

- ①モード0: 同期式8ビットシリアルI/O
 - ・2線式または3線式の同期式シリアル通信を行います。内部クロックと外部クロックのどちらでも使用できます。
 - ・内部クロックの周期は2~512Tcycの範囲で可変です。
- ②モード1: 非同期シリアル (UART)
 - ・データ8ビット, ストップビット1ビットの半二重の非同期通信を行います。
 - ・ボーレートは8~2048Tcycの範囲で可変です。
- ③モード2: BUSマスター
 - ・BUSのマスターコントローラとして使用します。
 - ・スタートコンディションは自動生成しますが、ストップコンディションはポートを操作して発生してください。
 - ・クロック同期を行います。転送時のバスデータを転送終了後確認できますのでモード3と合わせてマルチマスター対応が可能です。
 - ・出力クロックの周期は2~512Tcycの範囲で可変です。
- ④モード3: BUSスレーブ
 - ・BUSのスレーブデバイスとして使用します。
 - ・スタート/ストップコンディション検出は行いますが、アドレスの一致検出とアクノレッジの出力には、プログラムの介入が必要です。
 - ・プログラムで判断をするため、第8クロックの立ち下がりで自動的にクロックラインにLOWを出力した後、割り込みをかけることができます。
- ⑤割り込みの発生

割り込み要求許可ビットがセットされている場合、通信の終了で割り込み要求が発生します。
- ⑥シリアルインタフェース1 (SIO1) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・SCON1, SBUF1, SBR1
- ・P1, P1DDR, P1FCR

SIO1

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-9-3 回路構成

3-9-3-1 SIO1制御レジスタ(SCON1) (8ビットレジスタ)

- ① SIO1の動作、割り込みの制御を行います。

3-9-3-2 SIO1シフトレジスタ(SIOSF1) (8ビットシフトレジスタ)

- ① SIO1のデータ転送・受信のためのシフトレジスタです。
② 命令で直接アクセスできません。SBUF1を通してアクセスします。

3-9-3-3 SIO1データレジスタ(SBUF1) (9ビットレジスタ)

- ① データ転送開始時、SBUF1の下位8ビットがSIOSF1に転送されます。
② データ転送終了時、SBUF1の下位8ビットにSIOSF1の内容が入ります。モード1, 2, 3では、SBUF1のビット8に、9番目の入力データが入るのでストップビット等の確認ができます。

3-9-3-4 SIO1ボーレートジェネレータ(SBR1) (8ビットリロードカウンタ)

- ① 内部クロック発生用のリロードカウンタです。
② モード0, 2では2~512T_{cyc}周期、モード1では8~2048T_{cyc}周期のクロックを発生できます。

表 3-9-1 各モードでのSIO1の動作

		同期式(モード 0)		UART(モード 1)		BUSマスタ(モード 2)		BUSスレーブ(モード 3)	
		転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
スタートビット		なし	なし	出力 (LOW)	入力 (LOW)	下 ① ② 参 照	不要	不要	下②参照
データ出力		8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)	8 (シフトデータ)	8 (ALL 1)
データ入力		8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←	8 (入力 PIN)	←
ストップビット		なし	←	出力 (HIGH)	入力 (H/L)	入力 (H/L)	出力 (SBUF1 bit8)	入力 (H/L)	出力 (L)
クロック		8	←	9 (内部)	←	9	←	第 8 クロック の↓で LOW 出力	←
動作開始		SI1RUN ↑	←	① SI1RUN ↑ ② スタートビット の検出	スタートビット の検出	① SI1RUN=1 の時の SI1END ↓ でスタートビッ トなし ② SI1END=0 の時の SI1RUN ↑ でスタートビッ ト付き	左の①	右の①	① SI1RUN=1 の時の SI1END ↓ でクロックを 解放 ② SI1RUN=0 かつ SI1END=0 の時の スタートビッ トの検出
動作周期		2-512Tcyc	←	8-2048 Tcyc	←	2-512Tcyc	←	2-512Tcyc	←
SI1RUN (bit5)	セ ット	命令	←	①命令 ②スタートビッ トの検出	スタートビット の検出	命令	既にセットさ れている	既にセットさ れている	スタートビット の検出
	ク リ ア	終了時	←	ストップビット の終り	←	① ストップコンデ ーション検出 ② アービトラージ ンロスト時 (注1)	←	① ストップコンデ ーション検出 ② アクラッジ= 1 の検出	←
SI1END (bit1)	セ ット	終了時	←	ストップビット の終り	←	① 第 9 クロック の↑ ② ストップコンデ ーション検出	←	① 第 8 クロック の↓ ② ストップコンデ ーション検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←

(注 1) 第 1～第 8クロック立ち上がり時に、内部データ出力値＝“H”かつ、データポート＝“L”の場合、バス競合負けと判断し、SI1RUNがクリアされます(クロック送出手もその時点で停止します)。

(次 ページへ続く)

SIO1

表 3-9-1 (続き)

		同期式(モード'0)		UART(モード'1)		BUSマスタ(モード'2)		BUSスレーブ(モード'3)	
		転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1	転送 SI1REC=0	受信 SI1REC=1
SI1OVR (bit2)	セ ツ ト	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立	←	① SI1END=1 で SI1END セット条件成 立	←	① SI1RUN=0 でクロック↓ 検出 ② SI1END=1 で SI1END セット条件成 立 ③ スタートビット の検出	←
	ク リ ア	命令	←	命令	←	命令	←	命令	←
シフタのデータ 更新		動作開始 時 SBUF1 →シフタ	←	動作開始 時 SBUF1 →シフタ	←	動作開始 時 SBUF1 →シフタ	←	動作開始 時 SBUF1 →シフタ	←
シフタ→SBUF1 (bit0-7)		第 8 クロック の↑	←	8ビットデータ 転送時	8ビットデータ 受信時	第 8 クロック ↑	←	第 8 クロック ↑	←
SBUF1 bit8 の データ自動更新		なし	←	ストップビット 時に入力 データを取り 込む	←	第 9 クロック ↑に入力デ ータを取り込 む	←	第 9 クロック ↑に入力デ ータを取り込 む	←

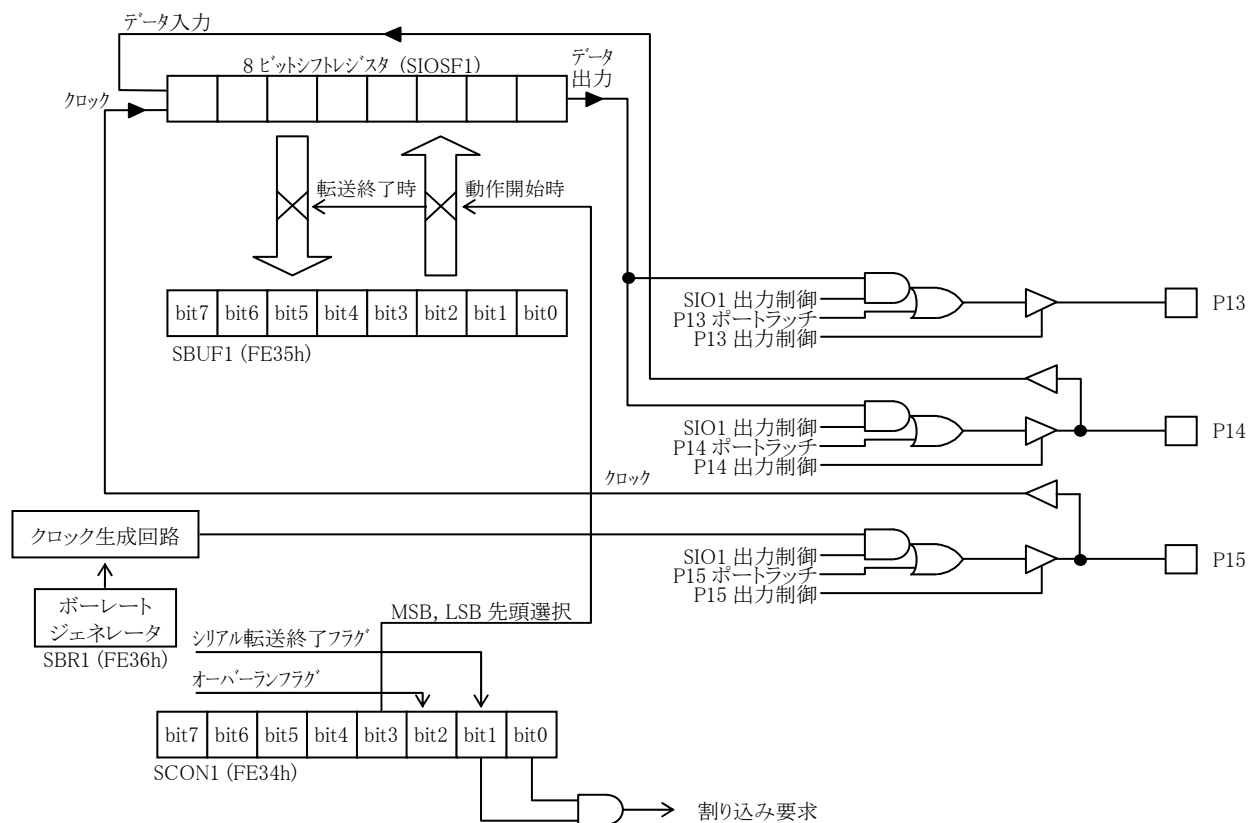


図 3-9-1 SIO1モード0:同期式8ビットシリアルI/O
(SI1M1=0, SI1M0=0)ブロック図

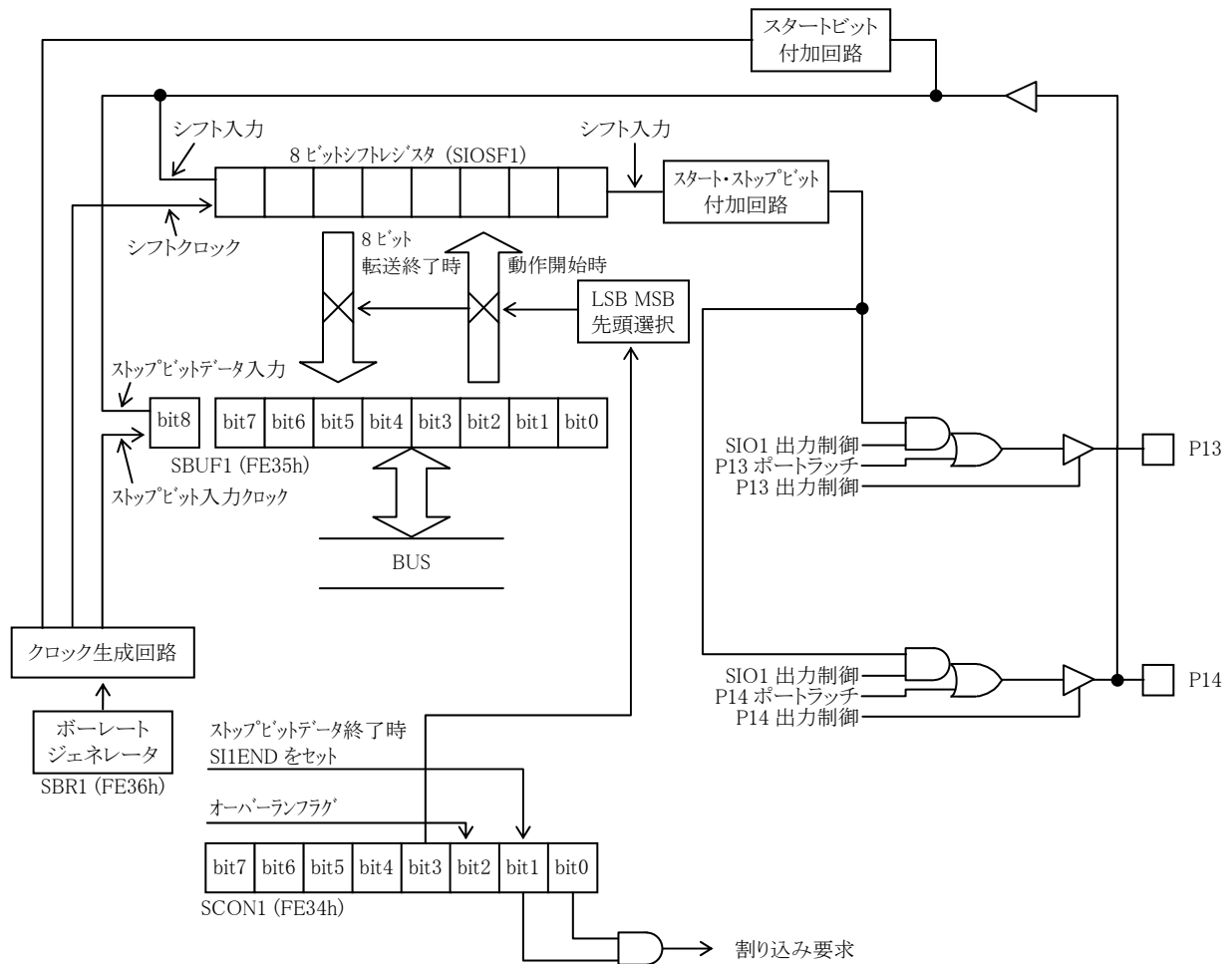


図 3-9-2 SIO1モード1:非同期シリアル[UART]
(SI1M1=0, SI1M0=1)ブロック図

SIO1

3-9-4 SIO1通信の具体例

3-9-4-1 同期式(モード0)

①クロックの設定

- ・内部クロック使用の場合、SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートとSI1REC(ビット4)の設定をする。

	クロック用ポート P15
内部クロック	出力
外部クロック	入力

	データ出力ポート P13	データ入出力ポート P14	SI1REC
データ送信のみ	出力	—	0
データ受信のみ	—	入力	1
データ送受信(3線式)	出力	入力	0
データ送受信(2線式)	—	Nchオープンドレイン出力	0

④出力データの設定

- ・データ送信(SI1REC=0)の場合、SBUF1に出力データを書き込む。

⑤動作スタート

- ・SI1RUNをセットする。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

3-9-4-2 非同期式(モード1)

①ボーレイトの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=1, SI1M1=0, SI1DIR, SI1IE=1の設定をする。

③ポートの設定をする。

	データ出力ポート P13	データ入出力ポート P14
データ送受信(2線式)	出力	入力
データ送受信(1線式)	—	Nchオープンドレイン出力

④送信動作スタート

- ・SI1RECを0にして、SBUF1に出力データを書き込む。
- ・SI1RUNをセットする。

注意：モード1の送信のみを行う場合は、SIO1のデータ入出力ポート(P14)を使用してください。

モード1では、受信データの立ち下がりを検出すると自動的に送信がスタートします。モード1設定中は、データ入出力ポート(P14)で、常にデータの立ち下がり検出が行われます。したがって、送信ポートをデータ出力ポート(P13)に設定した場合、P14の状態変化によってデータ送信が勝手にスタートする可能性があります。

⑤受信動作スタート

- ・SI1RECを1にする。(SI1RECを1にセットした後は、SI1ENDのフラグがセットされるまでは、SCON1レジスタに書き込みは行わないでください。)
- ・受信データの立ち下がり検出。

⑥データの読み込み(割り込み後)

- ・SBUF1を読み込む。(SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。)
- ・SI1ENDをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

注意：モード1(UART)で連続受信を行う場合、以下の条件を満たしてください。

- ・ストップビットは2ビット以上。
- ・割り込み処理によるSI1ENDのクリアは、次のスタートビットが来る前に終了。

3-9-4-3 BUSマスタモード(モード2)

①クロックの設定

- ・SBR1の設定をする。

②モードの設定

- ・SI1M0=0, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

③ポートの設定をする

- ・クロックポート(P15), データポート(P14)をオプション指定によりNchオープンドレインポートにする。
- ・P14(P1のビット4)およびP15(P1のビット5)に0を設定する。
- ・P14FCR(P1FCRのビット4)およびP15FCR(P1FCRのビット5)に1を設定する。
- ・P14DDR(P1DDRのビット4)およびP15DDR(P1DDRのビット5)に1を設定する。

④通信スタート(アドレス送信)

- ・SBUF1にアドレスデータを書き込む。
- ・SI1RUNをセットする。(スタートビット+SBUF1(8ビット)+ストップビット(H)の転送を行う。)

⑤ アドレスデータの確認（割り込み後）

- ・SBUF1を読み込む。（SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。）
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合（表3-9-1 注1参照）、SI1RUNがクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。

⑥ データの送信

- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。（SBUF1（8ビット）+ストップビット（H）の転送を行う。）

⑦ 送信データの確認（割り込み後）

- ・SBUF1を読み込む。（SBUF1には送信時でも、データ入出力ポートのシリアルデータが読み込まれています。また、SBUF1を読み込むとストップビットの位置のデータがPSWのビット1に読み込まれます。）
- ・アクノレッジをPSWのビット1をみて確認する。
- ・バス競合負けの条件が起こった場合（表3-9-1 注1参照）、SI1RUNがクリアされるため割り込みが発生しません。他にマスタモードのデバイスが存在する等、バス競合負けの条件が発生する可能性がある場合、タイマモジュールを併用したタイムアウト処理などを行い、この条件を検出してください。
- ・引き続きデータを送る場合は⑥に戻る。
- ・通信を終了する場合は⑩に行く。

⑧ データの受信

- ・SI1RECを1にする。
- ・SI1ENDをクリアし、割り込みを抜ける。（受信（8ビット）+SBUF1 ビット8（アクノレッジ）出力を行う。）

⑨ 受信データの読み込み（割り込み後）

- ・SBUF1を読み込む。
- ・引き続きデータを受信する場合は⑧に戻る。
- ・通信を終了する場合は⑩の*に行く。この時、アクノレッジデータとして（SBUF1 ビット8）が既に出力され、マスタ側のクロックの解放は行われています。

⑩ 通信の終了

- ・クロック出力ポートを操作し（P15FCR=0, P15DDR=1, P15=0）、クロック出力に0を出す。
- ・データ出力ポートを操作し（P14FCR=0, P14DDR=1, P14=0）、データ出力に0を出す。
- ・クロック出力ポートをもとに戻し（P15FCR=1, P15DDR=1, P15=0）、クロック出力を解放する。
- * 全てのスレーブがクロックを解放し、クロックが1になるのを待つ。
- ・データセットアップ時間を取り、データ出力ポートを操作し（P14FCR=0, P14DDR=1, P14=1）、データ出力に1を出す。この時、SIO1オーバーランフラグSI1OVR（SCON1:FE34のビット2）がセットされますが、動作に支障はありません。

- ・データ出力ポートをもとに戻す(P14FCR=1に設定した後、P14DDR=1, P14=0とする。)
- ・SI1ENDとSI1OVRをクリアし、割り込みを抜ける。
- ・再動作の場合④に戻る。

3-9-4-4 BUSスレーブ(モード3)

①クロックの設定

- ・SBR1の設定をする。(アクノレッジデータセットアップ時間の設定のため)

②モードの設定

- ・SI1M0=1, SI1M1=1, SI1DIR, SI1IE=1, SI1REC=0の設定をする。

③ポートの設定をする

- ・クロックポート(P15), データポート(P14)をオプション指定によりNchオープンドレインポートにする。
- ・P14(P1のビット4)およびP15(P1のビット5)に0を設定する。
- ・P14FCR(P1FCRのビット4)およびP15FCR(P1FCRのビット5)に1を設定する。
- ・P14DDR(P1DDRのビット4)およびP15DDR(P1DDRのビット5)に1を設定する。

④通信スタート(アドレス待ち)

- *1・SI1RECをセットする。
- *2・スタートビットの検出でSI1RUNが自動的にセットされる。
 - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。

⑤アドレスデータの確認(割り込み後)

- ・スタートコンディションを検出すると、SI1OVRがセットされるので、SI1RUN=1 & SI1OVR=1を確認することで、アドレスを受信したことを判別する。
(SI1OVRは自動的にクリアされないなので、ソフトでクリアしてください)
- ・SBUF1を読み込み、アドレスを確認する。
- ・アドレスが一致しない場合、SI1RUNとSI1ENDをクリアし割り込みを抜け、⑧の*でストップコンディション検出を待つ。

⑥データの受信

- *・SI1ENDをクリアし、割り込みを抜ける。(前に受信を行っていた場合アクノレッジを出し、(SBR1の設定値+1/3)×Tcyc時間後クロックポートを解放します。)
 - ・ストップコンディションを検出すると、SI1RUNが自動的にクリアされ、割り込みがかかるので、SI1ENDをクリアし割り込みを抜け、④の*2に戻る。
 - ・受信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。ただし、途中でスタートコンディションを検出するとクロックカウンタはクリアされますので、割り込みの発生には更に8個のクロックが必要です。
 - ・SBUF1を読み込み、データを格納する。
- 注意：SBUF1のビット8は、第9クロック↑が来てないのでまだ更新されていません。
- ・受信を続ける場合⑥の*に戻る。

SIO1

⑦データの送信

- ・SI1RECをクリアする。
- ・SBUF1に出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。(前の受信のアクノレッジを出し、(SBR1の設定値 + 1 / 3) × T_{cyc}時間後クロックポートを解放します。)
- *1・送信(8ビット)を行い、第8クロックの立ち下がりでクロック出力に0を出力し割り込みがかかる。
- *2・SI1RUNが1の時、⑦の*3に行きます。
- ・SI1RUNが0の時、⑦の*4からの割り込みなので、SI1ENDとSI1OVRをクリアして④の*1に戻る。
- *3・必要に応じて、SBUF1を読み込み、送信データを確認する。
- 注意：SBUF1のビット8は、第9クロック↑が来てないのでまだ更新されていません。
- ・SBUF1に次の出力データを書き込む。
- ・SI1ENDをクリアし、割り込みを抜ける。((SBR1の設定値 + 1 / 3) × T_{cyc}時間後のクロックポートを解放します。)
- ・マスタからのアクノレッジがある(L)場合は、⑦の*1に戻ります。
- ・マスタからのアクノレッジがない(H)場合は、データ送信の終了とみなし、SI1RUNを自動的にクリアし、データポートを解放します。
- ※ただし、この直後に再スタートコンディションが来る場合、SI1REC=1にしてから割り込みを抜ける必要があります(SI1RECは、スタートコンディションの検出で、自動的にセットされません)。
- スレーブ送信動作直後に想定外の再スタートが来た場合(SI1RECをソフトで1にしていなかった場合)、マスタのアドレス送信を妨害する可能性があります。
- *4・ストップコンディションを検出すると、割り込みがかかり、⑦の*2に戻ります。

⑧通信の終了

- ・SI1RECをセットします。
- ・自動的に終了させる場合は⑥の*に戻ります。
- ・強制的に終了する場合は、SI1RUNとSI1ENDをクリアする。(クロックポートを解放します。)
- *・ストップコンディションを検出すると、割り込みがかかるので、SI1ENDとSI1OVRをクリアして④の*2に戻る。

3-9-5 関連レジスタ

3-9-5-1 SIO1制御レジスタ(SCON1)

①SIO1の動作、割り込みの制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE34	0000 0000	R/W	SCON1	-	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE

SI1M1(ビット7): SIO1 モード制御

SI1M0(ビット6): SIO1 モード制御

表 3-9-2 SIO1 動作モード

モード	SI1M1	SI1M0	動作モード
0	0	0	同期式8ビットSIO
1	0	1	UART(ストップビット1, PARITYなし)
2	1	0	BUSマスタ対応モード
3	1	1	BUSスレーブ対応モード

SI1RUN(ビット5):SIO1動作フラグ

- ① このビットが1の時、SIO1は動作中です。
- ② このビットのセット・クリアについては、表3-9-1を参照してください。

SI1REC(ビット4):SIO1受信／送信制御

- ① このビットが1の時、SIO1は受信モードとなります。
- ② このビットが0の時、SIO1は送信モードとなります。

SI1DIR(ビット3):MSB／LSB先頭選択

- ① このビットが1の時、SIO1はMSB先頭となります。
- ② このビットが0の時、SIO1はLSB先頭となります。

SI1OVR(ビット2):SIO1オーバランフラグ

- ① モード0, 1, 3の時、SI1RUN=0の状態、入力クロックの立ち下がりを検出すると、このビットがセットされます。
- ② SI1END=1の状態、SI1ENDをセットする条件が成立すると、このビットがセットされます。
- ③ モード3の時、スタートコンディションの検出で、このビットがセットされます。
- ④ このビットのクリアは命令で行ってください。

SI1END(ビット1):シリアル転送終了フラグ

- ① シリアル転送が終了(表3-9-1参照)すると、このビットがセットされます。
- ② このビットのクリアは命令で行ってください。

SI1IE(ビット0):SIO1割り込み要求発生許可制御

このビットとSI1ENDがともに1の時、ベクタアドレス003BHへの割り込み要求が発生します。

3-9-5-2 シリアルバッファ1(SBUF1)

- ① SIO1のシリアル転送で扱うデータの格納を行う9ビットのレジスタです。
- ② 動作の開始時に、SBUF1の下位8ビットのデータが送受信のデータシフトレジスタに転送され、8ビットのデータ転送時に、送受信のシフトレジスタの内容がSBUF1の下位8ビットに入ります。
- ③ モード1, 2, 3では、9番目のデータ(ストップビットの位置のデータ)入力時に、このデータがSBUF1のビット8に入ります。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE35	00000 0000	R/W	SBUF1	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10

3-9-5-3 ボーレートジェネレータレジスタ(SBR1)

- ① SIO1のシリアル転送の転送レートを設定する8ビットのレジスタです。(モード0, 1, 2)
- ② このレジスタにデータを書き込むと、直ちにボーレートジェネレータ用のカウンタが初期化されます。
- ③ 転送レートはモードにより異なります。

モード0, 2 : $TSBR1 = (SBR1の設定値 + 1) \times 2T_{cyc}$
(設定範囲 2~512 T_{cyc})

モード1 : $TSBR1 = (SBR1の設定値 + 1) \times 8T_{cyc}$
(設定範囲 8~2048 T_{cyc})

SIO1

④モード3ではアクノレッジデータセットアップ時間を設定します(3-9-4-4⑥、⑦参照)

モード3設定時、SI1ENDをクリアしてからクロックポートが開放されるまでの時間は

$(\text{SBR1の設定値} + 1 / 3) \times T_{\text{cyc}}$ (SBR1=0は設定禁止)

となります。

この値は、通信相手のデバイスのデータセットアップ時間規定を満足するように設定してください。

アドレス	初期値	R/W	名前	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE36	0000 0000	R/W	SBR1	-	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10

3-10 ADコンバータ(ADC12)

3-10-1 概要

本シリーズは、下記の特長を持った12ビット分解能のADコンバータを内蔵しています。このADコンバータを使うことによって、容易にアナログ信号をマイクロコンピュータに取り込むことができます。

- ①12ビット分解能
- ②逐次比較方式
- ③AD変換モード切り替え機能(分解能切り替え)
- ④8チャネルアナログ入力
- ⑤変換時間切り替え機能

3-10-2 機能

①逐次比較方式

- ・12ビットの分解能を持っています。
- ・変換には、変換開始から所定の変換時間が必要です。
- ・変換結果は、AD変換結果レジスタ(ADRLC, ADRHC)に転送されます。

②AD変換モード切り替え機能(分解能切り替え)

使用条件に合わせ分解能を切り替えられるよう、12ビットAD変換モードと8ビットAD変換モードがあります。AD変換切り替えは、ADモードレジスタ(ADMRC)で行います。

③8チャネルアナログ入力

変換される信号は、P00～P06及びP70から入力される8種類のアナログ信号からAD制御レジスタ(ADCRC)で選択されます。

④変換時間切り替え機能

AD変換時間を1/1～1/128(分周比)に切り替えることができます。適切なAD変換ができるようにADモードレジスタ(ADMRC)とAD変換結果下位レジスタ(ADRLC)によって切り替えます。

⑤ADコンバータを制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・ADCRC, ADMRC, ADRLC, ADRHC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	AD CHSEL3	AD CHSEL2	AD CHSEL1	AD CHSEL0	ADCR3	AD START	AD ENDF	ADIE
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

ADC12

3-10-3 回路構成

3-10-3-1 AD変換制御回路

①AD変換制御回路には12ビットAD変換モードと8ビットAD変換モードがあります。

3-10-3-2 比較回路

①入力されるアナログ信号と基準電圧を比較するコンパレータと、基準電圧発生回路と変換結果を制御する回路で構成されています。アナログ入力チャンネルを選択し、変換時間の制御レジスタで設定された時間で変換が終了すると、AD制御レジスタ(ADCRC)の変換終了フラグ(ADENDF)がセットされます。変換結果は、AD変換結果レジスタ(ADRHC, ADRLC)に格納されます。

3-10-3-3 マルチプレクサ1(MPX1)

①8チャンネルからAD変換するアナログ信号を選択します。

3-10-4 関連レジスタ

3-10-4-1 AD制御レジスタ(ADCRC)

①ADコンバータ動作の制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE58	0000 0000	R/W	ADCRC	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	ADIE

ADCHSEL3(ビット7):
ADCHSEL2(ビット6):
ADCHSEL1(ビット5):
ADCHSEL0(ビット4):

} AD変換入力信号選択

AD変換する信号を選択します。

ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	信号入力端子
0	0	0	0	P00/AN0
0	0	0	1	P01/AN1
0	0	1	0	P02/AN2
0	0	1	1	P03/AN3
0	1	0	0	P04/AN4
0	1	0	1	P05/AN5
0	1	1	0	P06/AN6
1	0	0	0	P70/AN8

ADCR3(ビット3):固定ビット

“0”固定で使 用 します。

ADSTART(ビット2):AD変換動作制御

AD変換を開始(1)/停止(0)します。“1”の設定時、AD変換が開始され、AD変換が終了すると自動的にリセットされます。変換には変換時間の制御レジスタで設定された時間が必要です。変換時間の設定はAD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)とADモードレジスタ(ADMRC)のADTM1, ADTM0の3ビットで行います。

“0”の設定時、AD変換が停止します。AD変換動作中にクリアすると正しい変換結果が得られません。

AD変換動作中は、絶対にクリアしないでください。

ADENDF(ビット1):AD変換終了フラグ

AD変換の終了を知らせます。AD変換が終了するとセット(1)されます。

ADIEが“1”の場合、ベクタアドレス0043Hへの割り込み要求が発生し、“0”の場合、AD変換が動作していないことを示しています。

このフラグは、命令でクリアしてください。

ADIE(ビット0):AD変換割り込み要求発生許可制御

このビットとADENDFがともに1の時、ベクタアドレス0043Hへの割り込み要求が発生します。

注意:

- ADCHSEL3~0の“0111”, “1001”~“1111”設定を禁止します。
- ADSTARTが“1”の動作状態でホールドモード状態にしないでください。必ず、“0”になったことを確認してからホールドモード状態にしてください。
- P70のアナログ入力チャネルAN8は、ディジタル入力用のバッファが常に開いているため、アナログ電圧が入ると貫通電流が流れます。
貫通電流が問題になる場合、AD変換以外は外部回路でVDDまたはVSSレベルに固定するか、ディジタル入力用のバッファが閉じているアナログ入力チャネルAN0~AN6をご使用ください。

ADC12

3-10-4-2 ADモードレジスタ (ADMRC)

①ADコンバータ動作のモード制御を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE59	0000 0000	R/W	ADMRC	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0

ADMD4 (ビット7): 固定ビット

“0”固定で使用します。

ADMD3 (ビット6): AD変換モード制御 (分解能切り替え)

ADコンバータの分解能を12ビットAD変換モード(0)/8ビットAD変換モード(1)に切り替えます。

“1”の設定時、8ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH C)のみセットされ、AD変換結果下位レジスタ(ADRLC)は変化しません。

“0”の設定時、12ビットADコンバータとして動作します。変換結果はAD変換結果上位レジスタ(ADRH C)とAD変換結果下位レジスタ(ADRLC)の上位4ビットにセットされます。

ADMD2 (ビット5): 固定ビット

“0”固定で使用します。

ADMD1 (ビット4): 固定ビット

“0”固定で使用します。

ADMD0 (ビット3): 固定ビット

“0”固定で使用します。

ADMR2 (ビット2): 固定ビット

“0”固定で使用します。

ADTM1 (ビット1): } AD変換時間制御
ADTM0 (ビット0): }

AD変換結果下位レジスタ(ADRLC)のADTM2 (ビット0)の1ビットと合わせて3ビットで変換時間を制御します。

ADRLC レジスタ	ADMRCレジスタ		AD分周比
	ADTM2	ADTM1	
0	0	0	1／1
0	0	1	1／2
0	1	0	1／4
0	1	1	1／8
1	0	0	1／16
1	0	1	1／32
1	1	0	1／64
1	1	1	1／128

変換時間算出方法

- ・12ビットAD変換モード：変換時間 $=((52/(AD分周比))+2) \times (1/3) \times T_{cyc}$
- ・8ビットAD変換モード：変換時間 $=((32/(AD分周比))+2) \times (1/3) \times T_{cyc}$

注意：

- ・変換時間は下記の時、通常時の2倍となります。
 - ①システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ②AD変換モードを8ビットAD変換モードから12ビット変換ADモードに切り替え、最初のAD変換を行った時。
- ・2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。

3-10-4-3 AD変換結果下位レジスタ(ADRLC)

- ①12ビットAD変換モード時、AD変換結果の下位4ビットを格納するレジスタと変換時間を制御するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5A	0000 0000	R/W	ADRLC	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2

DATAL3(ビット7):
 DATAL2(ビット6):
 DATAL1(ビット5):
 DATAL0(ビット4):

} AD変換結果の下位4ビットデータ

ADRL3(ビット3):固定ビット
“0”固定で使 用 します。

ADRL2(ビット2):固定ビット
“0”固定で使 用 します。

ADRL1(ビット1):固定ビット
“0”固定で使 用 します。

ADTM2(ビット0):AD変換時間制御

ADモードレジスタ(ADMRC)のADTM1(ビット1), ADTM0(ビット0)の2ビットと合わせて3ビットで変換時間を制御します。時間設定はADモードレジスタ説明を参照してください。

注意：

- ・変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。

3-10-4-4 AD変換結果上位レジスタ(ADRHC)

- ①12ビットAD変換モード時、AD変換結果の上位8ビットを格納するレジスタです。
8ビットAD変換モード時、AD変換結果の全8ビットを格納するレジスタです。
- ②AD変換途中のデータは確定データではありませんので、変換結果はAD変換終了後に読み出してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5B	0000 0000	R/W	ADRHC	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0

3-10-5 ADC動作の具体例

3-10-5-1 12ビットAD変換モード

① 12ビットAD変換モードの設定

- ・ADモードレジスタ(ADMRC)のADMD3(ビット6)=0にします。

② 変換時間の設定

- ・変換時間を1/32分周に設定する場合、AD変換結果下位レジスタ(ADRLC)のADTM2(ビット0)=1にし、ADモードレジスタ(ADMRC)のADTM1(ビット1)=0、ADTM0(ビット0)=1にします。

③ 入力チャネルの設定

- ・ADチャネル入力のAN5を使用する場合、AD制御レジスタ(ADCRC)のADCHSEL3(ビット7)=0、ADCHSEL2(ビット6)=1、ADCHSEL1(ビット5)=0、ADCHSEL0(ビット4)=1にします。

④ AD変換スタート

- ・AD制御レジスタ(ADCRC)のADSTART(ビット2)=1にします。
- ・システムリセット後と8ビットAD変換モードから12ビットAD変換モードに切り替えた時、最初の変換時間は通常の2倍となります。2回目以降は通常の変換時間となります。

⑤ AD変換終了フラグの検知

- ・AD制御レジスタ(ADCRC)のADENDF(ビット1)=1になるまでモニタします。
- ・ADENDF(ビット1)=1になったことを確認後、終了フラグのADENDFを0にクリアします。

⑥ AD変換データの読み込み

- ・AD変換結果上位レジスタ(ADRHC)とAD変換結果下位レジスタ(ADRLC)を読み込みます。読み込んだ変換データには誤差(量子化誤差+総合誤差)が含まれていますので、最新の「半導体ニュース」の規格に従って有効となる変換データを使用します。
- ・上記読み出しデータをソフトウェアアプリケーション処理へ
- ・再動作の場合④に戻ります。

3-10-6 ADC使用上の留意点

- ① サイクルクロックの周期によって選択できる変換時間は変わります。適切な変換時間を実現するためにプログラムを作成する場合には、必ず最新の「半導体ニュース」を参照してください。
- ② 変換動作中にADSTART=0にすると、変換動作が停止します。
- ③ 変換動作中にホールドモード状態にしないでください。必ず、ADSTARTが“0”になったことを確認してからホールドモード状態にしてください。
- ④ 変換中にリセット状態に入ると、自動的にADSTARTがリセットされ変換動作を停止します。
- ⑤ 変換を終了するとAD変換終了フラグ(ADENDF)がセットされ、同時にAD変換動作制御ビット(ADSTART)がリセットされます。変換終了はADENDFをモニタすることによって確認できます。また、ADIEをセットすることによって、変換終了でベクタアドレス0043Hへの割り込み要求が発生します。
- ⑥ 変換時間は下記の時、通常時の2倍となります。
 - ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
 - ・AD変換モードを8ビットAD変換モードから12ビットAD変換モードに切り替え、最初のAD変換を行った時。
 2回目以降または、8ビットAD変換モードでは「変換時間算出方法」で示される変換時間で動作します。
- ⑦ 変換データには誤差(量子化誤差+総合誤差)が含まれていますので、必ず最新の「半導体ニュース」の規格に従って有効となる変換データのみをご使用ください。
- ⑧ P00/AN0～P06/AN6, P70/AN8への入力電圧は規格の範囲で使用してください。
特にVDD以上, VSS以下の電圧が入力されると、そのチャネルの変換値や他のチャネルの変換値にも影響を与えることがあります。
- ⑨ ノイズ等による変換精度の低下を極力防ぐ対策として下記を行ってください。
 - ・VDD1、VSS1端子の直近(出来る限り直近 5mm 以内が望ましい)には必ずバイパスコンデンサ(数 μF + 数千 pF)を外付けしてください。
 - ・アナログ入力端子にはノイズ除去に最適なローパスフィルタ(RC)やコンデンサをアナログ入力端子の直近に外付けしてください。また、コンデンサのGNDはカップリングの影響を防ぐため、ノイズが重畳してないGNDをご使用ください。(目安としては $R \sim 5\text{k}\Omega$ 以下 / $C = 1000\text{pF} \sim 0.1\mu\text{F}$)
 - ・アナログ信号線はデジタルパルス信号線や大電流変化のある信号線と隣接・交差・平行配線をしないでください。または、アナログ信号線の両端をノイズが重畳してないGNDでシールドしてください。
 - ・変換動作中のアナログ入力端子に隣接する端子へデジタルパルスを印加したり、隣接する端子から出力しないでください。

ADC12

- ・ポート出力が変化している場合には、ノイズの影響によって正しい変換結果が得られないことがあります。ノイズの影響を少なくするために、電源とマイコンの各VDD端子との間に生ずる配線抵抗を下げる必要があります。応用回路を作成するときには、この点に注意して作成してください。
- ・発振端子の振幅電圧と各端子入出力電圧はVDD～VSS以内になるよう調整してください。

⑩有効とする変換データは多数回行った変換値の最大値と最小値を切り捨て、残りのデータを平均化する等の処理を行ってください。

4 制御機能

4-1 割り込み機能

4-1-1 概要

本シリーズは、低レベル(L)、高レベル(H)、最高レベル(X)の3レベルの多重割り込み制御機能を持っています。

マスタ割り込み許可レジスタ(IE)、割り込み優先制御レジスタ(IP)で、割り込みの許可や割り込み優先順位の指定を行います。

4-1-2 機能

①割り込み動作

- ・周辺モジュールは、それぞれの割り込み要求フラグと割り込み要求許可フラグとともに“1”になると、所定のベクタアドレスに対する割り込み要求を発生します。
- ・周辺モジュールからの割り込み要求を受けると、割り込みレベル、優先順位、割り込み許可状態を判断します。その結果、割り込みを受け付ける場合には、PCの値をスタックに待避し、あらかじめ決められているベクタアドレスに分岐します。
- ・割り込みルーチンからの復帰は、RETI命令により行われ、PCと割り込みレベルが以前の状態に戻ります。

②多重割り込み制御

- ・低レベル(L)、高レベル(H)、最高レベル(X)の3つの割り込みレベルがあり、割り込み処理中に同一レベルまたは下位のレベルの割り込み要求が入っても受け付けられません。

③割り込みの優先

- ・2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先されます。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先されます。

④割り込み要求許可受け付け制御

- ・マスタ割り込み許可レジスタ(IE)で、HレベルとLレベルの割り込み要求受け付けの許可／禁止の制御ができます。
- ・Xレベルの割り込み要求受け付けの禁止はできません。

⑤割り込み受け付け禁止期間

- ・IE(FE08)、IP(FE09)レジスタ書き込み、ホールド解除後の2Tcycの期間、割り込みは受け付けられません。
- ・PCON(FE07)レジスタ書き込み命令と次の命令の実行の間には割り込みはかかりません。
- ・RETI命令と次の命令の実行の間には割り込みはかかりません。

割り込み

⑥ 割り込みレベル制御

- ・ベクタアドレス単位で割り込みレベルの選択ができます。

割り込み一覧

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2／T0L／INT4
4	0001BH	HまたはL	INT3／ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L／T1H
7	00033H	HまたはL	なし
8	0003BH	HまたはL	SIO1
9	00043H	HまたはL	ADC／T6／T7
10	0004BH	HまたはL	ポート0

- ・優先レベル X＞H＞L
- ・同一レベルではベクタアドレスの小さいものが優先

⑦ 割り込みの許可や割り込み優先順位の指定を行うには、次に示す特殊機能レジスタを操作する必要があります。

- ・IE, IP

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

4-1-3 回路構成

4-1-3-1 マスタ割り込み許可制御レジスタ(IE) (6ビットレジスタ)

- ① Hレベル, Lレベルの割り込みの許可／禁止を行う。
- ② 割り込みレベルフラグの状態を読める。
- ③ ベクタアドレス00003H, 0000BHの割り込みのレベル切り替え(L／X)を行う。

4-1-3-2 割り込み優先制御レジスタ(IP) (8ビットレジスタ)

- ① ベクタアドレス00013H～0004BHの割り込みのレベル切り替え(H／L)を行う。

4-1-4 関連レジスタ

4-1-4-1 マスタ割り込み許可制御レジスタ(IE)

①割り込みの制御を行う6ビットのレジスタで、ビット6～4はR/Oです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE08	0000 HH00	R/W	IE	IE7	XFLG	HFLG	LFLG	-	-	XCNT1	XCNT0

IE7(ビット7):Hレベル,Lレベルの割り込みの許可/禁止制御

- ・このビットが1の時、Hレベル,Lレベルの割り込み要求の受付が許可されます。
- ・このビットが0の時、Hレベル,Lレベルの割り込み要求の受付が禁止されます。
- ・このビットの値にかかわらず、Xレベルの割り込み要求の受付は許可されています。

XFLG(ビット6):Xレベル割り込みフラグ(R/O)

- ・Xレベルの割り込みが受け付けられると、このビットがセットされ、Xレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

HFLG(ビット5):Hレベル割り込みフラグ(R/O)

- ・Hレベルの割り込みが受け付けられると、このビットがセットされ、Hレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

LFLG(ビット4):Lレベル割り込みフラグ(R/O)

- ・Lレベルの割り込みが受け付けられると、このビットがセットされ、Lレベルの割り込みから復帰すると、このビットがリセットされます。
- ・このビットは読み出し専用です。このビットの値を命令で直接、書き換えることはできません。

(ビット3,2):存在しません。読むと“1”が読めます。

XCNT1(ビット1):0000BH割り込みレベル制御フラグ

- ・このビットが1の時、ベクタアドレス0000BHへの割り込みはLレベルとなります。
- ・このビットが0の時、ベクタアドレス0000BHへの割り込みはXレベルとなります。

XCNT0(ビット0):00003H割り込みレベル制御フラグ

- ・このビットが1の時、ベクタアドレス00003Hへの割り込みはLレベルとなります。
- ・このビットが0の時、ベクタアドレス00003Hへの割り込みはXレベルとなります。

割り込み

4-1-4-2 割り込み優先制御レジスタ(IP)

① ベクタアドレス00013H～0004BHの割り込みのレベル切り替え(H/L)を行う8ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE09	0000 0000	R/W	IP	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13

	対象割り込み ベクタアドレス	IPのビット	値	割り込みレベル
7	0004BH	IP4B	0	Lレベル
			1	Hレベル
6	00043H	IP43	0	Lレベル
			1	Hレベル
5	0003BH	IP3B	0	Lレベル
			1	Hレベル
4	00033H	IP33	0	Lレベル
			1	Hレベル
3	0002BH	IP2B	0	Lレベル
			1	Hレベル
2	00023H	IP23	0	Lレベル
			1	Hレベル
1	0001BH	IP1B	0	Lレベル
			1	Hレベル
0	00013H	IP13	0	Lレベル
			1	Hレベル

4-2 システムクロック発生機能

4-2-1 概要

本シリーズは、システムクロック発生回路として、メインクロック発振回路、サブクロック発振回路、低速RC発振回路、中速RC発振回路、周波数可変RC発振の5系統の発振回路を内蔵しています。このうち、低速RC発振回路、中速RC発振回路、周波数可変RC発振は抵抗とコンデンサCを内蔵しており、外付け回路が不要です。これら5種類のクロックからプログラムでシステムクロックを選択します。

4-2-2 機能

① システムクロック選択

- ・メインクロック発振、サブクロック発振、低速RC発振、中速RC発振、周波数可変RC発振の5系統の発振クロックからプログラムでシステムクロックを選択します。

② システムクロック分周

- ・システムクロックに選択された発振クロックを分周して、システムクロックとして供給します。
- ・分周回路は2段階で構成されています。
1段目は、 $\frac{1}{1}$ または $\frac{1}{2}$ の選択ができます。
2段目は、 $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の選択ができます。

③ 発振回路の制御

- ・命令で、上記5系統の発振の停止／許可を独立に制御できます。但し、メインクロック発振回路とサブクロック発振回路は兼用端子（CF1／XT1, CF2／XT2）となっており、2系統を同時に使用することはできません。
- ・CF発振回路には消費電流低減タイプのCF発振ローアンプとCF発振ノーマルアンプが選択できます。

④ 入力端子兼用機能

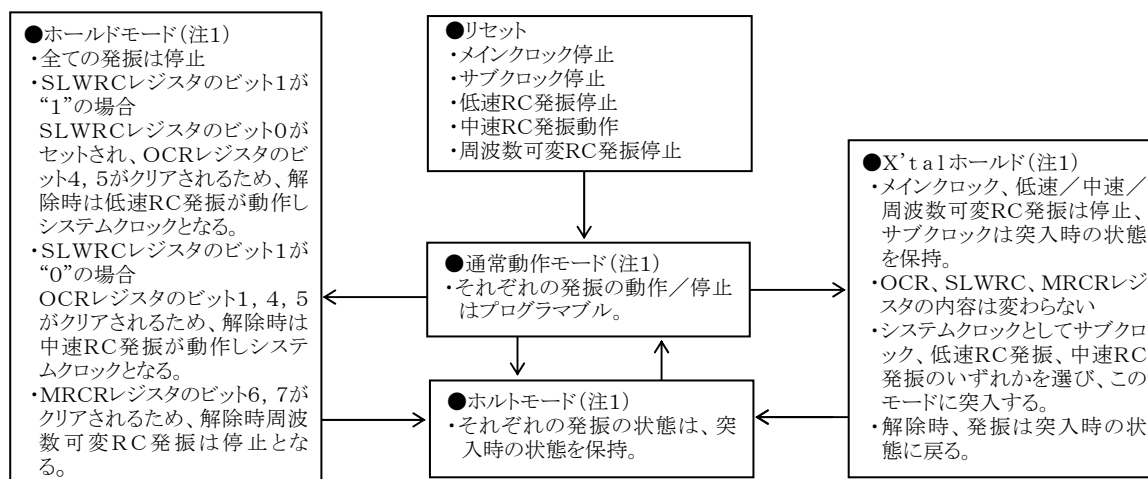
- ・CF発振端子／水晶発振端子（CF1／XT1, CF2／XT2）は、汎用入力ポートとして使用できます。

⑤ モード毎の発振回路の状態

モード／クロック	メインクロック	サブクロック	低速RC発振 (注1)	中速RC発振	周波数可変 RC発振	システムクロック
リセット状態	停止	停止	停止	動作	停止	中速RC発振
リセット解除	停止	停止	停止	動作	停止	中速RC発振
通常動作	プログラマブル	プログラマブル	プログラマブル	プログラマブル	プログラマブル	プログラマブル
ホルト	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態
ホールド	停止	停止	停止	停止	停止	停止
ホールド解除直後	突入時の状態	突入時の状態	動作（注2）	動作（注2）	停止	突入時SLWRCレジスタのビット1で設定されていた状態により低速RC発振または中速RC発振
X'talホールド	停止	突入時の状態	停止	停止	停止	停止
X'talホールド解除直後	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態	突入時の状態

各モードの突入方法／解除方法については「4-3 スタンバイ機能」を参照してください。

システムクロック



(注1) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-5 ウォッチドッグタイマ」を参照してください。

(注2) ホールドモード突入時の低速RC発振制御レジスタ(SLWRC)のビット1の値により、ホールドモード解除後、中速RC発振または低速RC発振が自動的に発振許可されシステムクロックとなります。

⑥システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

・PCON, OCR, CLKDIV, MRCR, XT2PC, SLWRC

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0
FE0D	00HH HHHH	R/W	MRCR	MRCSEL	MRCST	-	-	-	-	-	-
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE43	HHHH 0H00	R/W	XT2PC	-	-	-	-	XTCFSEL	-	XT2DR	XT2DT
FE7C	HHHH H000	R/W	SLWRC	-	-	-	-	-	CFLAMP	SLRCSEL	SLRCSTAT

4-2-3 回路構成

4-2-3-1 メインクロック発振回路

- ①CF1/XT1, CF2/XT2端子にセラミック発振子と容量を接続し、OCRレジスタとXT2PCレジスタを制御することにより発振が可能になります。
- ②CF1/XT1, CF2/XT2端子のデータをレジスタOCRのビット2, 3として読むことができます。
- ③CF2/XT2は汎用出力(Nchオープンドレイン)が可能です。
- ④上記①～③を使用しない場合、「1-7 未使用端子の推奨処理」を参照ください。

4-2-3-2 サブクロック発振回路

- ①CF1/XT1, CF2/XT2端子に水晶発振子(標準32.768kHz)と容量,ダンピング抵抗を接続し、OCRレジスタとXT2PCレジスタを制御することにより発振が可能になります。
- ②CF2/XT2端子のデータをレジスタOCRのビット3として読むことができます。CF1/XT1端子のデータはレジスタOCRのビット2には読み込まれません。

4-2-3-3 内蔵低速RC発振回路

- ①内蔵の抵抗と容量により(標準100kHz)発振します。
- ②低速内蔵RC発振は低消費、低速動作に使用するシステムクロックです。

4-2-3-4 内蔵中速RC発振回路(従来型RC発振回路)

- ①内蔵の抵抗と容量により(標準1MHz)発振します。
- ②リセット解除後は中速RC発振のクロックがシステムクロックとなり、ホールド解除後はホールド突入時に設定されていた中速RC発振または低速RC発振のクロックがシステムクロックとなります。

4-2-3-5 周波数可変RC発振回路(周波数可変機能なし)

- ①内蔵の抵抗と容量により発振します。
- ②周波数設定は従来タイプ(LC872G00/LC872R00シリーズ)と異なり、周波数可変機能は存在せず、クロック出力は源発振周波数16MHzの1/2分周(8MHz)固定です。
- ③外部CF発振よりやや精度を必要としないメインクロックに適しています。

4-2-3-6 パワー制御レジスタ(PCON) (3ビットレジスタ)

- ①動作モード(通常/ホルト/ホールド/X'talホールド)を設定します。

4-2-3-7 発振制御レジスタ(OCR) (8ビットレジスタ)

- ①発振回路の動作停止/開始の制御を行います。
- ②システムクロックの選択を行います。
- ③システムクロックに使う発振クロックの分周比を $\frac{1}{1}$ または $\frac{1}{2}$ に設定します。
- ④CF1/XT1, CF2/XT2端子のデータをビット2, 3として読み込みます。

4-2-3-8 低速RC発振制御レジスタ(SLWRC) (3ビット)

- ①低速/中速RC発振回路の動作停止/開始の制御を行います。
- ②低速RC発振クロックと中速RC発振クロックの切り替えを行います。
- ③CF発振回路のアンプサイズ切り替えを行います。CF発振ローアンプは消費電流低減化として、低電圧、CF=4MHz、システム分周=1/4~1/16などの動作条件時に効果を発揮します。

4-2-3-9 CF1/XT1, CF2/XT2汎用ポート入力制御レジスタ(XT2PC) (3ビットレジスタ)

- ①メインクロック発振回路の機能制御を行います。
- ②CF2/XT2端子の汎用出力(Nchオープンドレイン)の制御を行います。

4-2-3-10 周波数可変RC発振制御レジスタ(MRCR) (2ビットレジスタ)

- ①周波数可変RC発振回路の動作停止/開始の制御を行います。
- ②メインクロックの外部CF発振と周波数可変RC発振の切り替えを行います。

4-2-3-11 システムクロック分周制御レジスタ(CCLKDIV) (3ビットレジスタ)

- ①システムクロック分周回路の制御を行います。
- 分周比は $\frac{1}{1}$, $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$, $\frac{1}{32}$, $\frac{1}{64}$, $\frac{1}{128}$ の設定が可能です。

システムクロック

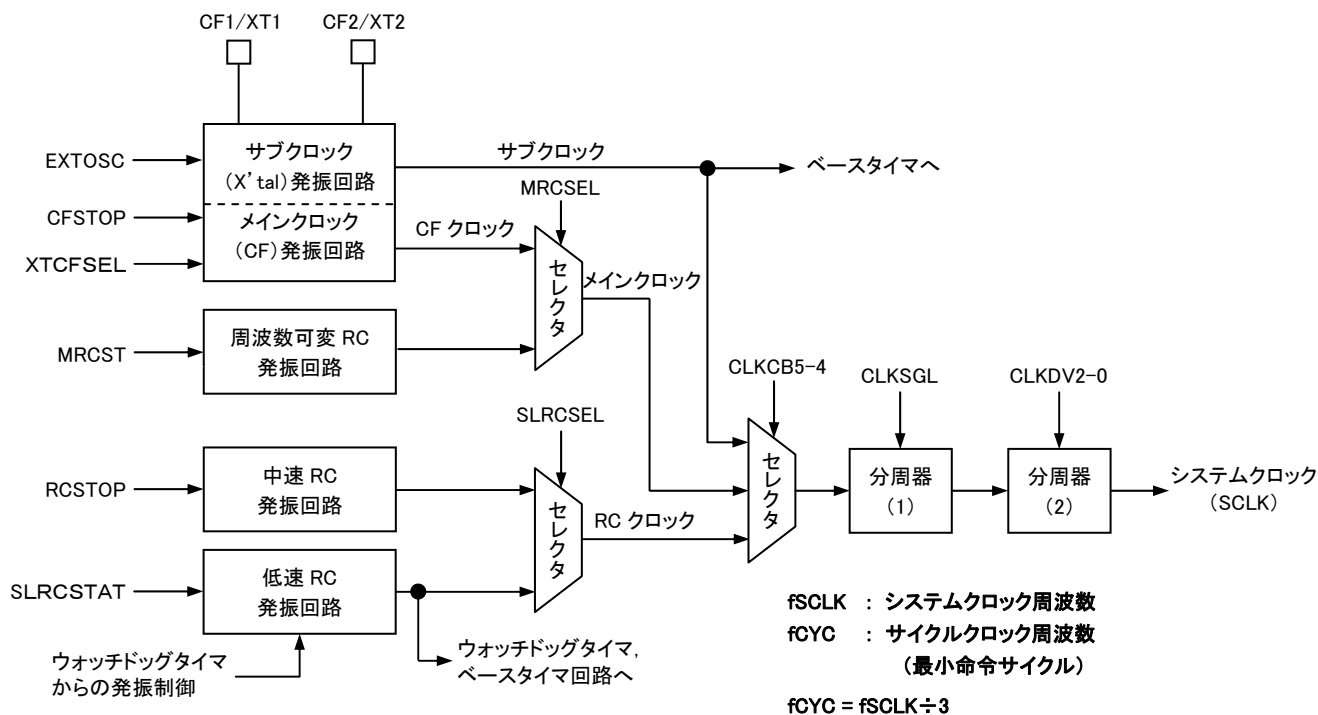


図 4-2-1 システムクロック発生回路ブロック図

4-2-4 関連レジスタ

4-2-4-1 パワー制御レジスタ (PCON) (3ビットレジスタ)

① 動作モード (通常 / ホルト / ホールド / X'tal ホールド) を設定する 3 ビットのレジスタです。

・各モードの突入方法 / 解除方法については「4-3 スタンバイ機能」を参照してください。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE

(ビット 7～3) : 存在しません。読むと“1”が読めます。

XTIDLE (ビット 2) : X'tal ホールドモード設定フラグ

PDN (ビット 1) : ホールドモード設定フラグ

XTIDLE	PDN	動作モード
—	0	通常動作またはホルトモード
0	1	ホールドモード
1	1	X'tal ホールドモード

① これらのビットのセットは命令で行います。

・ホールドモードに入ると全ての発振 (メインクロック, サブクロック, 低速 / 中速 RC, 周波数可変 RC) が停止し、関係するレジスタが下記の状態に変化します。

SLWRC レジスタのビット 1 が“1”になっている場合、SLWRC レジスタのビット 0 がセットされ、OCR レジスタのビット 4, 5 がクリアされます。

SLWRC レジスタのビット 1 が“0”になっている場合、OCR レジスタのビット 1, 4, 5 がクリアされます。

- ・ホールドモード復帰時、SLWRC、OCRレジスタの状態により低速RC発振または中速RC発振が動作を開始しシステムクロックとなります。また、メインクロックとサブクロックもホールド突入前の状態になります。
 - ・X'talホールドモードに入るとX'tal以外の発振（メインクロック、低速／中速RC、周波数可変RC）が停止するが、OCRレジスタは変化しません。
 - ・通常X'talホールドモードは、低消費電流時計カウント用に使うので、突入前にシステムクロックをサブクロックに切り替え、低速／中速RC／周波数可変RC発振を停止したほうがより低消費電流となります。
- ②XTIDLEのクリアは命令で行います。
- ③PDNのクリアは、ホールド解除信号（INT0，INT1，INT2，INT4，POINT）の発生、またはリセット信号で行われます。
- ④PDNがセットされると自動的にビット0もセットされます。

IDLE（ビット0）：ホルトモード設定フラグ

- ①このビットをセットするとホルトモードに入ります。
- ②ビット1がセットされると自動的にこのビットもセットされます。
- ③インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

4-2-4-2 発振制御レジスタ（OCR）（8ビットレジスタ）

- ①発振回路の動作制御，システムクロックの選択，CF1／XT1，CF2／XT2端子のデータの読み込みを行う8ビットのレジスタです。読み出し専用のビット3，2以外は読み／書き可能です。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0E	0000 XX00	R/W	OCR	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP

CLKSGL（ビット7）：クロック分周選択

- ①このビットが“1”の時、ビット4，5で選択されたクロックを直接システムクロックとして使用します。
- ②このビットが“0”の時、ビット4，5で選択されたクロック周波数の $\frac{1}{2}$ のクロックをシステムクロックとして使用します。

EXTOSC（ビット6）：CF1／XT1，CF2／XT2機能制御

- ①このビットが“1”で、CFSTOP（ビット0）が“1”の時、CF1／XT1，CF2／XT2端子がサブクロック発振用の端子になり、水晶発振子（標準32.768kHz）と容量，ダンピング抵抗を接続することにより発振可能になります。また、この時OCRレジスタを読むと、ビット3ではCF2／XT2端子のデータが読め、ビット2ではCF1／XT1端子のデータが読み込まれず“0”が読めます。
- ②このビットが“0”で、XT2PC（ビット3）が“1”の時、CF1／XT1，CF2／XT2端子がメインクロック発振用の端子になり、セラミック発振子と容量，帰還抵抗，ダンピング抵抗を接続することにより発振可能になります。メインクロック発振の動作と停止はCFSTOP（ビット0）で制御します。また、XT2PC（ビット3）が“0”の時、OCRレジスタを読むと、ビット3ではCF2／XT2端子のデータが読め、ビット2ではCF1／XT1端子のデータが読めます。

システムクロック

CLKCB5 (ビット5): システムクロック選 択

CLKCB4 (ビット4): システムクロック選 択

- ① CLKCB5, CLKCB4で、システムクロックの選 択 を行います。
- ② リセット時、ホールドモード突入時、CLKCB5, CLKCB4はクリアされます。

CLKCB5	CLKCB4	システムクロック
0	0	内蔵低速／中速RC発振
0	1	メインクロック
1	0	サブクロック
1	1	メインクロック

XT2IN (ビット3): CF2／XT2端 子 データ (読 み 出 し 専 用)

XT1IN (ビット2): CF1／XT1端 子 データ (読 み 出 し 専 用)

- ① EXTOSC (ビット6) の値によりXT1INで読めるデータが下表のように変わります。

RCSTOP (ビット1): 内 蔵 中 速 RC 発 振 回 路 制 御

- ① このビットが“1”の時、内 蔵 中 速 RC 発 振 回 路 は 停 止 します。
- ② このビットが“0”の時、内 蔵 中 速 RC 発 振 回 路 は 動 作 します。
- ③ リセット時、このビットはクリアされ発振可能になります。
- ④ ホールドモード突入時、このビットはSLWRCレジスタのビット1の状態により下記となります。

SLWRCレジスタのビット1が“1”の場合、このビットは変化しません。

SLWRCレジスタのビット1が“0”の場合、このビットはクリアされホールドモード復帰後発振を開始しシステムクロックとなります。

CFSTOP (ビット0): メインクロック発振回路制御

- ① このビットが“1”の時、メインクロック発振回路は停止します。
- ② このビットが“0”の時、メインクロック発振回路は動作します。
- ③ リセット時、このビットとXT2PCレジスタのビット3はクリアされCF1／XT1, CF2／XT2端 子 は 入 力 端 子 となります。

OCRレジスタ		XT2PCレジスタ	CF1／XT1, CF2／XT2の状態	OCRレジスタ (FE0EH)	
EXTOSC	CFSTOP	XTCFSEL		XT2IN	XT1IN
X	0	1	メインクロック発振動作	CF2／XT2 端 子 データ	CF1／XT1 端 子 データ
0	1	1	メインクロック発振停止	不定	不定
1	1	X	サブクロック発振動作	CF2／XT2 端 子 データ	0が読まれる
X	0	0	汎用入力	CF2／XT2 端 子 データ	CF1／XT1 端 子 データ
0	1	0	汎用入出力	CF2／XT2 端 子 データ	CF1／XT1 端 子 データ

4-2-4-3 低速RC発振制御レジスタ (SLWRC) (3ビットレジスタ)

- ① 低速／中速RC発振回路の動作制御とCF発振回路のアンプサイズ切り替えを行う3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7C	HHHH H000	R/W	SLWRC	-	-	-	-	-	CFLAMP	SLRCSEL	SLRCSTAT

(ビット7～3): 存在しません。読むと“1”が読めます。

CFLAMP(ビット2): CF発振アンプサイズ切り替え制御

- ①このビットが“1”の時、CF発振回路はローアンプサイズが選択されます。
 - ②このビットが“0”の時、CF発振回路はノーマルアンプサイズが選択されます。
- * 切り替え時には手順が必要となるため4-2-5を参照ください。

SLRCSEL(ビット1): 内蔵低速／中速RC発振クロック切り替え制御

- ①このビットが“1”の時、内蔵低速RC発振のクロックが選択されます。
- ②このビットが“0”の時、内蔵中速RC発振のクロックが選択されます。

SLRCSTAT(ビット0): 内蔵低速RC発振回路制御

- ①このビットが“1”の時、内蔵低速RC発振回路は動作します。
- ②このビットが“0”の時、内蔵低速RC発振回路は停止します。
- ③リセット時、このビットはクリアされます。
- ④ホールドモード突入時、SLRCSELのビット1の状態により下記となります。
SLRCSELのビット1が“1”の場合、このビットはセットされホールドモード復帰後発振を開始しシステムクロックとなります。
SLRCSELのビット1が“0”の場合、このビットは変化しません。

4-2-4-4 CF1／XT1、CF2／XT2汎用ポート入力制御レジスタ(XT2PC) (3ビットレジスタ)

①CF1／XT1、CF2／XT2端子の汎用入力の制御を行う3ビットのレジスタです

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE43	HHHH 0H00	R/W	XT2PC	-	-	-	-	XTCFSEL	-	XT2DR	XT2DT

(ビット7～4、2): 存在しません。読むと“1”が読めます。

XTCFSEL(ビット3): CF1／XT1、CF2／XT2入力制御

- ①このビットとEXTOSC(OCR:FE0EHレジスタのビット6)、CFSTOP(OCR:FE0EHレジスタのビット0)の設定によりCF1／XT1、CF2／XT2端子はメインクロック／サブクロック／汎用入力ポートが切り替わります。(詳細は「4-2-4-2 発振制御レジスタ」を参照してください。)

XT2DR(ビット1): CF2／XT2入出力制御

XT2DT(ビット0): CF2／XT2出力データ

レジスタデータ		CF2／XT2の状態	
XT2DT	XT2DR	入力	出力
0	0	可能	オープン
1	0	可能	オープン
0	1	可能	Low
1	1	可能	オープン

注意: 汎用出力ポートとして機能させるためには、XTCFSEL(XT2PC:FE43H レジスタのビット3) = “0”、CFSTOP(OCR:FE0EH レジスタのビット0) = “1”、EXTOSC(OCR:FE0EH レジスタのビット6) = “0”に設定する必要があります。

4-2-4-5 周波数可変RC発振制御レジスタ(MRCR) (2ビットレジスタ)

①周波数可変RC発振回路の動作制御、メインクロックの選択を行う2ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0D	00HH HHHH	R/W	MRCR	MRCSEL	MRCST	-	-	-	-	-	-

MRCSEL(ビット7):周波数可変RC発振クロック選択

- ①このビットが“1”の時、周波数可変RC発振がメインクロックに選択されます。
上記OCRレジスタの設定でメインクロックがシステムクロック選択されている場合、周波数可変RC発振クロックがシステムクロックとなります。
- ②このビットが“0”の時、周波数可変RC発振はメインクロックに選択されません。CFがメインクロックとなります。
- ③このビットはホールドモード突入時クリアされます。

MRCST(ビット6):周波数可変RC発振開始制御

- ①このビットが“1”の時、周波数可変RC発振回路は動作を開始します。
- ②このビットが“0”の時、周波数可変RC発振回路は停止します。
- ③このビットはホールドモード突入時クリアされます。

(ビット5～0):存在しません。読むと“1”が読めます。

注意:周波数可変RC発振回路が“発振停止”状態から“発振許可”状態となった後、100μsec以上の発振安定時間を設けてからシステムクロックを切り替えてください。

4-2-4-6 システムクロック分周制御レジスタ(CLKDIV) (3ビットレジスタ)

①システムクロック分周制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE0C	HHHH H000	R/W	CLKDIV	-	-	-	-	-	CLKDV2	CLKDV1	CLKDV0

(ビット7～3):存在しません。読むと“1”が読めます。

CLKDV2(ビット2):
CLKDV1(ビット1):
CLKDV0(ビット0):

} システムクロックの分周比を設定します。

CLKDV2	CLKDV1	CLKDV0	分周比
0	0	0	$\frac{1}{1}$
0	0	1	$\frac{1}{2}$
0	1	0	$\frac{1}{4}$
0	1	1	$\frac{1}{8}$
1	0	0	$\frac{1}{16}$
1	0	1	$\frac{1}{32}$
1	1	0	$\frac{1}{64}$
1	1	1	$\frac{1}{128}$

4-2-5 CF発振アンプサイズ切り替えの具体例

①システムクロックの状態

- ・システムクロックはCF発振（メイン）以外の状態にします。

②CF発振のアンプサイズをローアンプに切り替え

- ・低速RC発振制御レジスタのCFLAMP（ビット2）= 1に設定します。

③CF発振安定時間待ち

- ・半導体ニュースに記載されているCF発振安定時間を待ちます。

④CF発振確認（低電圧時は特に使用することを推奨します）

- ・CF発振監視機能を用いて発振していることを確認します。

⑤システムクロック切り替え

- ・発振制御レジスタのCLKCB4（ビット4）= 1、CLKCB5（ビット5）= 0に設定し、システムクロックをCF発振（メイン）に切替えます。

注意：システムクロックがCF発振（メイン）の状態、CF発振のアンプサイズを切替えないで下さい。切り替えを行うと切り替え時に発振が不安定となり、システムの誤動作を引起します。

注意：CF発振のローアンプを使用する場合には、ノーマルアンプと動作電圧範囲が異なりますので、半導体ニュースを必ずご確認ください。

4-3 スタンバイ機能

4-3-1 概要

本シリーズは、停電時やプログラム待機中の消費電流を低減するために、ホルト、ホールド、X'talホールドと呼ばれる3つのスタンバイモードがあります。スタンバイ状態では、命令の実行は停止します。

4-3-2 機能

①ホルトモード

- ・命令の実行は停止しますが、周辺回路は動作を継続します(注1)。
- ・PCONレジスタのビット0をセットすることにより、ホルトモードに入ります。
- ・リセットまたは割り込み要求の受付により、PCONレジスタのビット0がクリアされ、通常動作モードに復帰します。

②ホールドモード

- ・全ての発振が停止します。命令の実行が停止し、周辺回路も動作を停止します(注1, 2)。
- ・PCONレジスタのビット2="0"で、ビット1をセットすることにより、ホールドモードに入ります。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされます。
- ・リセットまたはホールド解除信号(INT0, INT1, INT2, INT4, ポート0割り込み)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行します。

③X'talホールドモード

- ・サブクロック以外の発振が停止します。命令の実行が停止し、ベースタイマを除く周辺回路が動作を停止します(注1, 2)。
- ・PCONレジスタのビット2="1"で、ビット1をセットすることにより、X'talホールドモードに入る。この時、PCONレジスタのビット0(ホルトモード設定フラグ)も自動的にセットされます。
- ・リセットまたはホールド解除信号(ベースタイマ割り込み, INT0, INT1, INT2, INT4, ポート0割り込み)の発生により、PCONレジスタのビット1がクリアされ、ホルトモードに移行します。

(注1) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-5 ウォッチドッグタイマ」を参照してください。

(注2) ADコンバータの変換動作中にホールドモード、X'talホールドモードに設定しないでください。必ず、ADSTART(ADCRCレジスタのビット2)が"0"になったことを確認してから各モードに設定してください。

4-3-3 関連レジスタ

4-3-3-1 パワー制御レジスタ(PCON) (3ビットレジスタ)

① 動作モード(通常／ホルト／ホールド／X'talホールド)を設定する3ビットのレジスタです。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE07	HHHH H000	R/W	PCON	-	-	-	-	-	XTIDLE	PDN	IDLE

(ビット7～3): 存在しません。読むと“1”が読めます。

XTIDLE(ビット2): X'talホールドモード設定フラグ

PDN(ビット1): ホールドモード設定フラグ

XTIDLE	PDN	動作モード
—	0	通常動作またはホルトモード
0	1	ホールドモード
1	1	X'talホールドモード

① これらのビットのセットは命令で行います。

- ・ホールドモードに突入すると全ての発振(メインクロック／サブクロック／低速／中速／周波数可変RC)が停止し、関係するレジスタが下記のようになります。

SLWRCレジスタのビット1が“1”になっている場合、SLWRCレジスタのビット0がセットされ、OCRレジスタのビット4, 5がクリアされます。

SLWRCレジスタのビット1が“0”になっている場合、OCRレジスタのビット1, 4, 5がクリアされます。

- ・ホールドモード復帰時、SLWRC、OCRレジスタの値により中速RC発振または低速RCは発振を開始しシステムクロックとなります。また、メインクロックとサブクロックはホールドモード突入前の状態となり、周波数可変RCは発振を停止します。
- ・X'talホールドモードに突入するとサブクロック以外の発振(メインクロック／低速／中速／周波数可変RC)は停止するが、OCR, SLWRC, MRCRレジスタは変化しません。
- ・X'talホールドモード復帰時、メインクロックと周波数可変RCの発振安定時間がとれないので、X'talホールドモード突入時のシステムクロックはサブクロックまたは低速／中速RCのいずれかにする必要があります。
- ・通常X'talホールドモードは、低消費電流時計カウントに使用するため、突入前にシステムクロックをサブクロックに切り替え、低速／中速／周波数可変RC発振を停止したほうがより低消費電流となります。

② XTIDLEのクリアは命令で行います。

③ PDNのクリアは、ホールドモード解除信号(INT0, INT1, INT2, INT4, ポート0割り込み)の発生、またはリセット信号で行われます。

④ PDNがセットされると自動的にビット0もセットされます。

IDLE(ビット0): ホルトモード設定フラグ

- ① このビットをセットするとホルトモードに入ります。
- ② ビット1がセットされると自動的にこのビットもセットされます。
- ③ インタラプト要求の受付、またはリセット信号でこのビットはクリアされます。

スタンバイ

注 意：

- ・低 速 RC 発 振 は、ウォッチドッグタイマからも直 接 発 振 が制 御 され、スタンバイモード時の発 振 の制 御 も行 われ ます。詳 しくは「4-5 ウォッチドッグタイマ」を参 照 して くだ さい。

表 4-3-1 スタンバイ動作

項目／モード	リセット状態	ホルトモード	ホールドモード	X'talホールドモード
突入条件	• $\overline{\text{RES}}$ 信号印加 • 低電圧検知によるリセット発生 • ウォッチドッグタイマでのリセット発生	PCONレジスタ ビット1="0" ビット0="1"	PCONレジスタ ビット2="0" ビット1="1"	PCONレジスタ ビット2="1" ビット1="1"
突入後、 変化するデータ	別表の示すように初期化される。 (ウォッチドッグタイマによるリセットの場合、WDTCNTレジスタのビット7がセットされる)	WDTCNTレジスタのビット4/3="0/1"の場合、WDTCNTレジスタのビット5がクリアされる。	• WDTCNTレジスタのビット4/3="0/1"の場合、WDTCNTレジスタのビット5がクリアされる。 • PCONのビット0が"1"になる。 • SLWRCレジスタ(FE7C)ビット1がリセットされている場合 OCRレジスタ(FE0E)のビット5, 4, 1がクリアされる。 • SLWRCレジスタ(FE7C)ビット1がセットされている場合 SLWRCレジスタ(FE7C)のビット0がセットされ、OCRレジスタ(FE0E)のビット5, 4がクリアされる。	• WDTCNTレジスタのビット4/3="0/1"の場合、WDTCNTレジスタのビット5がクリアされる。 • PCONのビット0が"1"になる。
メインクロック発振	停止	突入時の状態	停止	停止
内蔵低速RC発振	停止	突入時の状態(注1)	停止(注1)	停止(注1)
内蔵中速RC発振	動作	突入時の状態	停止	停止
サブクロック発振	停止	突入時の状態	停止	突入時の状態
周波数可変RC発振	停止	突入時の状態	停止	停止
CPU	初期化される	停止	停止	停止
I/O端子状態	表4-3-2参照	←	←	←
RAM	• $\overline{\text{RES}}$ の場合: 不定 • 低電圧検知の場合: 不定またはデータ保持(電源電圧に依存) • ウォッチドッグタイマリセットの場合: データ保持	データ保持	データ保持	データ保持
ベースタイマ	停止	突入時の状態	停止	突入時の状態
ベースタイマ以外の 周辺モジュール	停止	突入時の状態 (注2)	停止	停止
復帰条件	突入条件の解消	• 割り込み要求の受付 • リセット突入条件の成立	• INT0~2, 4またはポート0からの割り込み要求発生 • リセット突入条件の成立	• INT0~2, 4, ポート0, ベースタイマからの割り込み要求発生 • リセット突入条件の成立
復帰先	通常動作モード	通常動作モード (注2)	ホルトモード(注2)	ホルトモード(注2)
復帰後に変化するデータ	なし	PCONレジスタのビット0="0"となる	PCONレジスタのビット1="0"となる	PCONレジスタのビット1="0"となる

(注1) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われます。詳しくは「4-5 ウォッチドッグタイマ」を参照してください。

(注2) リセット突入条件の成立で復帰した場合、リセット状態に移行します。

スタンバイ

表 4-3-2 モードによる端子状態（本シリーズの場合）

端子名	リセット時	通常動作時	HALT時	HOLD時	HOLD解除時
RES	・入力端子	←	←	←	←
CF1 /XT1	・プルダウン出力。 ・発振は開始しない。 リセット解除後、 ・入力端子 ・発振は開始しない。 ・CF 用帰還抵抗、 XT 用帰還抵抗 は共にオフ。	・レジスタ XT2PC(FE43H) の bit3 で CF 発振用イン バータの入力／汎用入 力を制御。 ・レジスタ OCR(FE0EH) で発振可能／停止を制 御。 ・CF1,CF2 の間に帰還抵 抗はプログラムで制御。	←	・CF 発振用インバータ の入力／汎用入力 は、ホールド突入時の 状態。 ・CF1,CF2 の間の帰還 抵抗はホールド突入 時の状態。	・ホールドモード突入 時の状態。
CF2 /XT2	・ハイインピーダンス ・発振は開始しない。 リセット解除後、 ・入力端子 ・発振は開始しない。 ・CF 用帰還抵抗、 XT 用帰還抵抗 は共にオフ。	・レジスタ XT2PC(FE43H) の bit3 で CF 発振用イン バータの入力／汎用入 力を制御。 ・レジスタ OCR(FE0EH) で発振可能／停止を制 御。 ・CF1,CF2 の間に帰還抵 抗はプログラムで制御。	←	・CF 発振用インバータ の出力／汎用入出力 は、ホールド突入時の 状態。 ・CF1,CF2 の間の帰還 抵抗はホールド突入 時の状態。	・ホールドモード突入 時の状態。
P00-P07	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアッ プ抵抗はプログラムで 制御。	←	←	←
P10-P17	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアッ プ抵抗はプログラムで 制御。	←	←	←
P20-P21	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアッ プ抵抗はプログラムで 制御。	←	←	←
P70	・入力モード ・プルアップ抵抗オフ	・入力／出力／プルアッ プ抵抗はプログラムで 制御。	・入力モード ・プルアップ抵抗はオ フ。	←	・通常動作時と同じ。

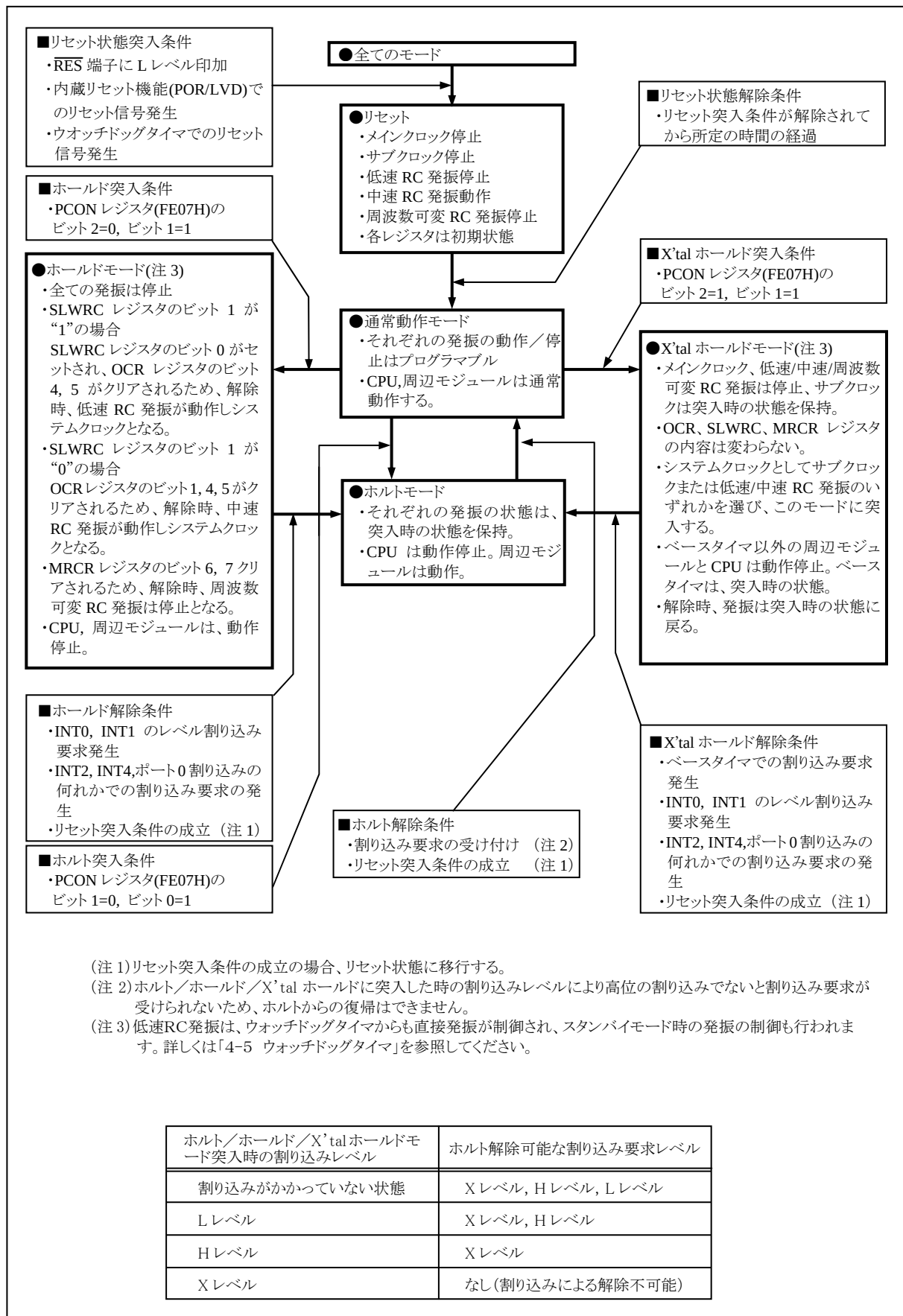


図 4-3-1 スタンバイモード遷移

4-4 リセット機能

4-4-1 概要

リセット機能とは、電源投入時や動作中にマイクロコンピュータを初期化する機能です。

4-4-2 機能

本シリーズは、次の3つの機能を持っています。

① $\overline{\text{RES}}$ 端子による外部リセット機能

$\overline{\text{RES}}$ 端子に「L」レベルを200[μs]以上印加することで、確実にリセットがかかります。しかし、わずかな幅(200[μs]以内)の「L」レベルが印加されてもリセットがかかることがあるので注意が必要です。

$\overline{\text{RES}}$ 端子に適正な時定数を外付けすことにより、電源投入時のリセットとして使用できます。

② 内蔵リセット機能

電源の初期投入時にリセットをかけるパワーオンリセット(POR)機能と電源電圧が低下した時にリセットをかける低電圧検知リセット(LVD)機能があります。パワーオンリセットの解除レベルと低電圧検知リセット機能を【許可】使用する／【禁止】使用しないと検知レベルをオプションにて選択できます。

③ ウォッチドッグタイマによるリセット機能

ウォッチドッグタイマは、内蔵低速RC発振またはサブクロックにより、一定時間毎にリセットを発生させることができます。

リセット回路の構成例を図4-4-1に示します。リセット端子の外付け回路は内蔵リセット機能オプションを【禁止】し外部パワーオンリセット回路を構成した場合の一例です。

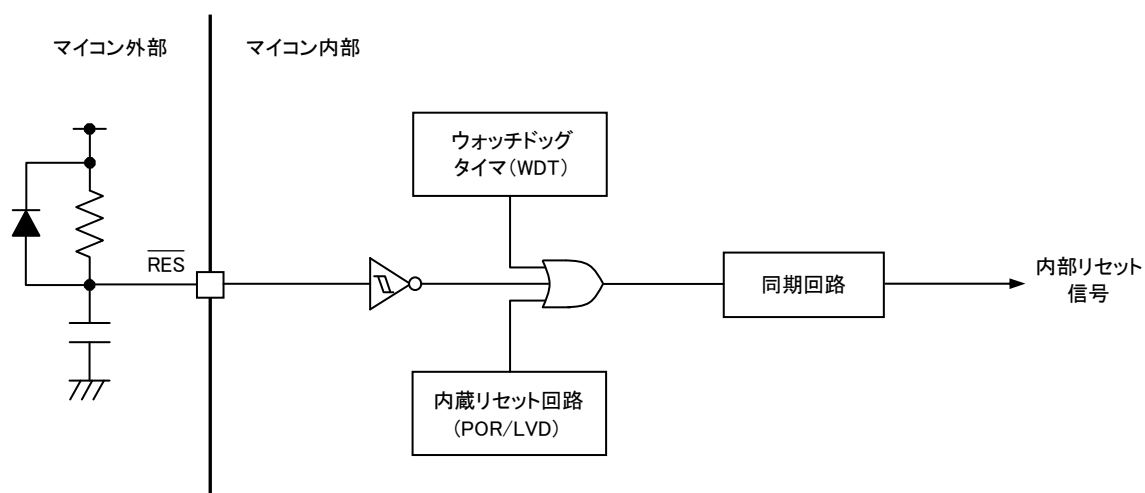


図 4-4-1 リセット回路ブロック図

4-4-3 リセット時の状態

RES 端子、内蔵リセット回路、ウォッチドッグからのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかるとシステムクロックは内蔵中速RC発振に切り替わるため、電源投入時でも直ちにハードウェアの初期化が行われます。メインクロック発振が安定するのを待って、システムクロックをメインクロックに切り替えます。リセット時、プログラムカウンタの初期値は、ユーザオプション設定により選択したプログラムスタートアドレスになります。また、各特殊機能レジスタ(SFR)の初期値は、APPENDIX (AI) スペシャルファンクションレジスタ(SFR) マップに示す値となります。

< 注 意 点 >

- スタックポインタの初期値は0000Hとなります。
- データRAMの内容はリセットで初期化されることはありません。よって、電源投入時にはRAMの内容が「不定」となっていますので注意が必要です。
- 内蔵リセット機能を使用する場合、リセット端子には使用条件に合わせた外付け回路を構成する必要がありますので、必ず「4-6 内蔵リセット機能」の各リセット機能の動作仕様、回路構成、注意点・留意点をご確認ください。

4-5 ウォッチドッグタイマ(WDT)

4-5-1 概要

本シリーズは、次の機能を持ったウォッチドッグタイマ(WDT)を備えています。

- ① 内蔵低速RC発振クロック／サブクロックにより動作するタイマのオーバーフローで内部リセット発生可能
 - ② スタンバイモード時の動作を3種類(カウント動作継続／動作停止／カウント値を保持してカウント動作停止)から選択可能
- ※ウォッチドッグタイマ(WDT)は、プログラムの暴走を検知する機能です。システムの信頼性向上のために、使用されることをお奨めします。

4-5-2 機能

① ウォッチドッグタイマ機能

- ・WDTクロック(内蔵低速RC発振クロックまたはサブクロックから選択)によって、17ビットのアップカウンタ(WDTCNT)が動作し、ウォッチドッグタイマ制御レジスタ(WDTRSTF)で選択されたオーバーフロー時間(8種類から1つを選択)に達すると、WDTリセット(内部リセット)が発生します。この時、WDTリセット検出フラグ(WDTRSTF)がセットされます。WDTCNTはプログラムによりクリアできますので、定期的にWDTCNTをクリアするようにプログラムを作成します。
- ・WDTクロックに内蔵低速RC発振クロックを選択してWDTの動作を開始した場合、内蔵低速RC発振回路は、低速RC発振制御レジスタ(SLWRC)とWDTの両方から制御されます。発振制御を独立して行うため、プログラムの暴走によってシステムクロックが停止するようなことがあってもWDTの動作は継続され、暴走の検出が可能となります。
- ・WDTクロックにサブクロックを選択してWDTの動作を開始した場合、発振制御レジスタ(OCR)のXT1, XT2機能制御ビット(EXTOSC)によるサブクロック発振停止またはホールドモード突入によるサブクロック発振停止の検出により、WDTリセットが発生します。この時、WDTRSTFがセットされます。

② スタンバイモード時の動作

- ・スタンバイモード時のWDTの動作を“カウント動作継続”，“動作停止”，“カウント値を保持してカウント動作停止”の3種類から選択できます。この内の“カウント動作継続”を選択した状態で、WDTクロックに内蔵低速RC発振クロックを選択すると、スタンバイモード時でも内蔵低速RC発振回路が発振を続けますので、数十 μ Aの動作電流が常時流れます(詳細は「半導体ニュース」を参照してください)。

- ③ ウォッチドッグタイマ(WDT)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・WDTCNT

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	WDTRSTF	WDTCKSL	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

4-5-3 回路構成

4-5-3-1 WDT制御レジスタ(WDTCNT) (8ビットレジスタ)

- ① WDTリセット検出フラグ、スタンバイモード時の動作選択、オーバーフロー時間選択、WDTの動作の制御を行います。

注意：外部 RES 端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット6とビット4～0は初期化されません。

注意：WDTの動作を開始(WDTRUN=1)すると、WDTCNTへの書き込みは禁止されます。この時、「**MOV #55H, WDTCNT**」命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます(他の命令で“55H”を書き込んでもWDTCTはクリアされません)。

注意：内蔵低速RC発振回路は、WDTCKSL(WDTCNTのビット6)＝“0”かつWDTRUN(WDTCNTのビット5)＝“1”により発振を開始します。発振を開始すると、数十 μ Aの動作電流が流れます(詳細は「半導体ニュース」を参照してください)。また、SLRCSTAT(SLWRCのビット0)＝“1”の設定でも発振を開始しますので、注意が必要です。

4-5-3-2 WDTカウンタ(WDTCT) (17ビットカウンタ)

- ① 動作開始／停止 : WDTRUN=1／WDTRUN=0またはWDTRUN=1かつIDLOP1～0(WDTCNTのビット4～3)＝2の時にスタンバイモードへ突入
- ② カウントクロック : WDTクロック(内蔵低速RC発振クロックまたはサブクロックから選択)
- ③ オーバーフロー発生 : WDTCTのカウント値がWDTSL2～0(WDTCNTのビット2～0)で選択されたカウント値と一致した時
※ WDTリセットとWDTRUNクリア信号とWDTRSTF(WDTCNTのビット7)へのセット信号を発生
- ④ リセット : WDTRUN=0またはWDTRUN=1かつ「**MOV #55H, WDTCNT**」命令の実行

※ WDT動作の詳細は「図4-5-2」を参照してください。

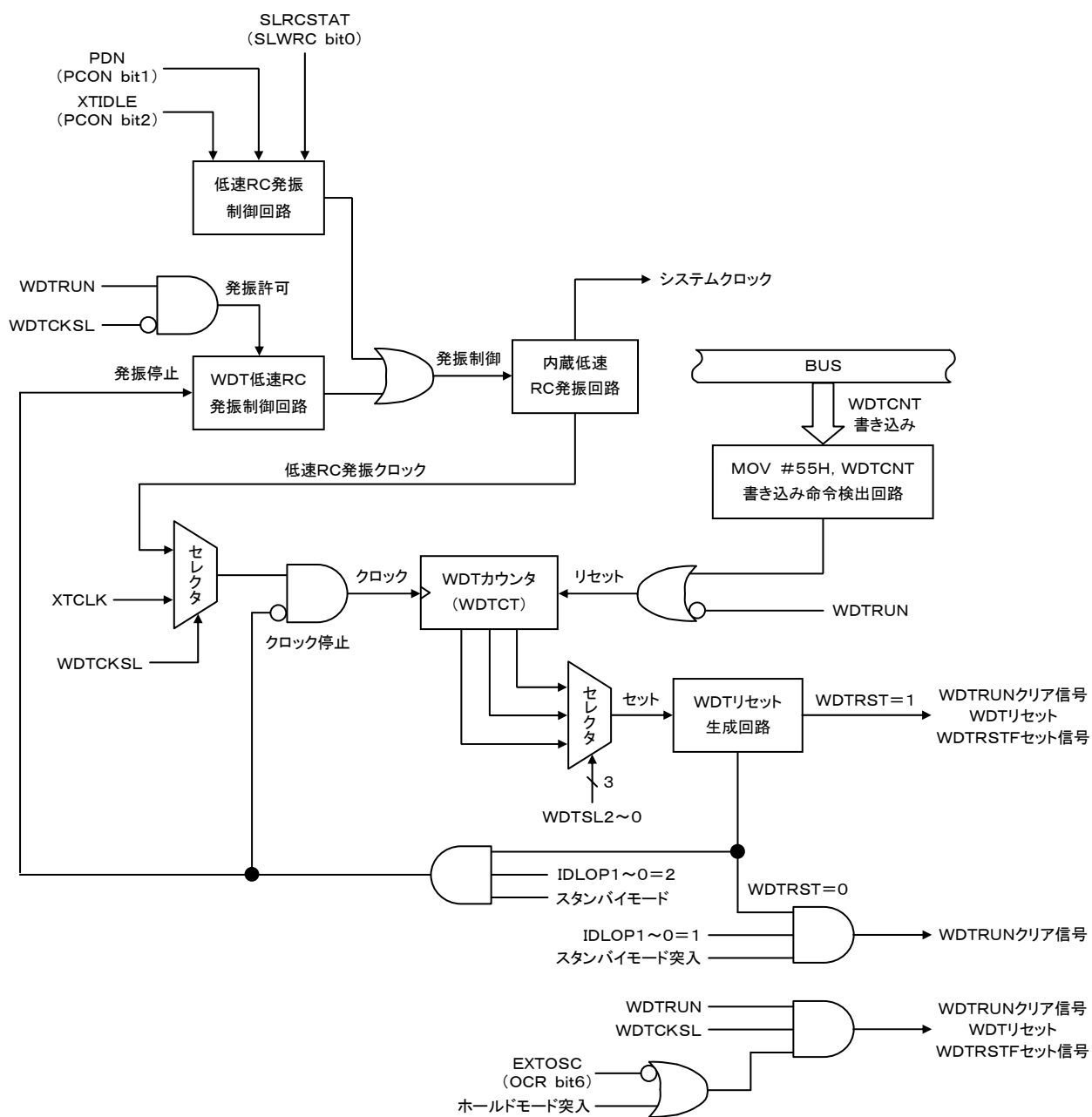


図 4-5-1 ウォッチドッグタイマブロック図

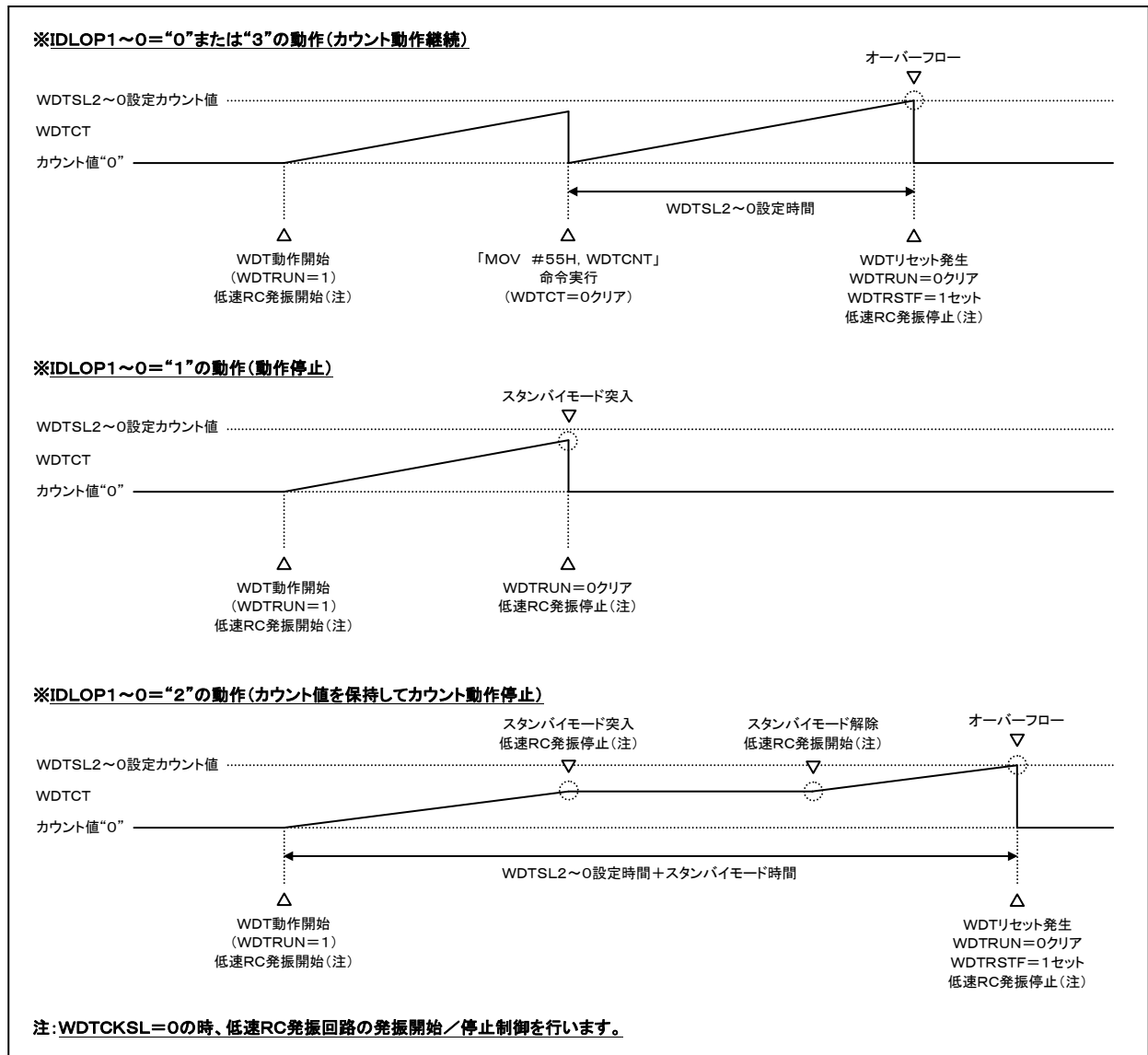


図 4-5-2 ウォッチドッグタイマの動作波形例

4-5-4 関連レジスタ

4-5-4-1 WDT制御レジスタ(WDTCNT)

- ① WDTリセット検出フラグ，スタンバイモード時の動作選択，オーバーフロー時間選択，WDTの動作の制御を行います。

アドレス	初期値	R/W	名前	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE79	0000 0000	R/W	WDTCNT	WDTRSTF	WDTCKSL	WDTRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0

WDTRSTF(ビット7): WDTリセット検出フラグ

外部 RES 端子 への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、このビットはクリアされます。

WDTによるリセットが発生した場合、このビットはセットされます。

このフラグは命令で書き換え可能です。

WDT

WDTCKSL (ビット6) : WDTCT入力クロック選択

WDTCKSL	WDTCT入力クロック
0	内蔵低速RC発振クロック
1	サブクロック

WDTRUN (ビット5) : WDT動作制御

このビットが“0”の時、WDTは動作を停止します。

このビットが“1”の時、WDTは動作を開始します。

IDLOP1 (ビット4) : }
IDLOP0 (ビット3) : } スタンバイモード時の動作選択

IDLOP1	IDLOP0	スタンバイモード時の動作
0	0	カウント動作継続
0	1	動作停止
1	0	カウント値を保持してカウント動作停止
1	1	カウント動作継続

※各動作モードの詳細は「図4-5-2」を参照してください。

WDTSL2 (ビット2) : }
WDTSL1 (ビット1) : } オーバーフロー時間選択
WDTSL0 (ビット0) : }

WDTSL2	WDTSL1	WDTSL0	WDTCT設定カウント数とオーバーフロー発生時間例		
			カウント数	低速RCクロック	サブクロック
0	0	0	1024	10.24ms	31.25ms
0	0	1	2048	20.48ms	62.50ms
0	1	0	4096	40.96ms	125.0ms
0	1	1	8192	81.92ms	250.0ms
1	0	0	16384	163.8ms	500.0ms
1	0	1	32768	327.6ms	1.000s
1	1	0	65536	655.3ms	2.000s
1	1	1	131072	1.310s	4.000s

※表の“低速RCクロック”は、内蔵低速RC発振周波数が100kHz (typ) 時のWDTCTオーバーフロー発生までにかかる時間となります。内蔵低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニュース」を確認してください。

※表の“サブクロック”は、32.768kHzのX'tal発振を使用した時のWDTCTオーバーフロー発生までにかかる時間となります。

注意：外部RES端子への“Lレベル”印加や内蔵リセット(POR/LVD)機能によるリセットが発生した場合、WDTCNTは“00H”に初期化されます。WDTによるリセットが発生した場合、WDTCNTのビット6とビット4～0は初期化されません。

注意：WDTの動作を開始（WDTRUN=1）すると、WDTCNTへの書き込みは禁止されます。この時、「**MOV #55H, WDTCNT**」命令を実行するとWDTCTがクリアされ、カウント値“0”からカウント動作が再開されます（他の命令で“55H”を書き込んでもWDTCTはクリアされません）。

注意：内蔵低速RC発振回路は、WDTCKSL=“0”かつWDTRUN=“1”により発振を開始します。発振を開始すると、数十 μ Aの動作電流が流れます（詳細は「半導体ニュース」を参照してください）。また、SLRCSTAT（SLWRCのビット0）=“1”の設定でも発振を開始しますので、注意が必要です。

4-5-5 ウォッチドッグタイマの使い方

定期的にウォッチドッグタイマをクリアする命令が実行されるようにプログラムを作成します。

① ウォッチドッグタイマの動作開始

- 1) WDTリセット発生までにかかる時間をWDTCKSL（WDTCNTのビット6）とWDTSL2～0（WDTCNTのビット2～0）に設定します。
- 2) スタンバイモード（ホルト／ホールド／X'talホールド）時のウォッチドッグタイマの動作をIDLOP1～0（WDTCNTのビット4～3）に設定します。
- 3) 1)、2)の設定後、WDTRUN（WDTCNTのビット5）に“1”を書き込みます。
WDTRUNに“1”を書き込むことで、ウォッチドッグタイマの機能が働き始めます。一度動作が始まると、WDTCNTへの書き込みは禁止され、WDTCTのクリアとWDTCNTの読み出しのみが可能になり、命令による停止はできません。ウォッチドッグタイマの機能が停止するのは、外部RES端子への“Lレベル”印加や内蔵リセット（POR／LVD）機能によるリセットが発生した場合またはIDLOP1～0=“1”の状態です。この場合、WDTRUNがクリアされます。

② WDTCTのクリア

ウォッチドッグタイマが動作を開始すると、WDTCTがカウントアップします。このWDTCTがオーバーフローするとWDTリセットが発生します。通常のプログラム動作を行うには、WDTCTがオーバーフローする前に定期的にクリアする必要があります。動作中のWDTCTのクリアには、次の命令を使用してください。

MOV #55H, WDTCNT

③ 暴走検出

定期的に前述の命令を実行しないと、ウォッチドッグタイマはクリアされないで、WDTCTがオーバーフローします。オーバーフローが起こるとプログラムが暴走したと判断され、WDTリセットが発生します。この時、WDTTRSTF（WDTCNTのビット7）がセットされます。WDTリセット発生後、プログラムを0000H番地から再実行します。（フラッシュROM版では、オプションで選択されたスタート番地から再実行します）

4-5-6 ウォッチドッグタイマ使用上の注意点

- ① WDTクロックに内蔵低速RC発振クロックを選択している場合 (WDTCKSL=0)
- 内蔵低速RC発振クロックをシステムクロックに使用しない場合、SLRCSTAT(SLWRCのビット0) = “0”を設定してください(内蔵低速RC発振回路は、発振開始／停止をウォッチドッグタイマ側からも制御されます)。SLRCSTAT(SLWRCのビット0) = “1”の場合、IDLOP1~0 = “1”または“2”の設定でウォッチドッグタイマが動作していても、ホールドモード時に内蔵低速RC発振回路が発振を続けます。
 - ホールドモードを使用して極低消費電力を実現する場合、IDLOP1~0 = “1”または“2”を設定して、ホールドモード時のウォッチドッグタイマの動作を停止しておく必要があります。IDLOP1~0 = “0”または“3”を設定した場合、ホールドモード時でも内蔵低速RC発振回路が発振を続けますので、数十 μ A の動作電流が常時流れます。
 - IDLOP1~0 = “2”を選択してウォッチドッグタイマが動作している時、スタンバイモードに突入すると内蔵低速RC発振回路は発振を停止し、ウォッチドッグタイマはカウント動作を停止してカウント値を保持します。その後、スタンバイモードが解除されると、内蔵低速RC発振回路は発振を開始して、ウォッチドッグタイマはカウント動作を再開しますが、スタンバイモード解除から次のスタンバイモード突入までの期間が「低速RC発振クロック×4」未満であると、スタンバイモードに突入しても、内蔵低速RC発振回路が発振を停止しない場合があります。この時(スタンバイモード実行中)、ウォッチドッグタイマはカウント動作を停止していますが、内蔵低速RC発振回路は発振しているため、数十 μ A の動作電流が流れます。
セットの待機電力を落とすために、スタンバイモード解除から次のスタンバイモード突入までの期間を「低速RC発振クロック×4」以上の間隔を空けて実行するようにプログラムを作成してください。(内蔵低速RC発振周波数にはバラツキがありますので、詳細は「半導体ニュース」を確認してください)
- ② WDTクロックにサブクロックを選択している場合 (WDTCKSL=1)
- WDTCKSL = “1”でウォッチドッグタイマを動作させる場合、EXTOSC(OCRのビット6) = “1”を設定後、プログラムによりサブクロックの発振安定時間を待ってから、ウォッチドッグタイマの動作を開始してください。
 - ウォッチドッグタイマの動作中に、EXTOSC(OCRのビット6) = “0”によるサブクロック発振停止またはホールドモード突入によるサブクロック発振停止を検出すると、プログラムが暴走したと判断され、WDTリセットが発生します。この時、WDTRSTFがセットされます。
- ※ このモードは、主に時計カウントを使用するアプリケーションにおいて、低消費電力を実現する場合に使用します。

4-6 内蔵リセット機能

4-6-1 概要

本シリーズは、内蔵リセット機能としてパワーオンリセット(POR)と低電圧検知リセット(LVD)を内蔵しています。この機能を使用することによって、外付けに必要であったリセット回路部品(リセットICなど)を削減できます。

4-6-2 機能

①パワーオンリセット(以下POR)機能

PORは電源投入時にリセットをかけるための機能です。この機能は低電圧検知リセット機能オプション【禁止】を選択した時のみオプションによりPOR解除レベルの選択が可能です。但し、電源投入時にチャタリングが入る場合や電源が瞬停するおそれのある場合には、下記の低電圧検知リセット機能オプションを併用するか、外付けにリセット回路を構成する必要があります。

②低電圧検知リセット(以下LVD)機能

POR機能との併用により電源投入時と電源低下時にリセットをかけることができます。この機能はオプションにより【許可】使用する／【禁止】使用しないの選択と検知レベルの選択が可能です。

4-6-3 回路構成

内蔵リセット回路は、POR、LVD、パルスストレッチャ回路、容量CRES放電トランジスタ、外付け容量CRES+プルアップ抵抗RRESまたはプルアップ抵抗RRESのみで構成されています。構成を図4-6-1に示します。

・パルスストレッチャ回路

POR、LVDのリセット信号をストレッチする回路で、内部リセット期間とリセット端子に外付けされた場合の容量CRESを放電するために使用します。ストレッチ時間は $30\mu\text{s} \sim 100\mu\text{s}$ です。

・容量CRES放電トランジスタ

リセット端子に外付けされた容量CRESを放電するためのNchトランジスタです。リセット端子に容量CRESを外付けしない場合には、プルアップ抵抗RRESのみ外付けし内部リセット信号のモニタを行うこともできます。

・オプション選択回路

LVDのオプションを設定する回路で、LVDを【許可】使用する／【禁止】使用しないの選択と検知レベルの選択をします。4-6-4項を参照ください。

・外付け容量CRES+プルアップ抵抗RRES

内蔵リセット回路のリセット信号が解除されてから、更に外付けのC、R時定数によりリセット期間をストレッチします。これにより、電源投入時に電源チャタリングなどが発生してもリセット突入／解除の繰り返しを回避できます。POR+LVD併用時は容量CRESとプルアップ抵抗RRESを外付けした、図4-6-1の回路構成を推奨します。推奨定数は $CRES = 0.022\mu\text{F}$ 、 $RRES = 510\text{k}\Omega$ です。但し、セット仕様によりリセット端子に容量CRESを外付けできない場合でも、プルアップ抵抗RRESを必ず外付けしてください。

内蔵リセット

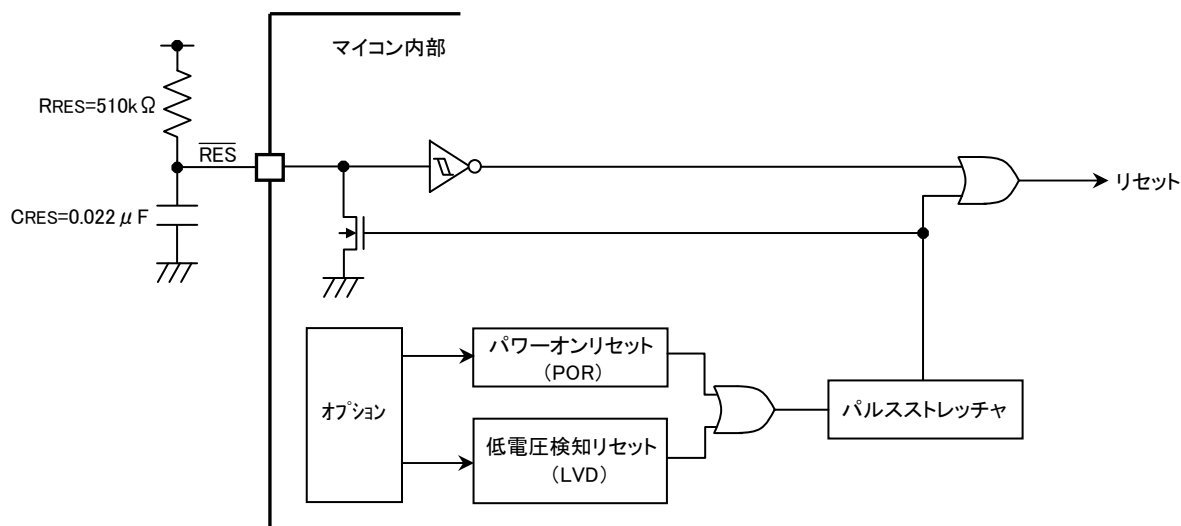


図 4-6-1 内蔵リセット回路構成図

4-6-4 オプション

リセット回路オプションにはPORとLVDオプションがあります。

①LVDリセット機能オプション			
【許可】:使用する		【禁止】:使用しない	
②LVDリセットレベルオプション		③POR解除レベルオプション	
選択オプション typ.値	VDD動作 min.値 (*)	選択オプション typ.値	VDD動作 min.値 (*)
—	—	【2.57V】	2.7V～
【2.81V】	3.0V～	【2.87V】	3.0V～
【3.79V】	4.0V～	【3.86V】	4.0V～
【4.28V】	4.5V～	【4.35V】	4.5V～

* VDD動作 min. 値はオプションで選択したPOR解除レベル／LVDリセットレベルに対して、リセットがかからずに動作させることのできる下限値の目安を示します。

①LVDリセット機能オプション

【許可】を選択するとLVDリセットレベルオプションで選択された電圧でリセットがかかります。

(注1)この時の動作電流は全てのモードにおいて数μA常時流れます。

【禁止】を選択するとLVDリセットはかかりません。

(注2)この時の動作電流は全てのモードにおいて流れません。

* 詳細は4-6-5項のリセット回路の動作波形例を参照ください。

②LVDリセットレベルオプション

LVDリセット機能オプションで【許可】を選択した時のみLVDリセットレベルを3レベル選択できます。使用する動作条件に適した検知レベルを選択します。

③POR解除レベルオプション

LVDリセット機能オプションで【禁止】を選択した時のみPOR解除レベルを4レベル選択できます。内蔵リセット回路を使用しない場合のPOR解除レベルは、保証動作電圧 min. に影響しない最低レベル(2.57V)を選択してください。

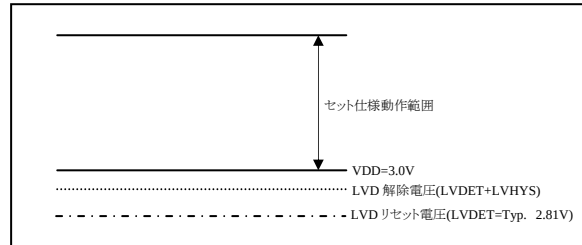
(注3)この時の動作電流はPORがリセットを解除すると電流は流れません。

(注4)保証動作電圧 min. 以下のPOR解除レベルを選択(2.57V)する場合には、使用上の留意点がありますので4-6-6-②項を参照ください。

● 選択参考例1

セット仕様によりVDD=3.0Vまでリセットをかけずに動作させたいので、それに最適なLVDリセットレベルを選択したい。

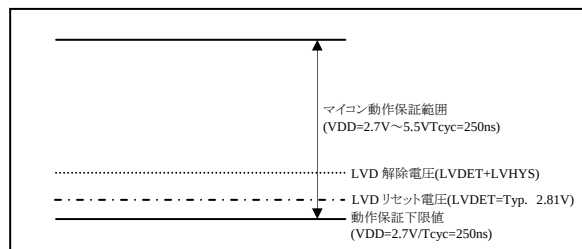
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルは【2.81V】を選択します。



● 選択参考例2

VDD=2.7V/Tcyc=250nsまでの動作保証となっているので、その条件で最適なLVDリセットレベルを選択したい。

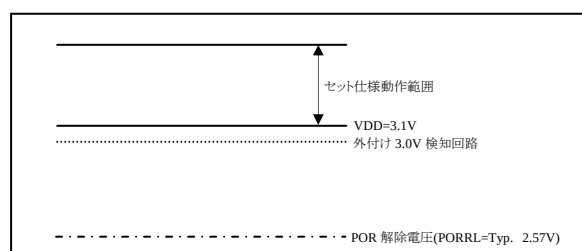
LVDリセット機能オプションは【許可】を選択し、LVDリセットレベルオプションは【2.81V】を選択します。



● 選択参考例3

外付けに3.0V検知のリセットICを使用するので、内部リセット回路は使用したくない。(4-6-7-①項を合わせてご参照ください)

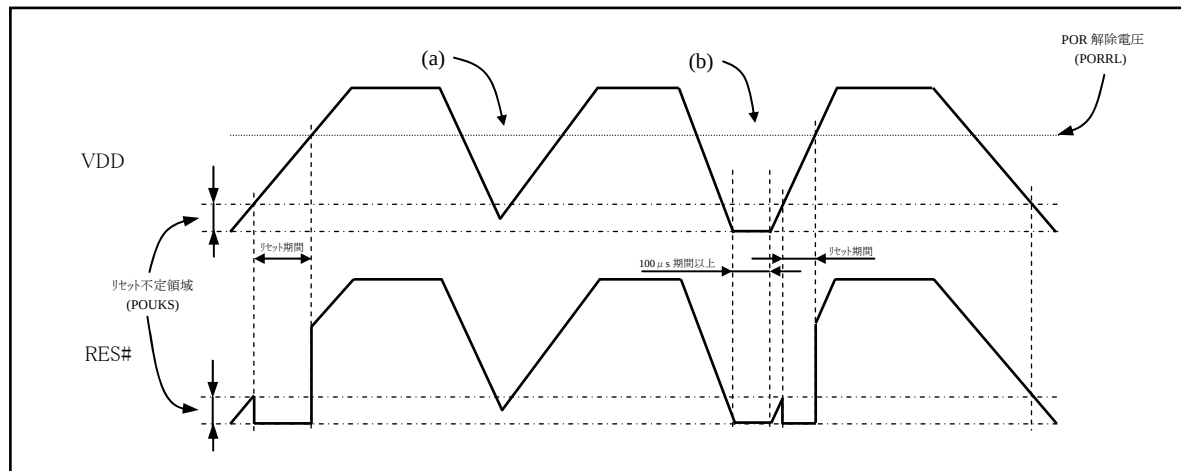
LVDリセット機能オプションは【禁止】を選択し、POR解除レベルオプションは【2.57V】を選択します。



(注5) 参考例に表記されている動作保証値(電圧/動作周波数)は使用する機種により異なりますので、必ず最新の半導体ニュースを参照し適切な設定レベルを選択してください。

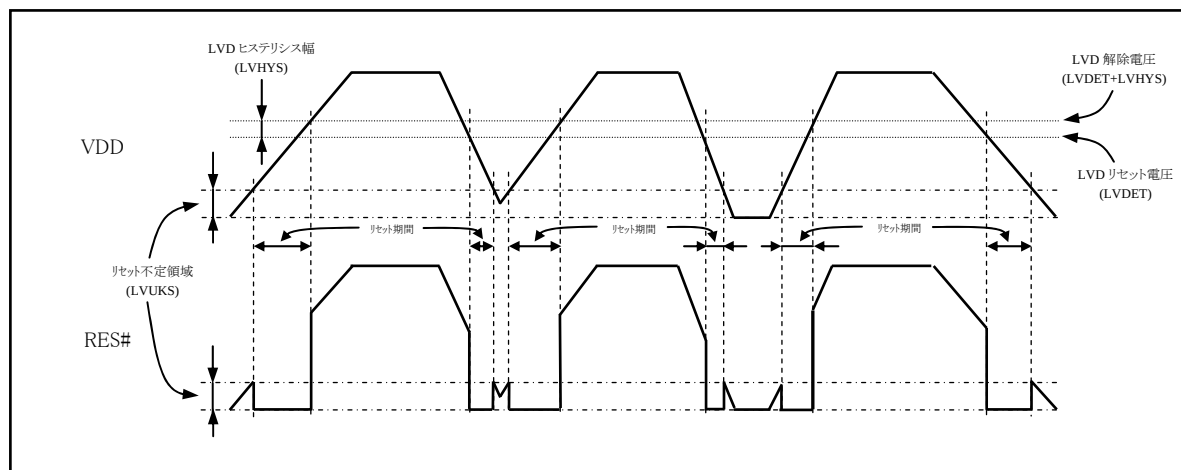
4-6-5 内蔵リセット回路の動作波形例

①PORのみ(LVD使用しない)の動作波形例 (リセット端子:プルアップ抵抗RRESのみ)



- ・PORはトランジスタが駆動始めるまでの期間、不定領域(POUKS)が存在します。
- ・PORはVSSレベルから電源を立ち上げた時のみリセットが発生します。また、この時のリセット解除電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- ・(a)のように電源がVSSレベルまで下らない状態で電源が再投入された場合には、安定したリセットはかかりません。このケースが想定される場合には、②項のようにLVD機能を併用するか、外付けにリセット回路を構成してください。
- ・(b)のように電源がVSSレベルまで十分下がり、その状態が100 μ s以上保持されてから電源が再投入された場合のみリセットがかかります。

②POR+LVDを併用した場合の動作波形例 (リセット端子:プルアップ抵抗RRESのみ)



- ・POR+LVDの併用時も同様にトランジスタが駆動始めるまでの期間、不定領域(LVUKS)が存在します。
- ・電源投入時と電源低下時ともにリセットがかかります。また、この時のリセット解除／突入電圧には誤差が発生しますので、詳細は半導体ニュースを参照ください。
- ・LVDには検知レベル付近でリセット解除／突入を繰り返さないようヒステリシス幅(LVHYS)があります。

4-6-6 内蔵リセット回路使用上の留意点

①内蔵PORのみでリセットをかける時

内蔵PORのみを使用してリセットをかける場合でもLVD併用時と同様にリセット端子を直接VDDに短絡しないください。必ず、使用条件に最適な容量CRESとプルアップ抵抗RRESまたはプルアップ抵抗RRESのみを外付けしてください。また、想定される電源投入条件で評価を十分行い、確実にリセットがかかることを入念にご確認ください。

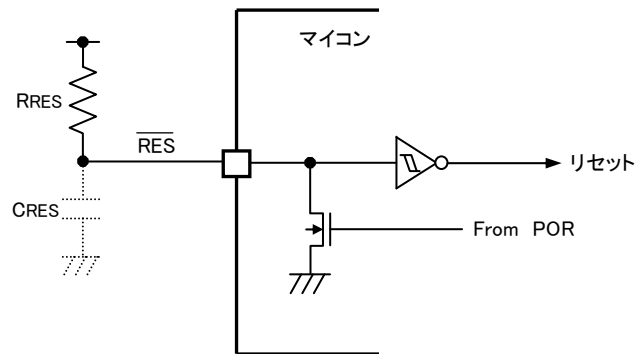


図 4-6-2 内蔵PORのみのリセット回路構成例

②内蔵PORのみでPOR解除レベル2.57V選択時

内蔵POR解除レベル2.57V選択時は、電源立ち上り時間に合わせリセット端子に容量CRESとプルアップ抵抗RRESを外付けし、解除電圧が保証動作電圧min.以上に達してからリセットが解除されるよう調整してください。または、保証動作電圧min.以上に達するまでの期間、リセット端子にLレベルを入力してください。

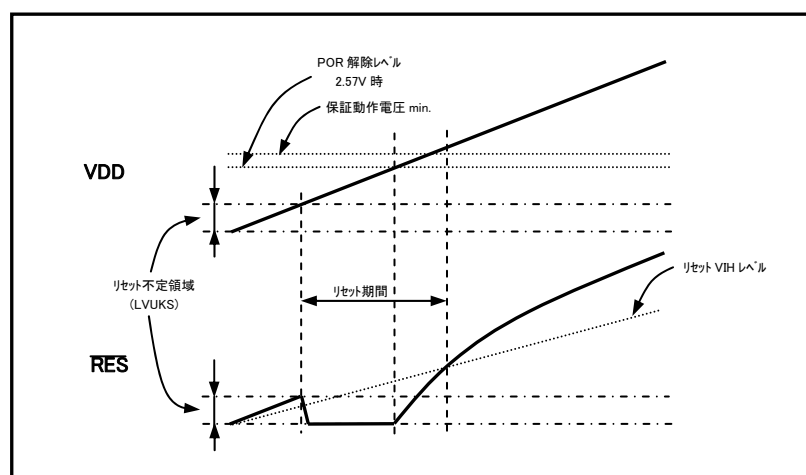


図 4-6-3 内蔵PORのみの解除レベル波形例

内蔵リセット

③数百 μs より短い(速い)電源瞬停・電源変動が想定される時

内蔵LVDリセット回路は電源低下をオプションで選択された検知レベルで検知してからリセット信号を発生させるまでの応答時間があります。このため、図4-6-4のような低電圧最小検知幅TLVDWが規定されており(半導体ニュースを参照)、電源が最小検知幅より短い(速い)電源瞬停や電源変動が想定される場合には、図4-6-5のような対策例やその他の対策を必ず行ってください。

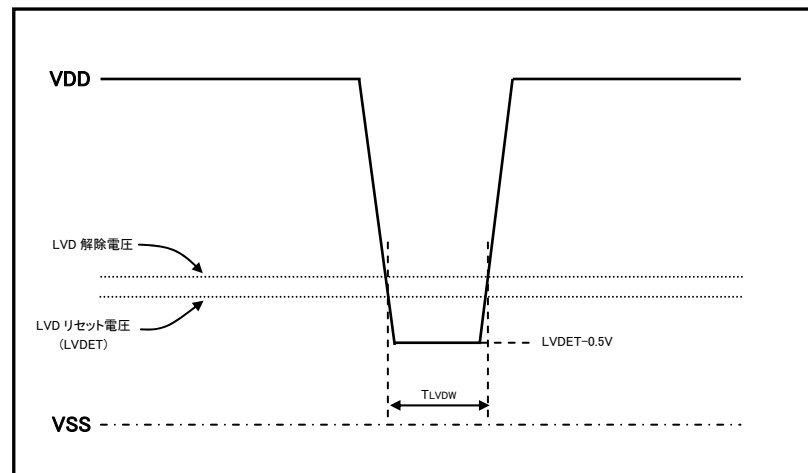


図4-6-4 電源瞬停・電源変動波形例

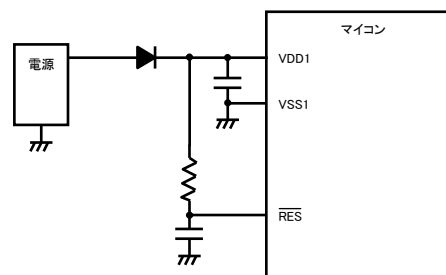


図4-6-5 電源瞬停・電源変動対策例

4-6-7 内蔵リセット回路未使用上の留意点

①内蔵リセット回路を使用せず外付けにリセットICを構成する時

内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作し、リセット端子の容量CRES放電用NchトランジスタがONします。このため、リセットICを外付けする場合には、検知レベルを保証動作電圧min.以上のタイプを使用し、マイコン内蔵のPOR解除レベルは保証動作電圧min.に影響しない最低レベル(2.57V)を選択してください。下図にリセットICのNchオープンドレイン・タイプとCMOS・タイプ使用時のリセット回路構成例を示します。

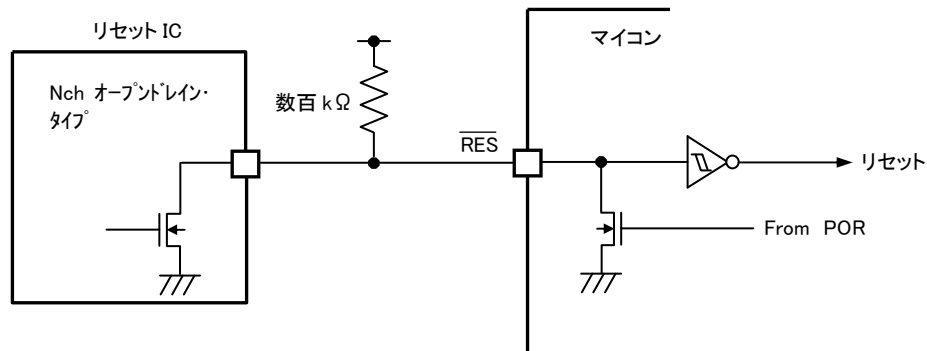


図4-6-6 Nchオープンドレインタイプ使用時のリセット回路構成例

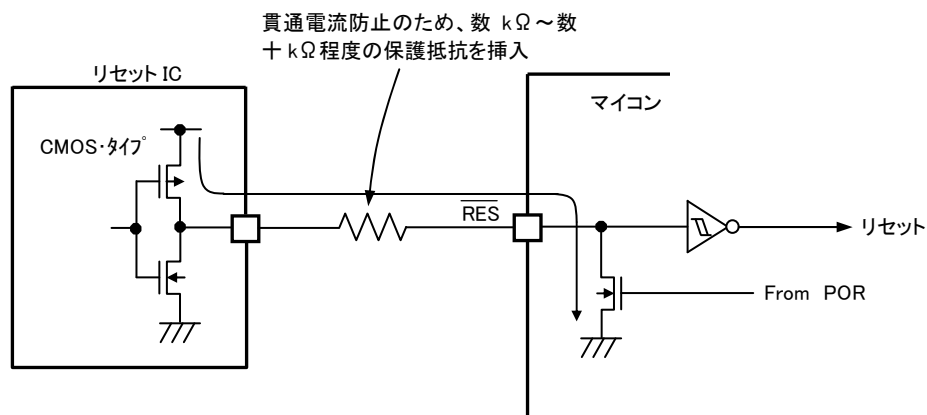


図4-6-7 CMOSタイプ使用時のリセット回路構成例

内蔵リセット

②内蔵リセット回路を使用せず外付けにPOR回路を構成する時

4-6-7-①項と同様に内蔵リセット回路を使用しない場合でも電源投入時に内蔵PORが動作します。しかし、内蔵PORより長いリセット期間を設けたいために外部にもPOR回路を構成し、容量CRESを $0.1\mu\text{F}$ 以上にする場合には、必ず図4-6-8のようにダイオードDRESも外付けしてください。

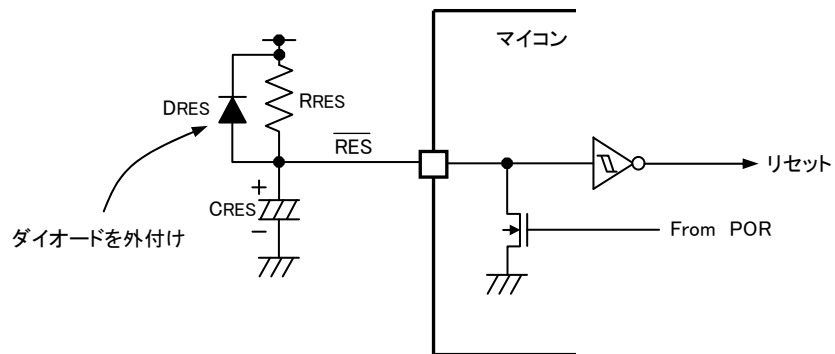


図 4-6-8 外部PORのリセット回路構成例

APPENDIX

APPENDIX・目次

APPENDIX－Ⅰ

- ・スペシャルファンクションレジスタ (SFR) マップ

APPENDIX－Ⅱ

- ・ポート0ブロック図
- ・ポート1ブロック図
- ・ポート2ブロック図
- ・ポート7ブロック図

APPENDIX－Ⅲ

- ・LC872000/LC87B000 シリーズ・オンチップデバッガ端子処理

アドレス	初期値	R/W	LC87BK00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0~00FF	XXXX XXXX	R/W	RAM256B	9ビット構成									
FE00	0000 0000	R/W	AREG		–	AREG7	AREG6	AREG5	AREG4	AREG3	AREG2	AREG1	AREG0
FE01	0000 0000	R/W	BREG		–	BREG7	BREG6	BREG5	BREG4	BREG3	BREG2	BREG1	BREG0
FE02	0000 0000	R/W	CREG		–	CREG7	CREG6	CREG5	CREG4	CREG3	CREG2	CREG1	CREG0
FE03													
FE04													
FE05													
FE06	0000 0000	R/W	PSW		–	CY	AC	PSWB5	PSWB4	LDCBNK	OV	P1	PARITY
FE07	HHHH H000	R/W	PCON		–	–	–	–	–	–	XTIDLE	PDN	IDLE
FE08	0000 HH00	R/W	IE	(bit6-4はR/O)	–	IE7	XFLG	HFLG	LFLG	–	–	XCNT1	XCNT0
FE09	0000 0000	R/W	IP		–	IP4B	IP43	IP3B	IP33	IP2B	IP23	IP1B	IP13
FE0A	0000 0000	R/W	SPL		–	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
FE0B	0000 0000	R/W	SPH		–	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8
FE0C	HHHH H000	R/W	CLKDIV		–	–	–	–	–	–	CLKDV2	CLKDV1	CLKDVO
FE0D	00HH HHHH	R/W	MRCR		–	MRCSEL	MRCST	–	–	–	–	–	–
FE0E	0000 XX00	R/W	OCR	(bit3-2はR/O)	–	CLKSGL	EXTOSC	CLKCB5	CLKCB4	XT2IN	XT1IN	RCSTOP	CFSTOP
FE0F													
FE10	0000 0000	R/W	TOCNT	タイマ0制御	–	TOHRUN	TOLRUN	TOLONG	TOLEXT	TOHCMP	TOHIE	TOLCMP	TOLIE
FE11	0000 0000	R/W	TOPRR		–	TOPRR7	TOPRR6	TOPRR5	TOPRR4	TOPRR3	TOPRR2	TOPRR1	TOPRR0
FE12	0000 0000	R	TOL		–	TOL7	TOL6	TOL5	TOL4	TOL3	TOL2	TOL1	TOL0
FE13	0000 0000	R	TOH		–	TOH7	TOH6	TOH5	TOH4	TOH3	TOH2	TOH1	TOH0
FE14	0000 0000	R/W	TOLR		–	TOLR7	TOLR6	TOLR5	TOLR4	TOLR3	TOLR2	TOLR1	TOLR0
FE15	0000 0000	R/W	TOHR		–	TOHR7	TOHR6	TOHR5	TOHR4	TOHR3	TOHR2	TOHR1	TOHR0
FE16	XXXX XXXX	R	TOCAL		–	TOCAL7	TOCAL6	TOCAL5	TOCAL4	TOCAL3	TOCAL2	TOCAL1	TOCAL0
FE17	XXXX XXXX	R	TOCAH		–	TOCAH7	TOCAH6	TOCAH5	TOCAH4	TOCAH3	TOCAH2	TOCAH1	TOCAH0
FE18	0000 0000	R/W	T1CNT	タイマ1制御	–	T1HRUN	T1LRUN	T1LONG	T1PWM	T1HCMP	T1HIE	T1LCMP	T1LIE
FE19	0000 0000	R/W	T1PRR		–	T1HPRE	T1HPRC2	T1HPRC1	T1HPRC0	T1LPRE	T1LPRC2	T1LPRC1	T1LPRC0
FE1A	0000 0000	R	T1L		–	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
FE1B	0000 0000	R	T1H		–	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
FE1C	0000 0000	R/W	T1LR		–	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
FE1D	0000 0000	R/W	T1HR		–	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0

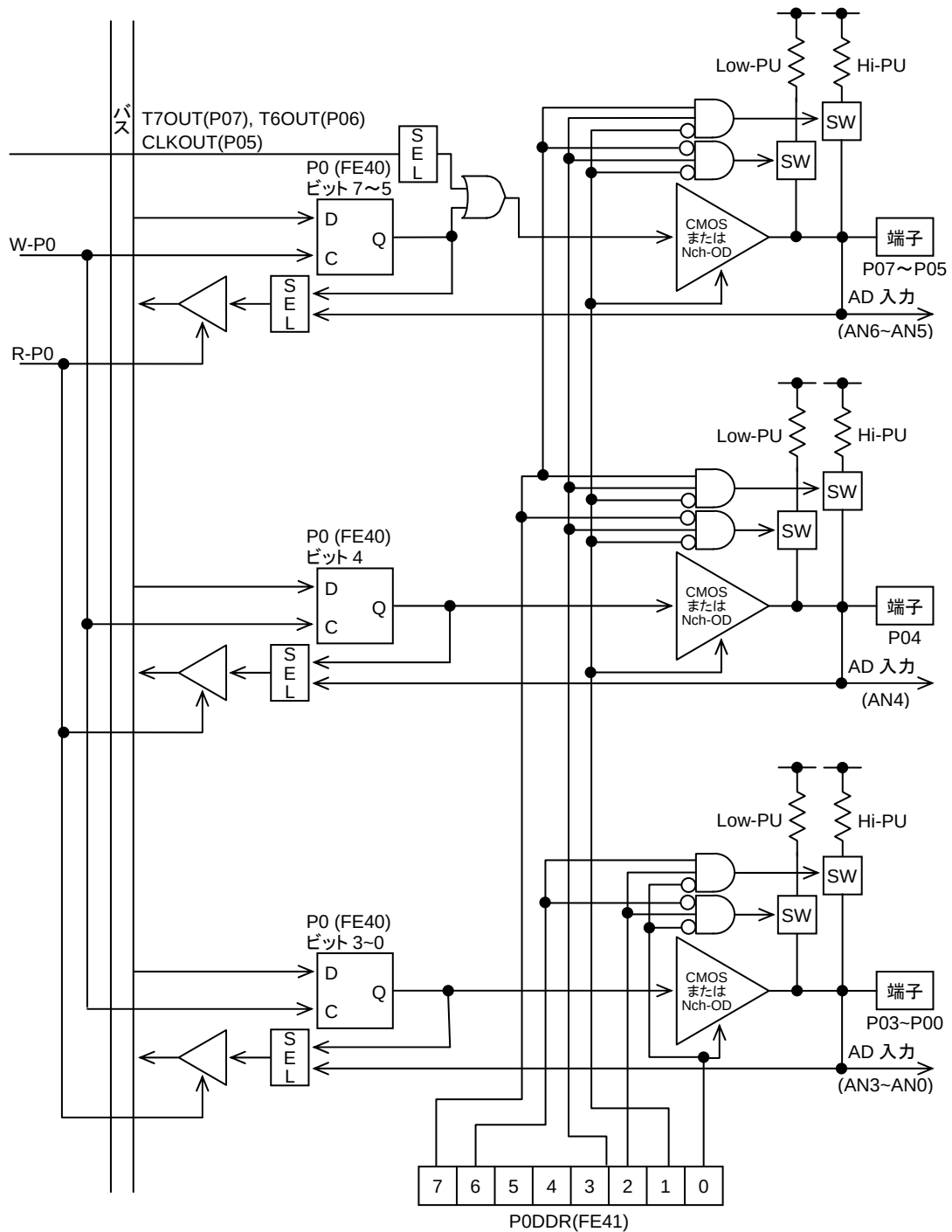
アドレス	初期値	R/W	LC87BK00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE1E													
FE1F													
FE20													
FE21													
FE22													
FE23													
FE24													
FE25													
FE26													
FE27													
FE28													
FE29													
FE2A													
FE2B													
FE2C													
FE2D													
FE2E													
FE2F													
FE30													
FE31													
FE32													
FE33													
FE34	0000 0000	R/W	SCON1	SI01 制御	–	SI1M1	SI1M0	SI1RUN	SI1REC	SI1DIR	SI1OVR	SI1END	SI1IE
FE35	00000 0000	R/W	SBUF1	9 ビットレジスタ	SBUF18	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
FE36	0000 0000	R/W	SBR1		–	SBRG17	SBRG16	SBRG15	SBRG14	SBRG13	SBRG12	SBRG11	SBRG10
FE37													
FE38													
FE39													
FE3A													
FE3B													
FE3C													
FE3D													

アドレス	初期値	R/W	LC87BK00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE3E													
FE3F													
FE40	0000 0000	R/W	P0		－	P07	P06	P05	P04	P03	P02	P01	P00
FE41	0000 0000	R/W	P0DDR		－	POHPUS	POLPUS	POFLG	P0IE	POHPU	POLPU	POHDDR	POLDDR
FE42	00HH 0000	R/W	P0FCR		－	T70E	T60E	－	－	CLKOEN	CKODV2	CKODV1	CKODV0
FE43	HHHH 0H00	R/W	XT2PC		－	－	－	－	－	XTCFSEL	－	XT2DR	XT2DT
FE44	0000 0000	R/W	P1		－	P17	P16	P15	P14	P13	P12	P11	P10
FE45	0000 0000	R/W	P1DDR		－	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
FE46	0000 0000	R/W	P1FCR		－	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
FE47	0000 HHH0	R/W	P1TST		－	FIX0	FIX0	FIX0	FIX0	－	－	－	FIX0
FE48	HHHH HH00	R/W	P2		－	－	－	－	－	－	－	P21	P20
FE49	HHHH HH00	R/W	P2DDR		－	－	－	－	－	－	－	P21DDR	P20DDR
FE4A	0000 0000	R/W	I45CR	INT4/5 制御	－	FIX0	FIX0	FIX0	FIX0	INT4HEG	INT4LEG	INT4IF	INT4IE
FE4B	0000 0000	R/W	I45SL		－	FIX0	FIX0	FIX0	FIX0	I4SL3	I4SL2	I4SL1	I4SL0
FE4C													
FE4D													
FE4E													
FE4F													
FE50													
FE51													
FE52													
FE53													
FE54													
FE55													
FE56													
FE57													
FE58	0000 0000	R/W	ADCRC	12 ビット AD 制御	－	ADCHSEL3	ADCHSEL2	ADCHSEL1	ADCHSEL0	ADCR3	ADSTART	ADENDF	AD1E
FE59	0000 0000	R/W	ADMRC	12 ビット AD モード	－	ADMD4	ADMD3	ADMD2	ADMD1	ADMD0	ADMR2	ADTM1	ADTM0
FE5A	0000 0000	R/W	ADRLC	12 ビット AD 変換結果 L	－	DATAL3	DATAL2	DATAL1	DATAL0	ADRL3	ADRL2	ADRL1	ADTM2
FE5B	0000 0000	R/W	ADRHC	12 ビット AD 変換結果 H	－	DATA7	DATA6	DATA5	DATA4	DATA3	DATA2	DATA1	DATA0
FE5C	HHH0 HHH0	R/W	P7		－	－	－	－	P70DDR	－	－	－	P70DT
FE5D	0000 0000	R/W	I01CR	INT0/1 制御	－	INT1LH	INT1LV	INT1IF	INT1IE	INT0LH	INT0LV	INT0IF	INT0IE

アドレス	初期値	R/W	LC87BK00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE5E	0000 0000	R/W	I23CR	INT2/3 制御	–	INT3HEG	INT3LEG	INT31F	INT31E	INT2HEG	INT2LEG	INT21F	INT21E
FE5F	0000 0000	R/W	ISL		–	STOHCP	STOLCP	BTIMC1	BTIMC0	BUZON	NFSEL	NFON	STOIN
FE60													
FE61													
FE62													
FE63													
FE64													
FE65													
FE66													
FE67													
FE68													
FE69													
FE6A													
FE6B													
FE6C													
FE6D													
FE6E													
FE6F													
FE70													
FE71													
FE72													
FE73													
FE74													
FE75													
FE76													
FE77													
FE78	0000 0000	R/W	T67CNT	タイマ 6/7 制御	–	T7C1	T7C0	T6C1	T6C0	T7OV	T71E	T6OV	T61E
FE79	0000 0000	R/W	WDTCNT	ウォッチドッグタイマ制御	–	WDRSTF	WDTCKSL	WDRUN	IDLOP1	IDLOP0	WDTSL2	WDTSL1	WDTSL0
FE7A	0000 0000	R/W	T6R		–	T6R7	T6R6	T6R5	T6R4	T6R3	T6R2	T6R1	T6R0
FE7B	0000 0000	R/W	T7R		–	T7R7	T7R6	T7R5	T7R4	T7R3	T7R2	T7R1	T7R0
FE7C	HHHH H000	R/W	SLWRC		–	–	–	–	–	–	CFLAMP	SLRCSEL	SLRCSTAT

アドレス	初期値	R/W	LC87BK00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE7D													
FE7E	0000 0000	R/W	FSR0	FLASH 制御 (bit4 は R/O)	-	FSR0B7 Fix to 0	FSR0B6 Fix to 0	FSAERR	FSW0K	INTHIGH	FSLDAT	FSPGL	FSWREQ
FE7F	0000 0000	R/W	BTCR	ペーシング制御	-	BTFST	BT0N	BTC11	BTC10	BTIF1	BTIE1	BTIF0	BTIE0
FE80													
FE81													
FE82													
FE83													
FE84													
FE85													
FE86													
FE87													
FE88													
FE89													
FE8A													
FE8B													
FE8C													
FE8D													
FE8E													
FE8F													
FE90													
FE91													
FE92													
FE93													
FE94													
FE95													
FE96													
FE97													
FE98													
FE99													
FE9A													
FE9B													

アドレス	初期値	R/W	LC87BK00	備考	BIT8	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
FE9C													
FE9D													
FE9E													
FE9F													
FEA0													
FEA1													
FEA2													
FEA3													
FEA4													
FEA5													
FEA6													
FEA7													
FEA8													
FEA9													
FEAA													
FEAB													
FEAC													
FEAD													
FEAE													
FEAF													
FEB0													
FEB1													
FEB2													
FEB3													
FEB4													
FEB5													
FEB6													
FEB7													
FEB8													
FEB9													
FEBA													
FEBB													



プルアップ抵抗は、
Nch-OD オプション選択時 : 付きません
CMOS オプション選択時 : プログラマブル

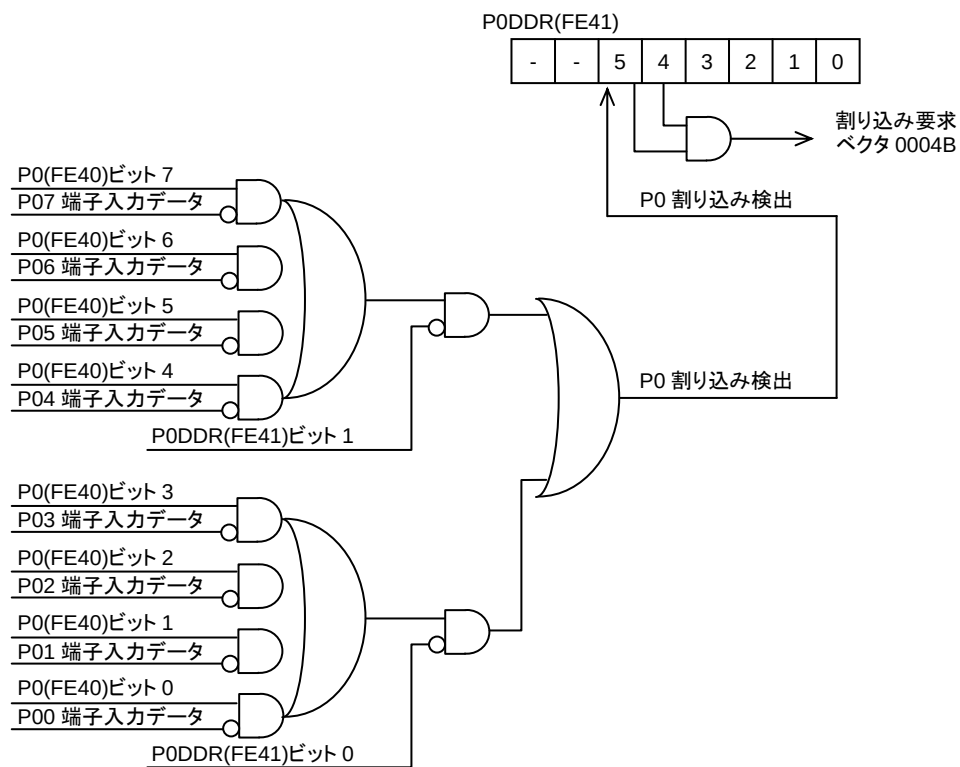
ポート	特殊機能入力	FUNCTION 出力
P07	なし	タイマ7トグル出力
P06	AD アナログ 6 入力	タイマ6トグル出力
P05	AD アナログ 5 入力	クロック出力
P04	AD アナログ 4 入力	なし
P03	AD アナログ 3 入力	なし
P02	AD アナログ 2 入力	なし
P01	AD アナログ 1 入力	なし
P00	AD アナログ 0 入力	なし

ポート 0 兼用機能表

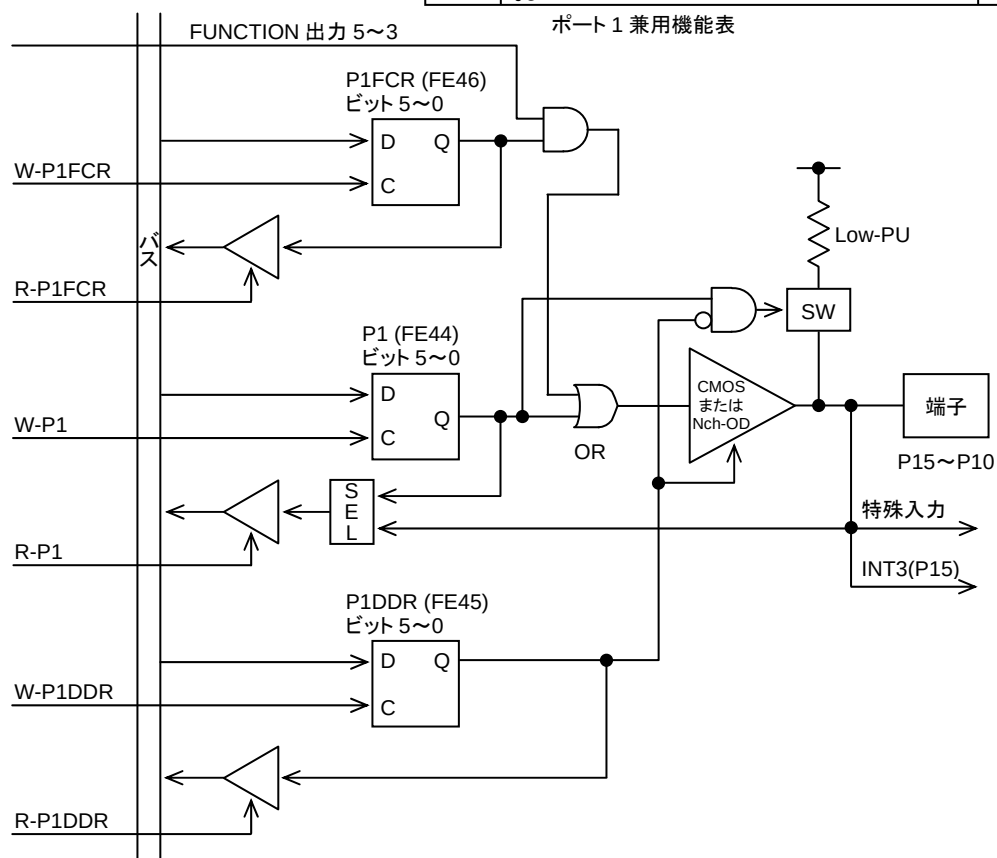
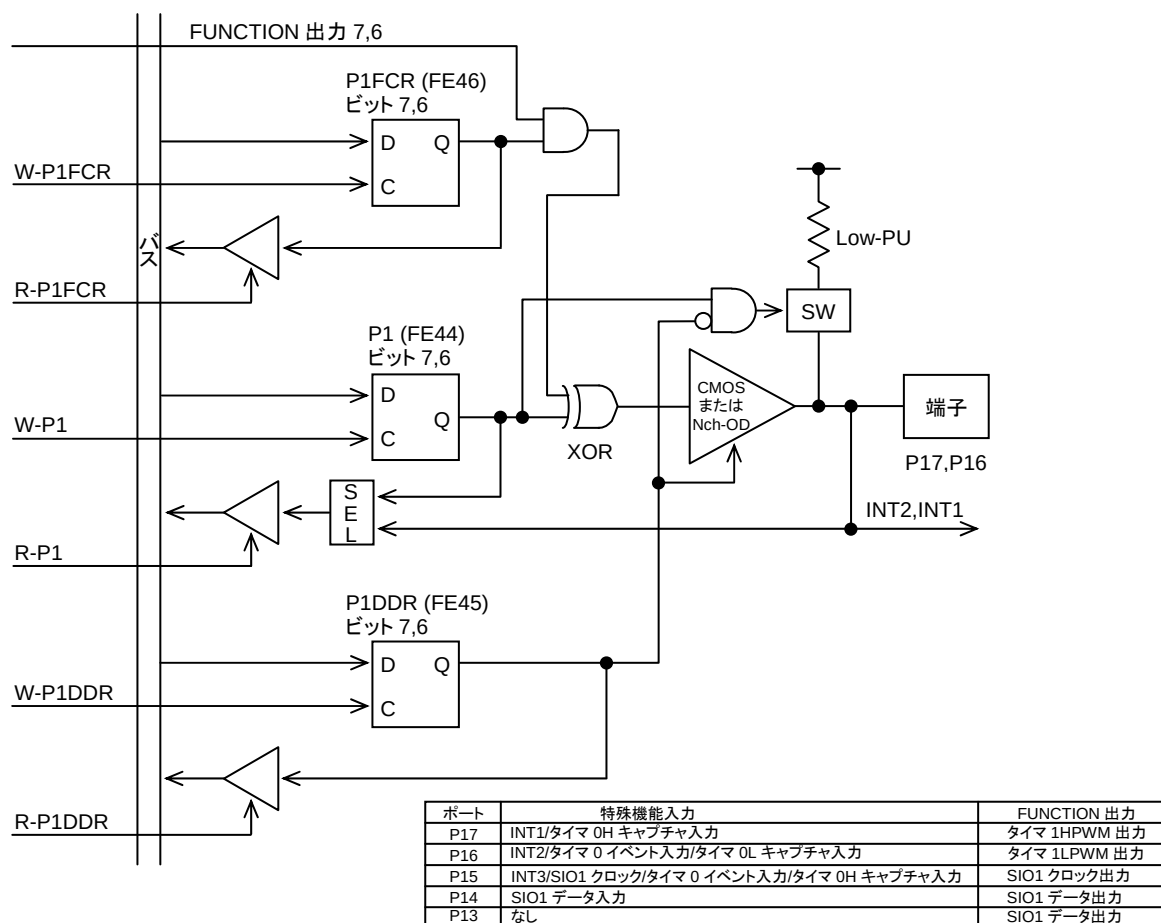
ポート 0 ブロック図

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能

ポートブロック図



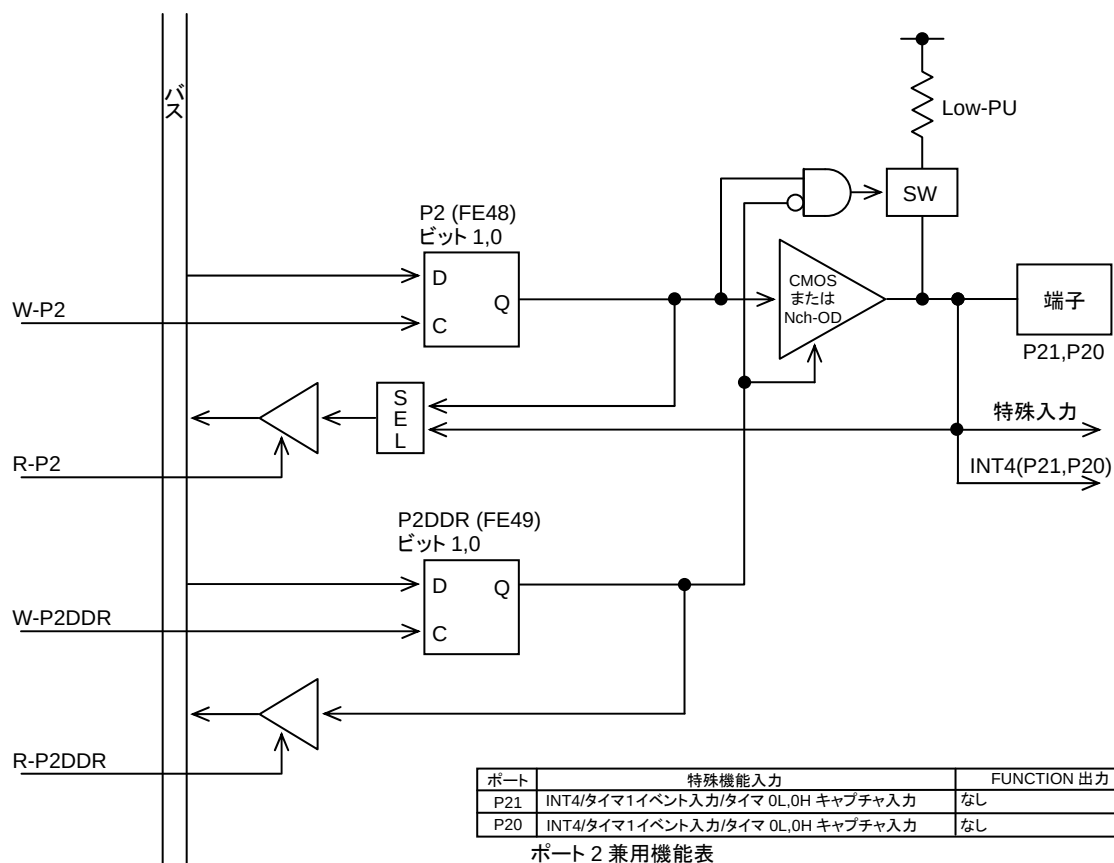
ポート0 (割り込み) ブロック図



ポート1 ブロック図

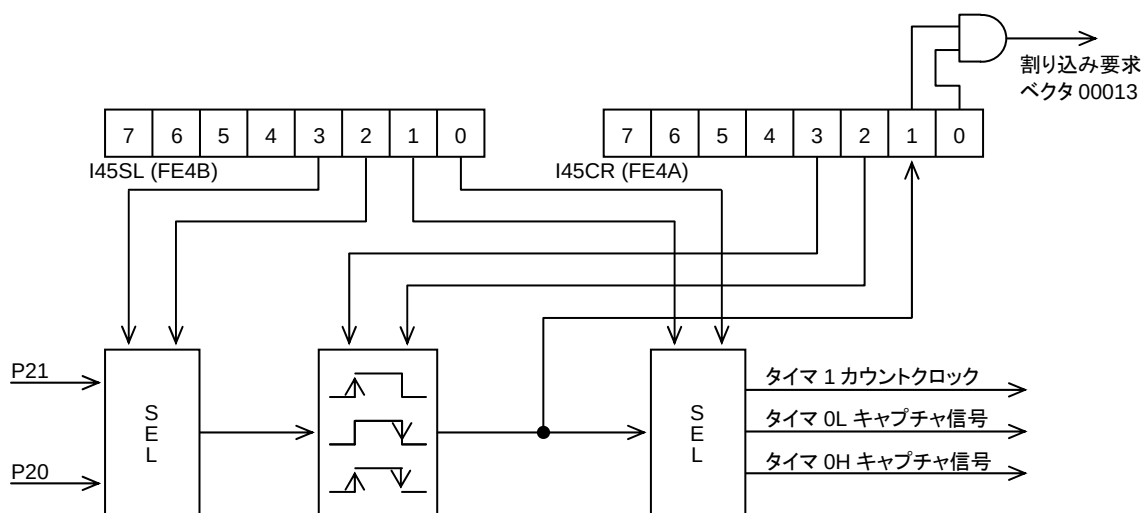
オプション:出力形式(CMOSまたはNch-OD)をビット毎に選択可能

ポートブロック図

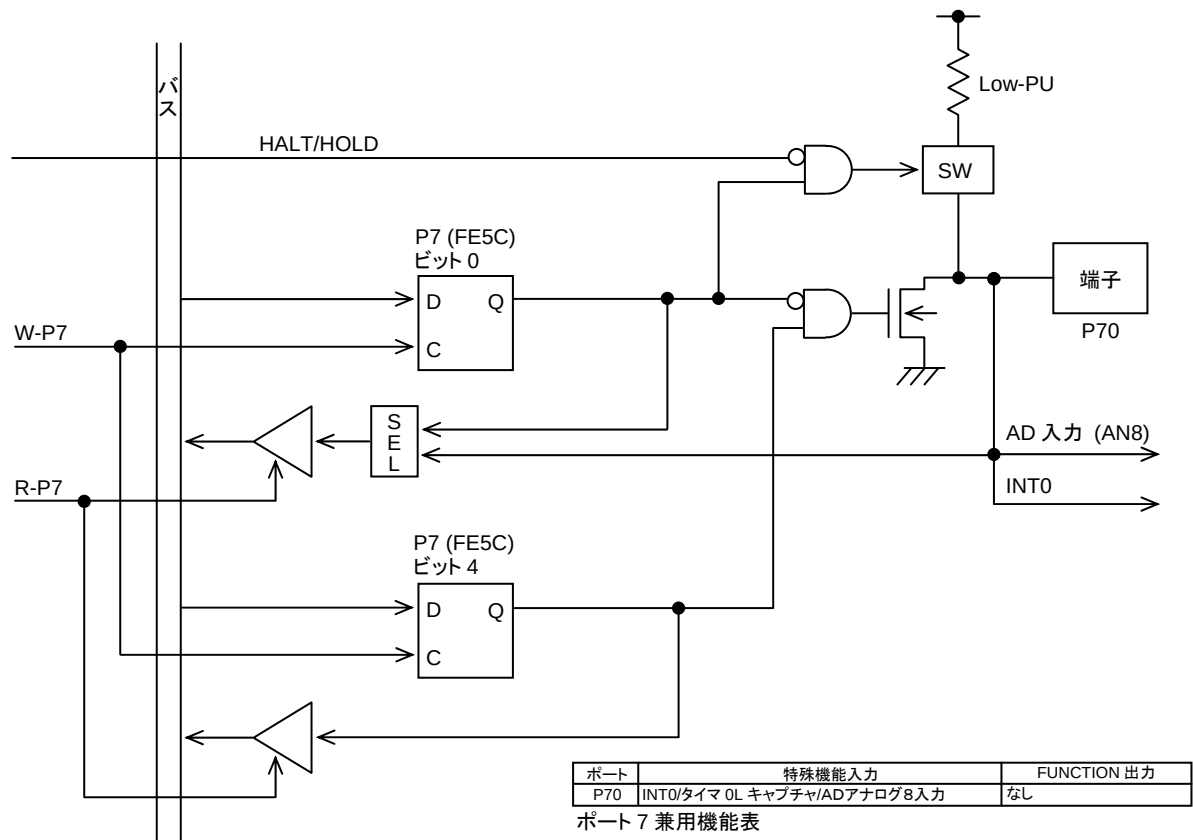


ポート 2 ブロック図

オプション: 出力形式 (CMOS または Nch-OD) をビット毎に選択可能

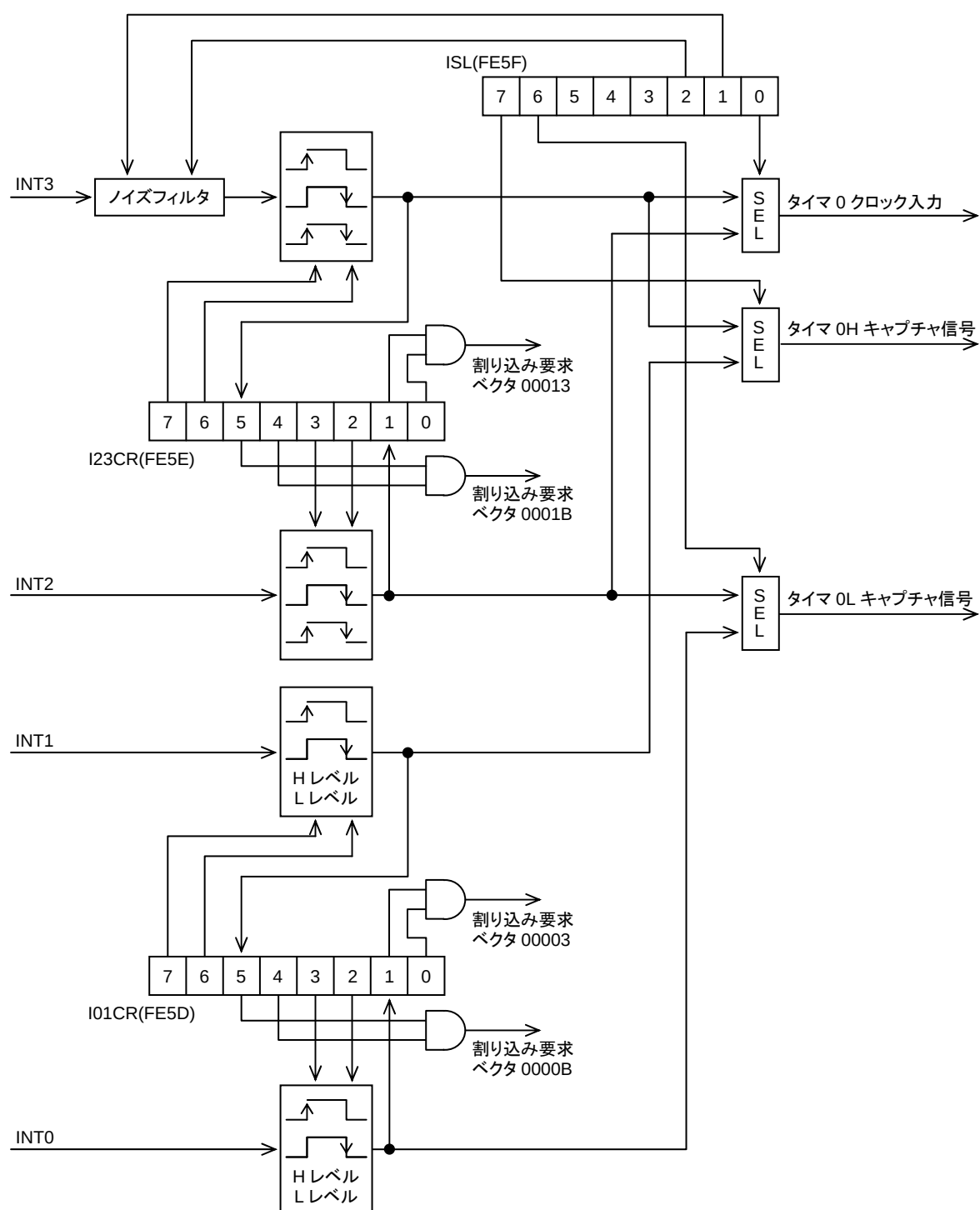


ポート 2 (割り込み) ブロック図



ポート 7 ブロック図
オプション: なし

ポートブロック図



ポート1, ポート7 (割り込み) ブロック図

LC872000/LC87B000 シリーズ・オンチップデバッグ端子処理

1. 概要

【LC872000/LC87B000 シリーズ・オンチップデバッグ端子処理】は、30pin クラス以下の小ピンマイコンにおいてオンチップデバッグ端子を多チャネル装備している機種種の端子処理について説明するものです。

2. オンチップデバッグ端子動作について

オンチップデバッグ端子 DBGPx0～DBGPx2 は、デバッグが接続されていない状態でもシステムリセット時に下記の状態となります。

デバッグ端子名	端子状態	対象機種
DBGP00/DBGP10/ DBGPX0/DBGP20	リセット期間中「L」出力	LC87F2416A
	リセット解除後数 μ s 期間 「L」出力	LC87F2608A/LC87F2708A/LC87F2G08A/LC87F2H08A/ LC87F2R04A/LC87FBK08A/LC87FBL08A/LC87FBG08A/ LC87FBH08A
DBGP01/DBGP11	Hi-Z(入力状態)	LC87F2416A
DBGP21	リセット解除後数 μ s 期間 プルアップ抵抗「H」出力	LC87F2708A
DBGP02/DBGP12/ DBGP22	Hi-Z(入力状態)	LC87F2416A
	リセット解除後数 μ s 期間 プルアップ抵抗「H」出力	LC87F2608A/LC87F2708A/LC87F2G08A/LC87F2H08A/ LC87F2R04A/LC87FBK08A/LC87FBL08A/LC87FBG08A/ LC87FBH08A

3. 端子処理方法

オンチップデバッグ機能を兼用している端子は、通常【オンチップデバッグ RD87 導入資料】の P11 で推奨されている接続部品を量産セット基板上に実装する必要があります。但し、量産セットでオンボード書換えを行わない端子に関しては、前項の理由から下記の制約条件と最低限の実装部品を外付けすることで対応できます。

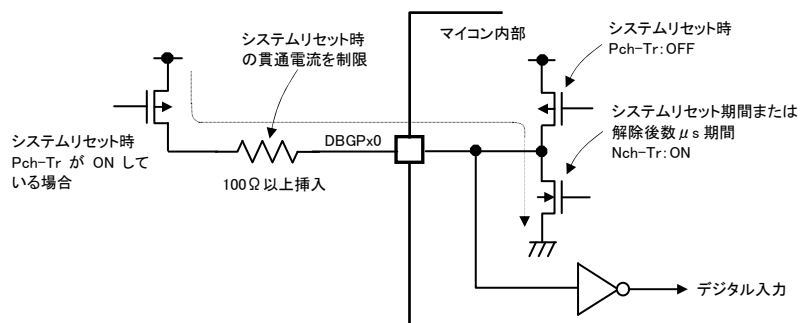
デバッグ端子名	端子セット仕様	制約条件・実装部品	備考
DBGP00/DBGP10/ DBGPX0/DBGP20	入力/入出力/ アナログ入力	100 Ω 以上の制限抵抗を挿入してください。	参考例 1
	出力	制約はなく実装部品も不要です。	
DBGP01/DBGP11/ DBGP21	入力/入出力/ 出力/ アナログ入力	制約はなく実装部品も不要です。	
DBGP02/DBGP12/ DBGP22	入力	システムリセット期間中は 100kHz 以上のパルス入力をさせない仕様にしてください。100kHz 以上のパルスが入力される場合には、別端子に割付けてください。	
	入出力	システムリセット期間中フローティング(Hi-Z)の状態になる場合には、100k Ω でプルアップまたはプルダウンしてください。	参考例 2 注 2
	出力	LC87F2416A は 100k Ω でプルダウンまたはプルアップしてください。	参考例 3 注 2
		LC87F2416A 以外の対象機種では、100k Ω でプルアップしてください。	
	アナログ入力	アナログ入力のインピーダンスが高い(5k Ω 以上)場合やアナログ入力にノイズが重畳しやすい場合には、別端子にアナログチャネルを割付けてください。	参考例 4 注 3
	未使用(N.C.)	ポートオプションにて Nch-OD 出力を選択し入力モードの状態、端子を VSS1 (GND) に短絡してください。	

(注 1) セット仕様に応じた端子処理を行わないとリセット解除後動作しない場合があります。

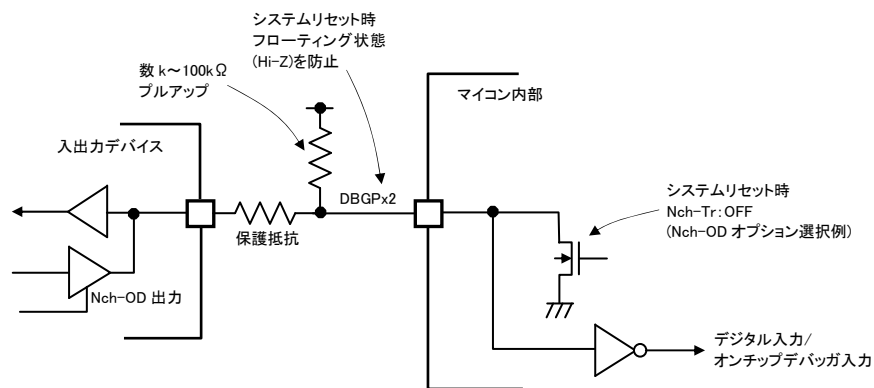
オンチップデバッグ端子処理

- (注 2) スタンバイ突入時、マイコンの出力状態により外付けのプルダウンまたはプルアップ抵抗に電流が流れますので、同電位または「Hi-Z」に切り替えてスタンバイに突入させてください。
- (注 3) DBGPx2 端子は出来る限り「デジタル入出力でデータ変化の少ない用途」に割付けてください。

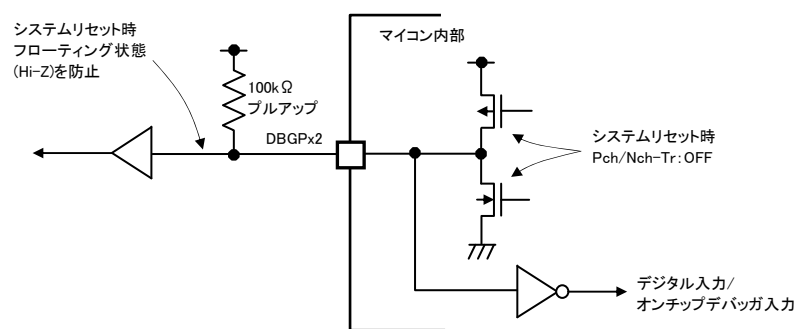
参考例 1



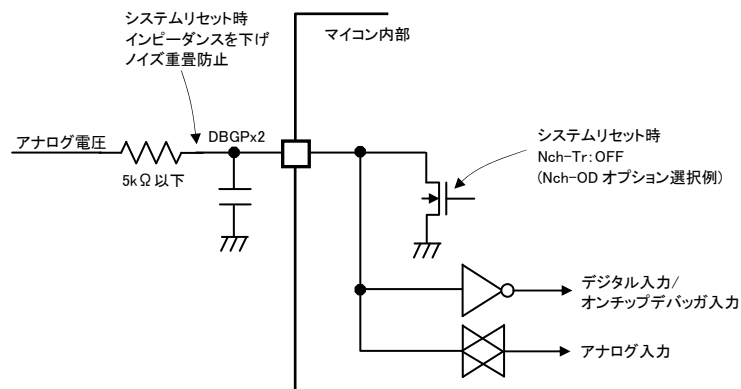
参考例 2



参考例 3



参考例 4



ご注意

本資料に掲載されている記事は、読者が正しく、且つ容易にデバイスの使用法を理解できるように作成したものです。記載されている応用例などをそのまま用いて製品を製造するために書かれているものではありません。したがって、この資料にもとづいて試作・製造が行われ、その結果、安全性・特許権・その他の権利侵害などの問題がありましても当社は一切責任を負いません。

LC87BK00 シリーズ ユーザーズマニュアル

Rev : 1.00 2011.10.21 版

オン・セミコンダクター

Digital Solution 事業部

マイコン・フラッシュビジネスユニット
