



ON Semiconductor®

<http://onsemi.jp>

LC87F5G32A

CMOS LSI

8-bit Microcontroller

32K-byte Flash ROM / 1024-byte RAM / 48-pin

概要

LC87F5G32Aは、最小バスサイクルタイム100nsで動作するCPU部を中心にして、32KバイトのフラッシュROM(オンボード書き換え可能)、1024バイトRAM、オンチップデバッグ機能、高機能16ビットタイマ/カウンタ×2(8ビットタイマに分割可)、プリスケアラ付き8ビットタイマ×4、時計用ベースタイマ、自動転送機能付き同期式SIO×1、非同期/同期式SIO×1、UART(全二重)、12ビットPWM×2、12/8ビット12チャンネルADコンバータ、高速クロックカウンタ、システムクロック分周機能、22要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコントローラである。

特長

フラッシュROM

- ・電源電圧3.0~5.5Vの幅広いオンボード書き込みが可能。
- ・128バイト単位でのブロック消去可能。
- ・32768×8ビット(LC87F5G32A)

RAM

- ・1024×9ビット(LC87F5G32A)

最小バスサイクルタイム

- ・100ns(10MHz)
- (注)バスサイクルタイムはROMの読み出し速度を表す。

最小命令サイクルタイム

- ・300ns(10MHz)

この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

LC87F5G32A

ポート

- ・ ノーマル耐圧入出力ポート
 - 1ビット単位で入出力指定可能 30(P1n, P2n, P30 ~ P36, P70 ~ P73, PWM0, PWM1, XT2)
 - 4ビット単位で入出力指定可能 8(P0n)
- ・ ノーマル耐圧入力ポート 1(XT1)
- ・ 発振専用ポート 2(CF1, CF2)
- ・ リセット端子 1(RES)
- ・ 電源端子 6(VSS1 ~ 3, VDD1 ~ 3)

タイマ

- ・ タイマ0 : キャプチャレジスタ付きの 16 ビットのタイマ/カウンタ
 - モード0 : 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付) × 2チャンネル
 - モード1 : 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ付) + 8ビットカウンタ(8ビットキャプチャレジスタ付)
 - モード2 : 8ビットプログラマブルプリスケアラ付16ビットタイマ
(16ビットキャプチャレジスタ付)
 - モード3 : 16ビットカウンタ(16ビットキャプチャレジスタ付)
- ・ タイマ1 : PWM/トグル出力可能な 16 ビットのタイマ/カウンタ
 - モード0 : 8ビットプリスケアラ付8ビットタイマ(トグル出力付)
+ 8ビットタイマ/カウンタ(トグル出力付)
 - モード1 : 8ビットプリスケアラ付8ビットPWM × 2チャンネル
 - モード2 : 8ビットプリスケアラ付16ビットタイマ/カウンタ(トグル出力付)
(下位8ビットからもトグル出力可能)
 - モード3 : 8ビットプリスケアラ付16ビットタイマ(トグル出力付)
(下位8ビットはPWMとして使用可能)
- ・ タイマ4 : 6 ビットプリスケアラ付 8 ビットタイマ
- ・ タイマ5 : 6 ビットプリスケアラ付 8 ビットタイマ
- ・ タイマ6 : 6 ビットプリスケアラ付 8 ビットタイマ
- ・ タイマ7 : 6 ビットプリスケアラ付 8 ビットタイマ
- ・ ベースタイマ
 - クロックは、サブクロック(32.768kHz 水晶発振), システムクロック,
タイマ0のプリスケアラ出力から選択できる。
5種類の時間での割り込み発生が可能。

高速クロックカウンタ

最高20MHzのクロックをカウントできる(メインクロック10MHz使用時)
リアルタイム出力

SIO

- ・ SIO0 : 8ビット同期式シリアルインタフェース
 - LSB先頭/MSB先頭切換え可能
 - 8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3tCYC)
 - 連続自動データ通信(1~256ビットまでビット単位で切換え可能)
(バイト単位で転送途中停止・再開が可能)
- ・ SIO1 : 8ビット非同期/同期式シリアルインタフェース
 - モード0 : 同期式8ビットシリアルI/O(2線式または3線式, 転送クロック2~512tCYC)
 - モード1 : 非同期シリアルI/O(半二重, データ8ビット, ストップビット1, ボーレート8~2048tCYC)
 - モード2 : バスモード1(スタートビット, データ8ビット, 転送クロック2~512tCYC)
 - モード3 : バスモード2(スタート検出, データ8ビット, ストップ検出)

LC87F5G32A

UART

- ・全二重
- ・7/8/9ビット切換え
- ・ストップビット1ビット(連続送信時は2ビット)
- ・ビットポーレートジェネレータ内蔵

ADコンバータ：12/8ビット×12チャンネル

- ・12/8ビットADコンバータ分解能切換え
- ・基準電圧自動発生制御

PWM：周期可変12ビットPWM×2チャンネル

リモコン受信回路(P73/INT3/T0IN端子と共用)

- ・ノイズ除去機能(ノイズ除去フィルタの時定数選択1/32/128tCYC)

ウォッチドッグタイマ

- ・RC外付けによるウォッチドッグタイマ
- ・割り込み,リセットの選択可能

割り込み

- ・22要因10ベクタ

割り込みは低レベル(L),高レベル(H),最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/TOL/INT4
4	0001BH	HまたはL	INT3/INT5/ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	SI00/UART1 受信
8	0003BH	HまたはL	SI01/UART1 送信
9	00043H	HまたはL	ADC/T6/T7
10	0004BH	HまたはL	ポート 0/T4/T5/PWM0,1

- ・優先レベル X>H>L
- ・同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大512レベル(スタックはRAMの中に設定)

高速乗除算命令

- ・16ビット×8ビット (実行時間 5tCYC)
- ・24ビット×16ビット (実行時間12tCYC)
- ・16ビット÷8ビット (実行時間 8tCYC)
- ・24ビット÷16ビット (実行時間12tCYC)

LC87F5G32A

発振回路

- ・RC発振回路(内蔵) : システムクロック用
- ・CF発振回路 : システムクロック用, Rf内蔵
- ・水晶発振回路 : 低速システムクロック用
- ・周波数可変RC発振回路(内蔵) : システムクロック用

システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで300ns, 600ns, 1.2 μ s, 2.4 μ s, 4.8 μ s, 9.6 μ s, 19.2 μ s, 38.4 μ s, 76.8 μ sの選択が可能(メインクロック10MHz使用時)

スタンバイ機能

- ・HALTモード: 命令実行停止, 周辺回路動作継続
発振の停止は自動的には行わない。
システムリセットまたは割り込みの発生により解除。
- ・HOLDモード: 命令実行停止, 周辺回路動作停止
CF発振, RC発振, 水晶発振のいずれも自動的に停止する。
HOLDモードを解除するには、次の3つの方法がある。
(1)リセット端子に「L」レベルを入力する。
(2)INT0, INT1, INT2, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
- ・X'tal HOLDモード: 命令実行停止, ベースタイマ以外の周辺回路動作停止
CF発振, RC発振は自動的に停止する。
水晶発振は突入時の状態を維持する。
X'tal HOLDモードを解除するには、次の4つの方法がある。
(1)リセット端子に、「L」レベルを入力する。
(2)INT0, INT1, INT2, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
(4)ベースタイマ回路で割り込み要因が成立する。

オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能

データセキュリティ機能

- ・フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止
(注)データセキュリティ機能には絶対的なセキュリティはない。

出荷形態

- ・QIP48E(14 \times 14)『鉛フリー仕様品』
- ・SQFP48(7 \times 7)『鉛フリー仕様品』

開発ツール

- ・エバチップ : LC87EV690
- ・エミュレータ : EVA62S + ECB876600A + SUB875G00 + POD48QFP
: ICE-B877300 + SUB875G00 + POD48QFP
- ・オンチップデバッグ : TCB87 TypeA + LC87F5G32A
: TCB87 TypeB + LC87F5G32A

LC87F5G32A

書き込み基板

パッケージ	書き込み基板
QIP48E(14×14)	W87F55256Q
SQFP48(7×7)	W87F55256SQ

フラッシュROMライター

メーカー	モデル	対応バージョン(注)	デバイス
フラッシュサポートグループ (旧安藤電気) (シングル)	AF9708/AF9709/AF9709B	02.40以降	LC87F5G32A FAST
フラッシュサポートグループ (旧安藤電気) (ギャング)	AF9723(本体)	02.40以降	LC87F5G32A FAST
	AF9833(ユニット)	01.84以降	
当社	SKK(SANYO FWS)	1.02C以降 (インストールCD)	LC87F5G32A

(注)最新のバージョンを確認すること。

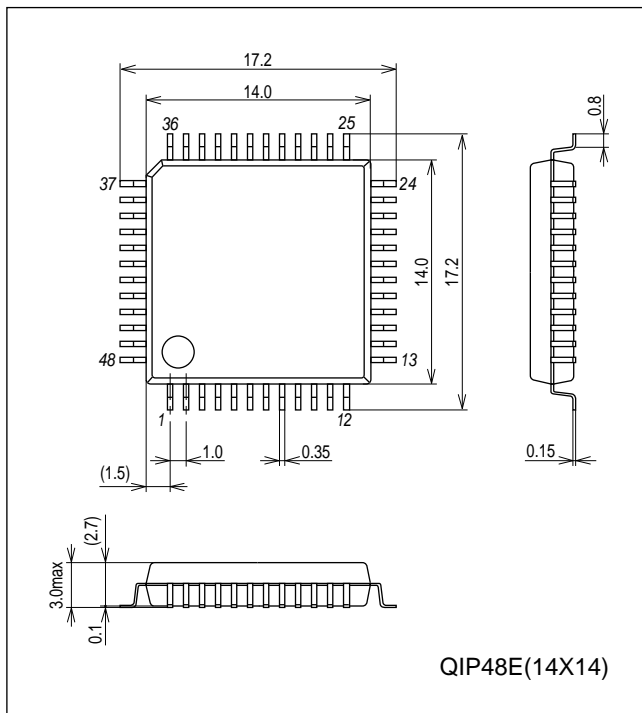
マスクROM版と同一パッケージ，同一ピン配列

- ・LC875G00シリーズのオプション機能をフラッシュROMデータによって指定できる。これにより、量産セット基板を使用した試作評価ができる。
- ・マスクROM版のプログラムを使用する場合、使用できるROM/RAM容量は、適用するマスクROM版と同じになる。

外形図

unit:mm (typ)

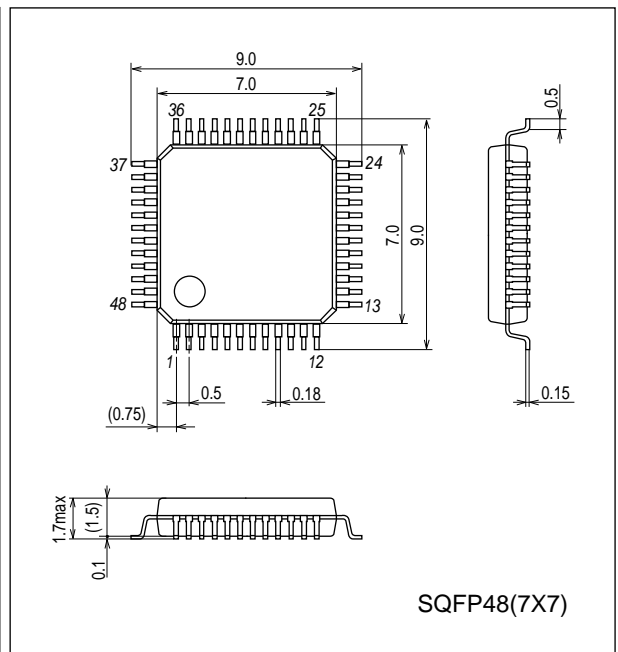
3156A



外形図

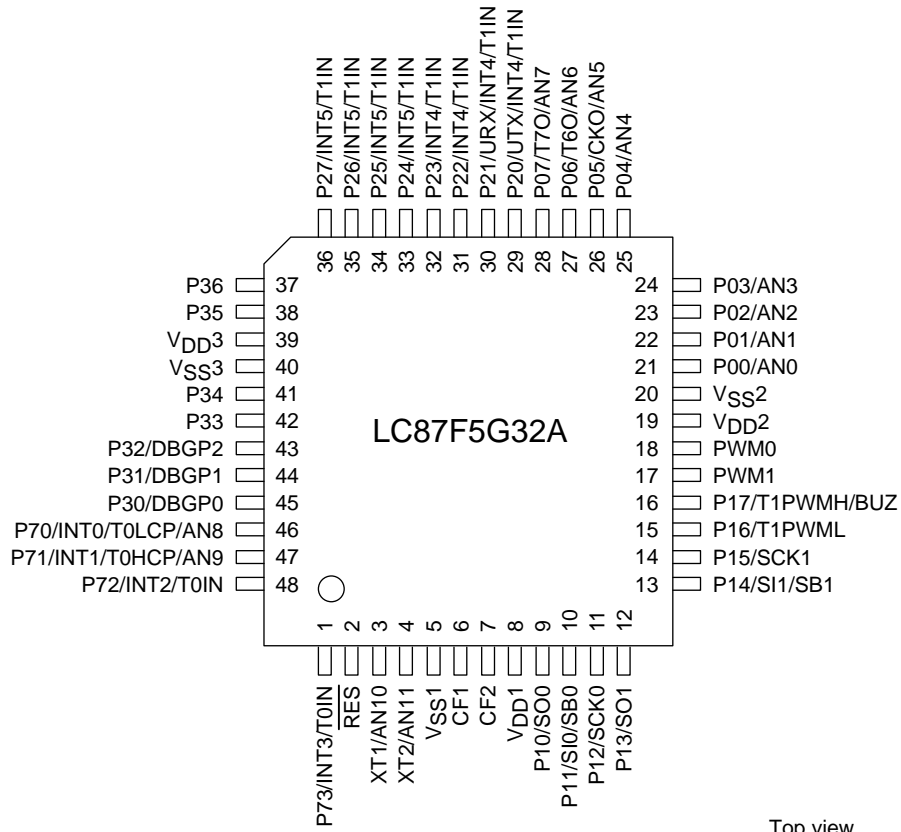
unit:mm (typ)

3163B



LC87F5G32A

ピン配置図



QIP48E(14 × 14) 『鉛フリー仕様品』
 SQFP48(7 × 7) 『鉛フリー仕様品』

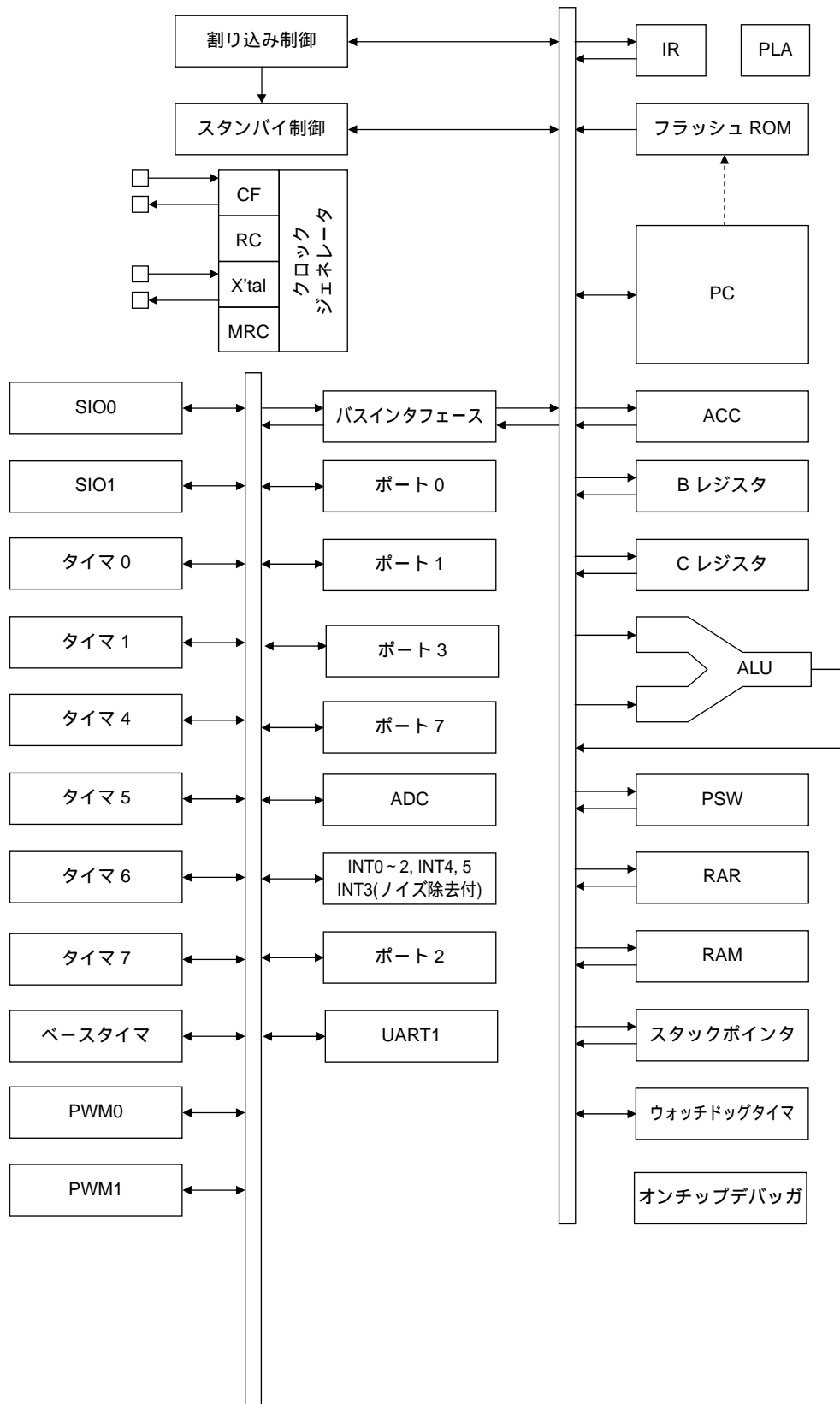
LC87F5G32A

SQFP/QIP	NAME
1	P73/INT3/T0IN
2	RES
3	XT1/AN10
4	XT2/AN11
5	VSS1
6	CF1
7	CF2
8	VDD1
9	P10/S00
10	P11/S10/SB0
11	P12/SCK0
12	P13/S01
13	P14/S11/SB1
14	P15/SCK1
15	P16/T1PWML
16	P17/T1PWMH/BUZ
17	PWM1
18	PWM0
19	VDD2
20	VSS2
21	P00/AN0
22	P01/AN1
23	P02/AN2
24	P03/AN3

SQFP/QIP	NAME
25	P04/AN4
26	P05/CK0/AN5
27	P06/T60/AN6
28	P07/T70/AN7
29	P20/UTX/INT4/T1IN
30	P21/URX/INT4/T1IN
31	P22/INT4/T1IN
32	P23/INT4/T1IN
33	P24/INT5/T1IN
34	P25/INT5/T1IN
35	P26/INT5/T1IN
36	P27/INT5/T1IN
37	P36
38	P35
39	VDD3
40	VSS3
41	P34
42	P33
43	P32/DBGP2
44	P31/DBGP1
45	P30/DBGP0
46	P70/INT0/TOLCP/AN8
47	P71/INT1/TOHCP/AN9
48	P72/INT2/T0IN

LC87F5G32A

システムブロック図



LC87F5G32A

端子機能表

端子名	I/O	機能説明	オプション																		
VSS1, VSS2, VSS3	-	電源の - 端子	なし																		
VDD1, VDD2, VDD3	-	電源の + 端子	なし																		
ポート 0 P00 ~ P07	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ 4 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力 ・ 兼用機能 P05 : システムクロック出力 P06 : タイマ 6 トグル出力 P07 : タイマ 7 トグル出力 AN0(P00) ~ AN7(P07) : AD 変換入力ポート 	あり																		
ポート 1 P10 ~ P17	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 P10 : SI00 データ出力 P11 : SI00 データ入力/バス入出力 P12 : SI00 クロック入出力 P13 : SI01 データ出力 P14 : SI01 データ入力/バス入出力 P15 : SI01 クロック入出力 P16 : タイマ 1PWML 出力 P17 : タイマ 1PWML 出力/ブザー出力 	あり																		
ポート 2 P20 ~ P27	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 P20 : UART 送信 P21 : UART 受信 P20 ~ P23 : INT4 入力/HOLD 解除入力/タイマ 1 イベント入力 /タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 P24 ~ P27 : INT5 入力/HOLD 解除入力/タイマ 1 イベント入力 /タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 <p>インタラプト受付形式</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 10%;"></th> <th style="width: 15%;">立ち上がり</th> <th style="width: 15%;">立ち下がり</th> <th style="width: 15%;">立ち上がり 立ち下がり</th> <th style="width: 15%;">H レベル</th> <th style="width: 15%;">L レベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT5</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル	INT4				×	×	INT5				×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル																
INT4				×	×																
INT5				×	×																
ポート 3 P30 ~ P36	I/O	<ul style="list-style-type: none"> ・ 7 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 兼用機能 オンチップデバッグ用端子 : DBGPO ~ 2(P30 ~ P32) 	あり																		

次ページへ続く。

LC87F5G32A

前ページより続く。

端子名	I/O	機能説明	オプション																														
ポート7 P70 ~ P73	I/O	<ul style="list-style-type: none"> ・ 4ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <p>P70 : INT0 入力/HOLD 解除入力/タイマ 0L キャプチャ入力 /ウォッチドッグタイマ用出力</p> <p>P71 : INT1 入力/HOLD 解除入力/タイマ 0H キャプチャ入力</p> <p>P72 : INT2 入力/HOLD 解除入力/タイマ 0 イベント入力 /タイマ 0L キャプチャ入力</p> <p>P73 : INT3 入力(ノイズフィルタ付入力)/タイマ 0 イベント入力 /タイマ 0H キャプチャ入力</p> <p>インタラプト受付形式</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table> <ul style="list-style-type: none"> ・ 兼用機能 <p>AN8(P70) ~ AN9(P71) : AD 変換入力ポート</p>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			×			INT1			×			INT2				×	×	INT3				×	×	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0			×																														
INT1			×																														
INT2				×	×																												
INT3				×	×																												
PWM0	0	<p>PWM0 出力ポート</p> <ul style="list-style-type: none"> ・ 汎用入出力可能 	なし																														
PWM1	0	<p>PWM1 出力ポート</p> <ul style="list-style-type: none"> ・ 汎用入出力可能 	なし																														
RES	I	リセット端子	なし																														
XT1	I	<ul style="list-style-type: none"> ・ 32.768kHz 水晶発振子用入力端子 ・ 兼用機能 <p>AN10 : AD 変換入力ポート 汎用入力ポート 使用しない場合は V_{DD1} に接続すること。</p>	なし																														
XT2	I/O	<ul style="list-style-type: none"> ・ 32.768kHz 水晶発振子用出力端子 ・ 兼用機能 <p>AN11 : AD 変換入力ポート 汎用入出力ポート 使用しない場合は発振仕様にして、オープンにすること。</p>	なし																														
CF1	I	セラミック発振子用入力端子	なし																														
CF2	0	セラミック発振子用出力端子	なし																														

LC87F5G32A

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

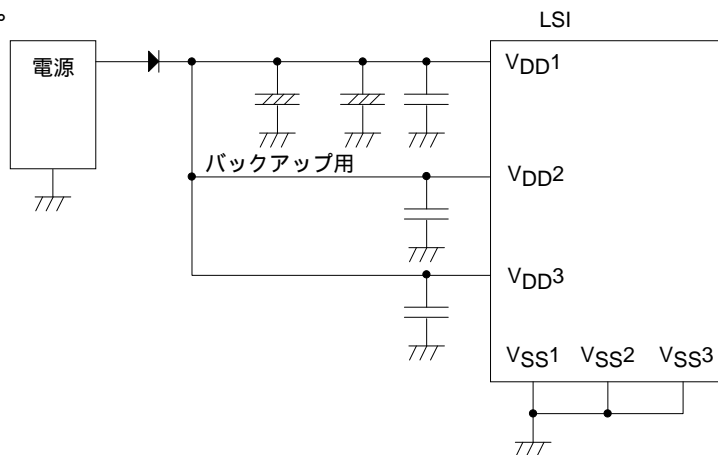
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10 ~ P17 P20 ~ P27 P30 ~ P36	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
PWM0, PWM1	-	なし	CMOS	なし
XT1	-	なし	32.768kHz 水晶発振子用入力 (入力専用ポート)	なし
XT2	-	なし	32.768kHz 水晶発振子用出力 (汎用出力ポート時は Nch-オープンドレイン)	なし

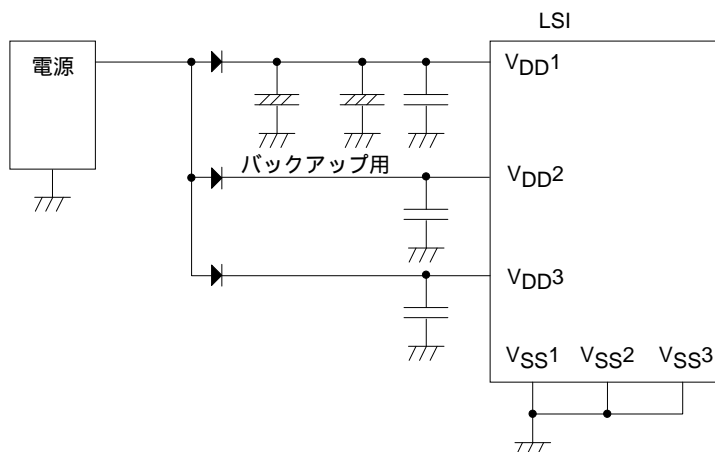
注1：ポート0のプログラマブルプルアップ抵抗は、4ビット単位(P00~03, P04~07)の制御になる。

1：V_{DD1}端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続すること。V_{SS1}端子とV_{SS2}端子とV_{SS3}端子は必ず電氣的にショートすること。

(例1) HOLDモードでバックアップ時、ポート出力の「H」レベルはバックアップ用コンデンサより供給される。



(例2) HOLDモードバックアップ時、ポートの「H」レベル出力は保持されず不定となる。



LC87F5G32A

絶対最大定格/Ta=25℃, VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				unit	
				VDD[V]	min	typ	max		
最大電源電圧	VDD max	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		- 0.3		+ 6.5	V	
入力電圧	VI	XT1, CF1			- 0.3		VDD + 0.3		
入出力電圧	VI/O	ポート0, 1, 2 ポート3, 7 PWM0, PWM1, XT2			- 0.3		VDD + 0.3		
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート0, 1, 2, 3	CMOS出力選択 適用1端子当り		- 10		mA	
		IOPH(2)	PWM0, PWM1	CMOS出力選択 適用1端子当り		- 20			
		IOPH(3)	P71 ~ P73	適用1端子当り		- 5			
	平均出力電流 (注1-1)	IOMH(1)	ポート0, 1, 2, 3	CMOS出力選択 適用1端子当り		- 7.5			
		IOMH(2)	PWM0, PWM1	CMOS出力選択 適用1端子当り		- 15			
		IOMH(3)	P71 ~ P73	適用1端子当り		- 3			
	合計出力電流	ΣIOAH(1)	P71 ~ P73	適用全端子合計		- 10			
		ΣIOAH(2)	ポート0	適用全端子合計		- 25			
		ΣIOAH(3)	ポート1 PWM0, PWM1	適用全端子合計		- 25			
		ΣIOAH(4)	ポート0, 1 PWM0, PWM1	適用全端子合計		- 45			
		ΣIOAH(5)	ポート2, P35, P36	適用全端子合計		- 25			
		ΣIOAH(6)	P30 ~ P34	適用全端子合計		- 25			
		ΣIOAH(7)	ポート2, 3	適用全端子合計		- 45			
低レベル出力電流	ピーク出力電流	IOPL(1)	P02 ~ P07 ポート1, 2, 3 PWM0, PWM1	適用1端子当り			20		
		IOPL(2)	P00, P01	適用1端子当り			30		
		IOPL(3)	ポート7, XT2	適用1端子当り			10		
	平均出力電流 (注1-1)	IOML(1)	P02 ~ P07 ポート1, 2, 3 PWM0, PWM1	適用1端子当り			15		
		IOML(2)	P00, P01	適用1端子当り			20		
		IOML(3)	ポート7, XT2	適用1端子当り			7.5		
	合計出力電流	ΣIOAL(1)	ポート7, XT2	適用全端子合計			15		
		ΣIOAL(2)	ポート0	適用全端子合計			45		
		ΣIOAL(3)	ポート1 PWM0, PWM1	適用全端子合計			45		
		ΣIOAL(4)	ポート0, 1 PWM0, PWM1	適用全端子合計			80		
		ΣIOAL(5)	ポート2, P35, P36	適用全端子合計			45		
		ΣIOAL(6)	P30 ~ P34	適用全端子合計			45		
		ΣIOAL(7)	ポート2, 3	適用全端子合計			60		

注1-1: 平均出力電流は100ms期間の平均値を示す。

次ページへ続く。

LC87F5G32A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
許容消費電力	Pd max	SQFP48(7×7)	Ta= -30 ~ +70				190	mW
		QIP48E(14×14)					390	
動作周囲温度	Topr				-30		70	
保存周囲温度	Tstg				-55		125	

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

許容動作条件/Ta= -30 ~ +70 , V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
動作電源電圧 (注2-1)	V _{DD} (1)	V _{DD1} =V _{DD2} =V _{DD3}	0.294μs tCYC 200μs		4.0		5.5	V
	V _{DD} (2)				3.0		5.5	
	V _{DD} (3)				2.5		5.5	
メモリ保持 電源電圧	V _{HD}	V _{DD1} =V _{DD2} =V _{DD3}	HOLDモード時 RAM, レジスタ保持		2.0		5.5	
高レベル 入力電圧	V _{IH} (1)	ポート1,2,3 P71~P73 P70のポート入力 /割り込み側 PWM0, PWM1		2.5~5.5	0.3V _{DD} +0.7		V _{DD}	V
	V _{IH} (2)	ポート0		2.5~5.5	0.3V _{DD} +0.7		V _{DD}	
	V _{IH} (3)	ポート70の ウォッチドッグ タイマ側		2.5~5.5	0.9V _{DD}		V _{DD}	
	V _{IH} (4)	XT1, XT2, CF1, $\overline{\text{RES}}$		2.5~5.5	0.75V _{DD}		V _{DD}	
低レベル 入力電圧	V _{IL} (1)	ポート1,2,3 P71~P73 P70のポート入力 /割り込み側 PWM0, PWM1		4.0~5.5	V _{SS}		0.1V _{DD} +0.4	μs
				2.5~4.0	V _{SS}		0.2V _{DD}	
	V _{IL} (2)	ポート0		4.0~5.5	V _{SS}		0.15V _{DD} +0.4	
				2.5~4.0	V _{SS}		0.2V _{DD}	
	V _{IL} (3)	ポート70の ウォッチドッグ タイマ側		2.5~5.5	V _{SS}		0.8V _{DD} -1.0	
V _{IL} (4)	XT1, XT2, CF1, $\overline{\text{RES}}$		2.5~5.5	V _{SS}		0.25V _{DD}		
命令サイクル タイム(注2-1)	tCYC (注2-2)			4.0~5.5	0.294		200	μs
				3.0~5.5	0.367		200	
				2.5~5.5	0.588		200	

注 2-1 : フラッシュ ROM へのオンボード書き込みは、V_{DD} 3.0V とすること。

注 2-2 : tCYC と発振周波数の関係式は、1/1 分周時 : 3/FmCF、1/2 分周時 : 6/FmCF。

次ページへ続く。

LC87F5G32A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
外部システム クロック周波数	FEXCF	CF1	・CF2端子オープン ・システムクロック 分周1/1 ・外部システムクロック のDUTY50±5%	4.0~5.5	0.1		10	MHz
			・CF2端子オープン ・システムクロック 分周1/1 ・外部システムクロック のDUTY50±5%	2.5~5.5	0.1		5	
			・CF2端子オープン ・システムクロック 分周1/2	4.0~5.5	0.2		20.4	
			・CF2端子オープン ・システムクロック 分周1/2	2.5~5.5	0.1		10	
発振周波数範囲 (注2-3)	FmCF(1)	CF1,CF2	10MHzセラミック発振時 図1参照	4.0~5.5		10		
	FmCF(2)	CF1,CF2	8MHzセラミック発振時 図1参照	3.0~5.5		8		
	FmCF(3)	CF1,CF2	5MHzセラミック発振時 図1参照	2.5~5.5		5		
	FmRC		内蔵RC発振	2.5~5.5	0.3	1.0	2.0	
	FmMRC		周波数可変RC源発振	2.5~5.5		16		
	FsX'tal	XT1,XT2	32.768kHz水晶発振時 図2参照	2.5~5.5		32.768		kHz

注 2-3：発振定数は表 1,2 参照のこと。

LC87F5G32A

電気的特性/Ta= - 30 ~ + 70 , V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	ポート 0,1,2,3 ポート 7 $\overline{\text{RES}}$ P _{WM0} , P _{WM1}	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{DD} (出力 Tr. のオフリーク 電流を含む)	2.5 ~ 5.5			1	μA
	I _{IH} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{DD}	2.5 ~ 5.5			1	
	I _{IH} (3)	CF1	V _{IN} =V _{DD}	2.5 ~ 5.5			15	
低レベル入力電流	I _{IL} (1)	ポート 0,1,2,3 ポート 7 $\overline{\text{RES}}$ P _{WM0} , P _{WM1}	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{SS} (出力 Tr. のオフリーク 電流を含む)	2.5 ~ 5.5	- 1			μA
	I _{IL} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{SS}	2.5 ~ 5.5	- 1			
	I _{IL} (3)	CF1	V _{IN} =V _{SS}	2.5 ~ 5.5	- 15			
高レベル出力電圧	V _{OH} (1)	ポート 0,1,2,3	I _{OH} = - 1mA	4.5 ~ 5.5	V _{DD} - 1			V
	V _{OH} (2)		I _{OH} = - 0.1mA	2.5 ~ 5.5	V _{DD} - 0.5			
	V _{OH} (3)	P71 ~ P73	I _{OH} = - 0.4mA	4.5 ~ 5.5	V _{DD} - 1			
	V _{OH} (4)	P _{WM0} , P _{WM1} ,	I _{OH} = - 6mA	4.5 ~ 5.5	V _{DD} - 1			
	V _{OH} (5)	P05(CKO システム クロック出力機能 使用時)	I _{OH} = - 1.6mA	4.5 ~ 5.5	V _{DD} - 0.4			
	V _{OH} (6)		I _{OH} = - 1mA	2.5 ~ 5.5	V _{DD} - 0.4			
低レベル出力電圧	V _{OL} (1)	ポート 0,1,2,3	I _{OL} =10mA	4.5 ~ 5.5			1.5	V
	V _{OL} (2)	P _{WM0} , P _{WM1} , XT2	I _{OL} =1.6mA	4.5 ~ 5.5			0.4	
	V _{OL} (3)		I _{OL} =1mA	2.5 ~ 5.5			0.4	
	V _{OL} (4)	P00, P01	I _{OL} =30mA	4.5 ~ 5.5			1.5	
	V _{OL} (5)	ポート 7	I _{OL} =1mA	2.5 ~ 5.5			0.4	
プルアップ抵抗	R _{pu} (1)	ポート 0,1,2,3 ポート 7	V _{OH} =0.9V _{DD}	4.5 ~ 5.5	15	35	80	kΩ
	R _{pu} (2)	ポート 0,1,2,3 ポート 7	V _{OH} =0.9V _{DD}	2.5 ~ 4.5	18	50	150	
ヒステリシス電圧	V _{HYS}	$\overline{\text{RES}}$ ポート 1 ポート 2 ポート 7		2.5 ~ 5.5		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} =V _{SS} f=1MHz Ta=25	2.5 ~ 5.5		10		pF

LC87F5G32A

シリアル入出力特性/ $T_a = -30 \sim +70$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

1. S100 シリアル入出力特性 (注 4-1-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(1)	SCK0(P12)	図6参照	2.5~5.5	2			tCYC
		低レベルパルス幅	tSCKL(1)				1			
		高レベルパルス幅	tSCKH(1)				1			
			tSCKHA(1)						4	
	出力クロック	周期	tSCK(2)	SCK0(P12)	・CMOS出力選択時 ・図6参照	2.5~5.5	4/3			tSCK
		低レベルパルス幅	tSCKL(2)				1/2			
		高レベルパルス幅	tSCKH(2)				1/2			
			tSCKHA(2)				・連続データ送受信モード ・CMOS出力選択時 ・図6参照	tSCKH(2) + 2tCYC	tSCKH(2) + (10/3) tCYC	tCYC
シリアル入力	データセットアップ時間	tsDI(1)	S10(P11), SB0(P11)	・SIOCLKの立ち上がり に対して規定する ・図6参照	2.5~5.5	0.03				
	データホールド時間	thDI(1)				0.03				
シリアル出力	入力クロック	出力遅延時間	tdDO(1)	S00(P10), SB0(P11)	2.5~5.5				(1/3)tCYC + 0.05	μs
			tdDO(2)						・同期式8ビットモード (注4-1-3)	
	出力クロック	tdDO(3)	(注4-1-3)						(1/3)tCYC + 0.05	

注 4-1-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-1-2 : 連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態からS10RUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間を tSCKHA より長くすること。

注 4-1-3 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC87F5G32A

2.SI01 シリアル入出力特性(注 4-2-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(3)	SCK1(P15)	図6参照	2.5~5.5	2			tCYC
		低レベルパルス幅	tSCKL(3)				1			
		高レベルパルス幅	tSCKH(3)				1			
	出力クロック	周期	tSCK(4)	SCK1(P15)	・CMOS出力選択時 ・図6参照	2.5~5.5	2			tSCK
		低レベルパルス幅	tSCKL(4)				1/2			
		高レベルパルス幅	tSCKH(4)				1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SI1(P14), SB1(P14)	・SIOCLKの立ち上がり に対して規定する ・図6参照	2.5~5.5	0.03			μs	
	データホールド時間	thDI(2)				0.03				
シリアル出力	出力遅延時間	tdD0(4)	S01(P13), SB1(P14)	・SIOCLKの立ち下がり に対して規定する ・オープンドレイン出力時は出力変化開始 までの時間として規定する。 ・図6参照	2.5~5.5			(1/3)tCYC +0.05	μs	

注4-2-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC87F5G32A

パルス入力条件/ $T_a = -30 \sim +70$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20~P23), INT5(P24~P27)	・割り込み要因フラグを セットできる。 ・タイマ0,1へのイベント 入力ができる。	2.5~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の特定数が1/1の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の特定数が1/32の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の特定数が1/128の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.5~5.5	256			
	tPIL(5)	RES	リセットできる。	2.5~5.5	200			μs

AD変換特性/ $V_{SS1}=V_{SS2}=V_{SS3}=0V$

<12ビットAD変換モード/ $T_a = -10 \sim +50$ >

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
分解能	N	AN0(P00)		4.75~5.25		12		bit
絶対精度	ET	~ AN7(P07)	(注6-1)	4.75~5.25			T.B.D	LSB
変換時間	TCAD	AN8(P70) AN9(P71)	変換時間算出方法参照 (注6-2)	4.75~5.25	38.5		90	μs
アナログ入力 電圧範囲	VAIN	AN10(XT1) AN11(XT2)		4.75~5.25	V_{SS}		V_{DD}	V
アナログポート 入力電流	IAINH		$V_{AIN}=V_{DD}$	4.75~5.25			1	μA
	IAINL		$V_{AIN}=V_{SS}$	4.75~5.25	-1			

<8ビットAD変換モード/ $T_a = -30 \sim +70$ >

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
分解能	N	AN0(P00)		3.0~5.5		8		bit
絶対精度	ET	~ AN7(P07)	(注6-1)	3.0~5.5			± 1.5	LSB
変換時間	TCAD	AN8(P70) AN9(P71)	変換時間算出方法参照 (注6-2)	4.5~5.5	22.5		90	μs
				3.0~5.5	45		90	
アナログ入力 電圧範囲	VAIN	AN10(XT1) AN11(XT2)		3.0~5.5	V_{SS}		V_{DD}	V
アナログポート 入力電流	IAINH		$V_{AIN}=V_{DD}$	3.0~5.5			1	μA
	IAINL		$V_{AIN}=V_{SS}$	3.0~5.5	-1			

LC87F5G32A

< 変換時間算出方法 >

12ビットAD変換モード：TCAD(変換時間) = ((52/(分周比)) + 2) × (1/3) × tCYC

8ビットAD変換モード：TCAD(変換時間) = ((32/(分周比)) + 2) × (1/3) × tCYC

注6-1：絶対精度は量子化誤差(±1/2LSB)を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

注6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をいう。

変換時間は下記の時、通常の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビットAD変換モードから12ビット変換モードに切り換え、最初のAD変換を行った時。

消費電流特性/Ta = -30 ~ +70 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
通常動作時 消費電流 (注7-1)	IDDOP(1)	V _{DD1} =V _{DD2} =V _{DD3}	<ul style="list-style-type: none"> ・FmCF=10MHzセラミック発振時 ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 	4.0 ~ 5.5		7.7	20	mA
	IDDOP(2)		<ul style="list-style-type: none"> ・CF1=20MHz外部クロック ・FsX'tal=32.768kHz水晶発振時 ・システムクロックはCF1側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時 	4.0 ~ 5.5		8.7	20	
	IDDOP(3)		<ul style="list-style-type: none"> ・FmCF=5MHz セラミック発振時 ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは5MHz側 	4.5 ~ 5.5		5.2	12	
	IDDOP(4)		<ul style="list-style-type: none"> ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 	2.5 ~ 4.5		3.5	10	
	IDDOP(5)		<ul style="list-style-type: none"> ・FmCF=0Hz(発振停止) ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 	4.5 ~ 5.5		0.7	2.9	
	IDDOP(6)		<ul style="list-style-type: none"> ・周波数可変RC発振は停止 ・1/2分周時 	2.5 ~ 4.5		0.4	2.1	
	IDDOP(7)		<ul style="list-style-type: none"> ・FmCF=0Hz(発振停止) ・FsX'tal=32.768kHz水晶発振時 ・内蔵RC発振は停止 	4.5 ~ 5.5		1.4	5.3	
	IDDOP(8)		<ul style="list-style-type: none"> ・システムクロックは周波数可変RC発振で1MHz設定 ・1/2分周時 	2.5 ~ 4.5		0.9	3.9	

注7-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

次ページへ続く。

LC87F5G32A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
通常動作時 消費電流 (注7-1)	IDDOP(9)	V _{DD1} =V _{DD2} =V _{DD3}	・FmCF=0Hz(発振停止) ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止	4.5 ~ 5.5		34	90	μA	
	IDDOP(10)		・周波数可変RC発振は停止 ・1/2分周時	2.5 ~ 4.5		23	70		
HALTモード 消費電流 (注7-1)	IDDHALT(1)		HALTモード ・FmCF=10MHzセラミック発振時 ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時	4.0 ~ 5.5		3.1	6	mA	
	IDDHALT(2)		HALTモード ・CF1=20MHz外部クロック ・FsX'tal=32.768kHz水晶発振時 ・システムクロックはCF1側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時	4.0 ~ 5.5		4	9		
	IDDHALT(3)		・HALTモード ・FmCF=5MHzセラミック発振時 ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは5MHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時	4.5 ~ 5.5		1.9	4.1		
	IDDHALT(4)		・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時	2.5 ~ 4.5		1.3	3.0		
	IDDHALT(5)		・HALTモード ・FmCF=0Hz(発振停止) ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 ・周波数可変RC発振は停止 ・1/2分周時	4.5 ~ 5.5		0.35	1.4		
	IDDHALT(6)		・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時	2.5 ~ 4.5		0.25	0.95		
	IDDHALT(7)		・HALTモード ・FmCF=0Hz(発振停止) ・FsX'tal=32.768kHz水晶発振時 ・内蔵RC発振は停止	4.5 ~ 5.5		1.1	4		
	IDDHALT(8)		・システムクロックは周波数 可変RC発振で1MHz設定 ・1/2分周時	2.5 ~ 4.5		0.8	3.0		
	IDDHALT(9)		・HALTモード ・FmCF=0Hz(発振停止) ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時	4.5 ~ 5.5		20	51		μA
	IDDHALT(10)		・内蔵RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時	2.5 ~ 4.5		18	35		

注7-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

次ページへ続く。

LC87F5G32A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HOLDモード 消費電流	IDDHOLD(1)	V _{DD1}	HOLDモード ・CF1=V _{DD} またはオープン (外部クロック時)	4.5~5.5		0.04	11	μA
				2.5~4.5		0.01	8	
時計HOLD モード 消費電流	IDDHOLD(2)	V _{DD1}	時計HOLDモード ・CF1=V _{DD} またはオープン (外部クロック時) ・FsX'tal=32.768kHz水晶発振時	4.5~5.5		17	50	μA
				2.5~4.5		12	30	

F-ROM書き込み特性/Ta= +10 ~ +55 , V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
オンボード 書き込み電流	IDDFW(1)	V _{DD1}	・128バイト書き込み ・消去電流も含む	3.0~5.5		25	40	mA
書き込み時間	tFW(1)		・128バイト書き込み ・消去動作も含む ・128バイトのデータを そろえる時間は除く	3.0~5.5		22.5	45	ms

UART(全二重)動作条件/Ta= -30 ~ +70 , V_{SS1}=V_{SS2}=V_{SS3}=0V

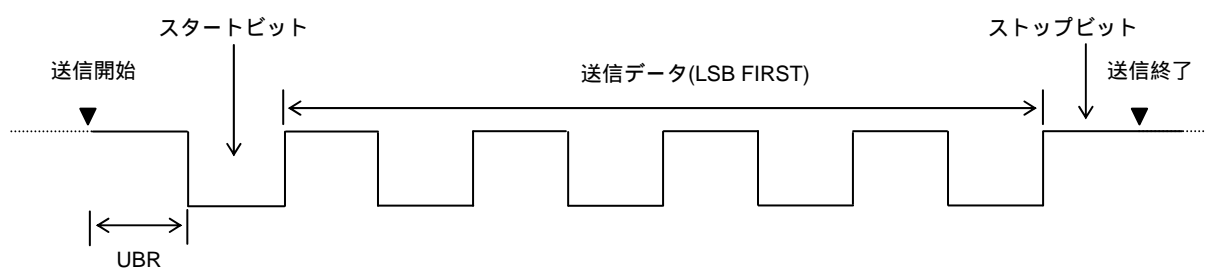
項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
転送レート	UBR	UTX1(P20) RTX1(P21)		2.5~5.5	16/3		8192/3	tCYC

データ長 : 7/8/9ビット(LSB FIRST)

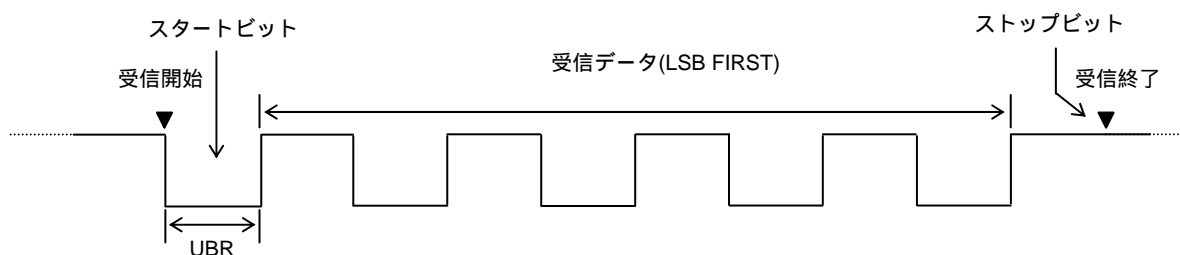
ストップビット長 : 1ビット(連続送信時は2ビット)

パリティビット : なし

連続8ビットデータ送信モードの例(最初の送信データ=55H)



連続8ビットデータ受信モードの例(最初の受信データ=55H)



LC87F5G32A

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表 1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd1 [Ω]		typ [ms]	max [ms]	
10MHz	村田 製作所	CSTCE10M0G52-R0	(10)	(10)	Open	680	4.0~5.5	0.1	0.5	C1, C2 内蔵品 (SMD)
		CSTCE10M0G52-B0	(10)	(10)	Open	680	4.0~5.5	0.1	0.5	
8MHz	村田 製作所	CSTCE8M00G52-R0	(10)	(10)	Open	1.0k	3.0~5.5	0.1	0.5	C1, C2 内蔵品 (SMD)
		CSTCE8M00G52-B0	(10)	(10)	Open	1.0k	3.0~5.5	0.1	0.5	
5MHz	村田 製作所	CSTCR5M00G53-R0	(15)	(15)	Open	2.2k	2.5~5.5	0.2	0.6	C1, C2 内蔵品 (SMD)
		CSTCR5M00G53-B0	(15)	(15)	Open	2.2k	2.5~5.5	0.2	0.6	

発振安定時間は、 V_{DD} が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。

(図 4 参照)

電源電圧を 2.5V からご使用の場合には、帰還抵抗(Rf)を 1MΩ挿入すること。

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表 2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf [Ω]	Rd2 [Ω]		typ [s]	max [s]	
32.768kHz	エプソン トヨコム	MC-306	18	18	Open	510k	2.5~5.5	1.1	3.0	適用 CL 値 12.5pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLD モードを解除後、発振が安定するまでに必要な時間である。(図 4 参照)

注意：回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

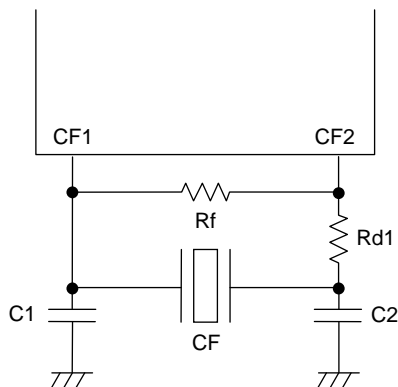


図 1 CF 発振回路

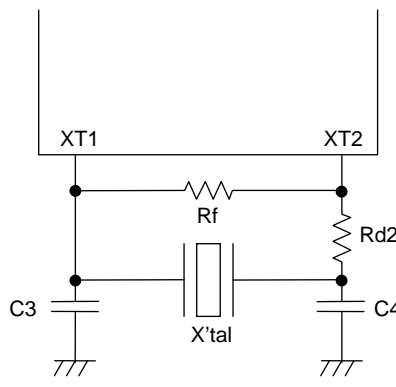


図 2 XT 発振回路

LC87F5G32A

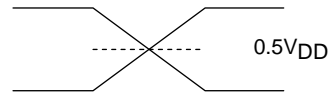
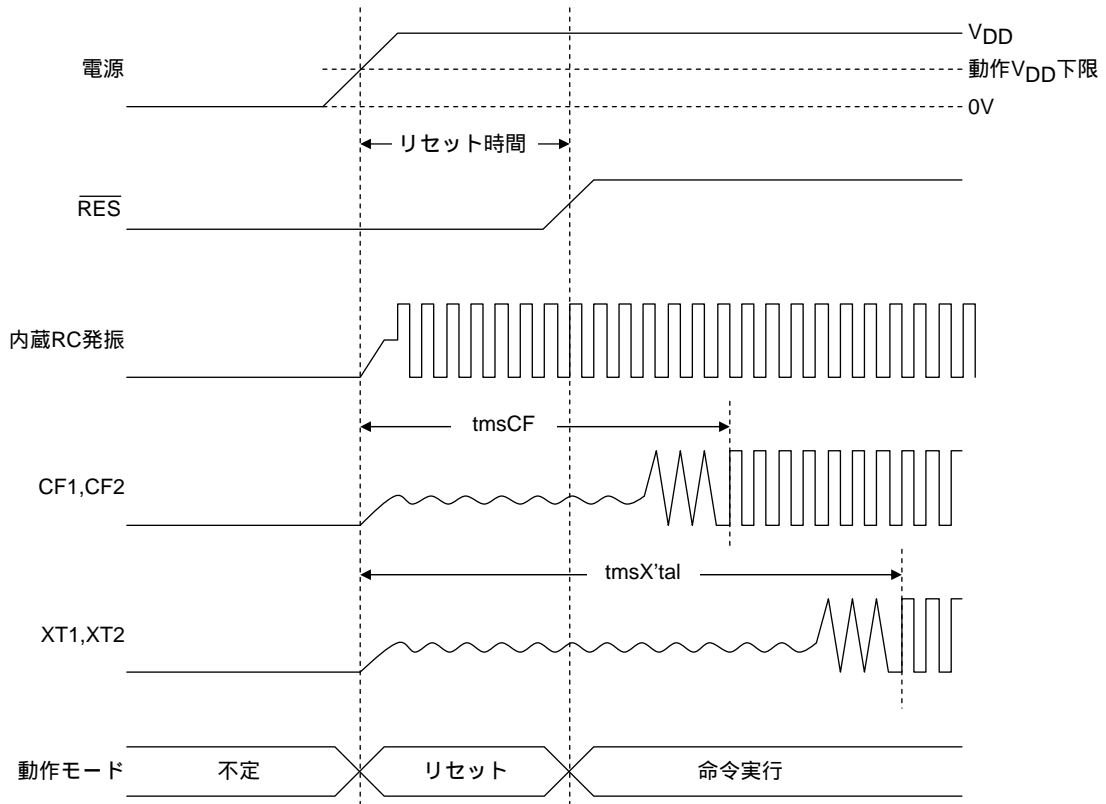
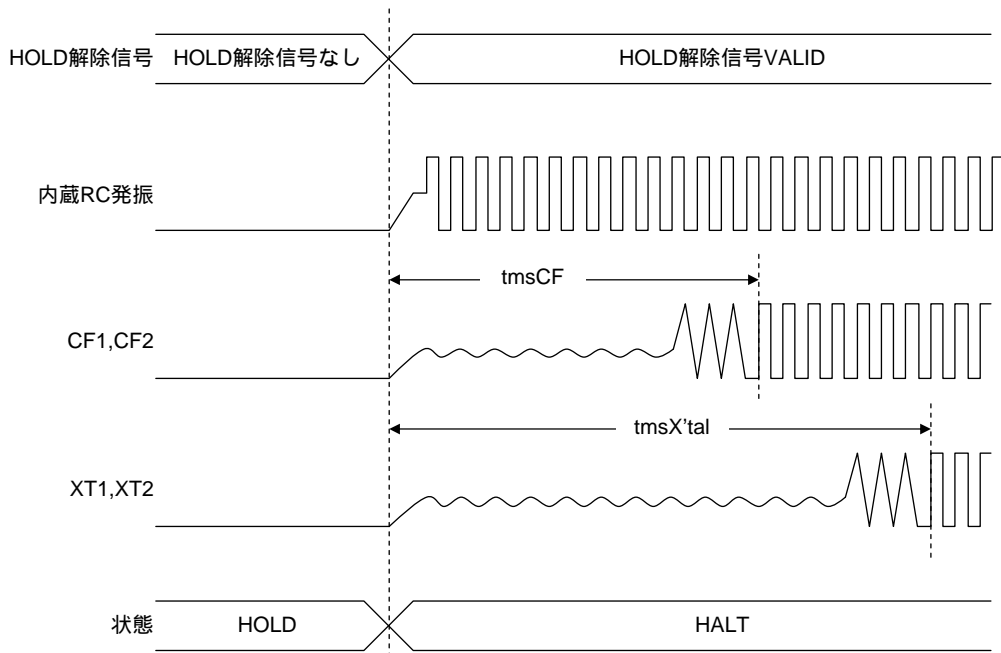


図3 ACタイミング測定点



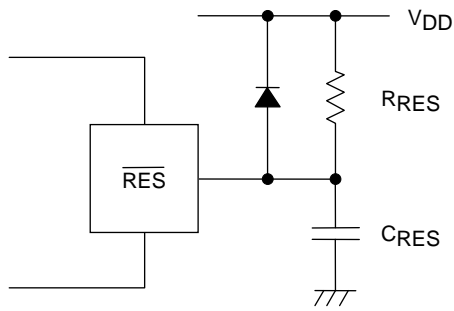
リセット時間と発振安定時間



HOLD解除信号と発振安定時間

図4 発振安定時間

LC87F5G32A



(注意)

電源が動作電源電圧の下限を上回ってから
200 μ sの期間リセットがかかるように
 C_{RES} , R_{RES} の値を決めること。

図5 リセット回路

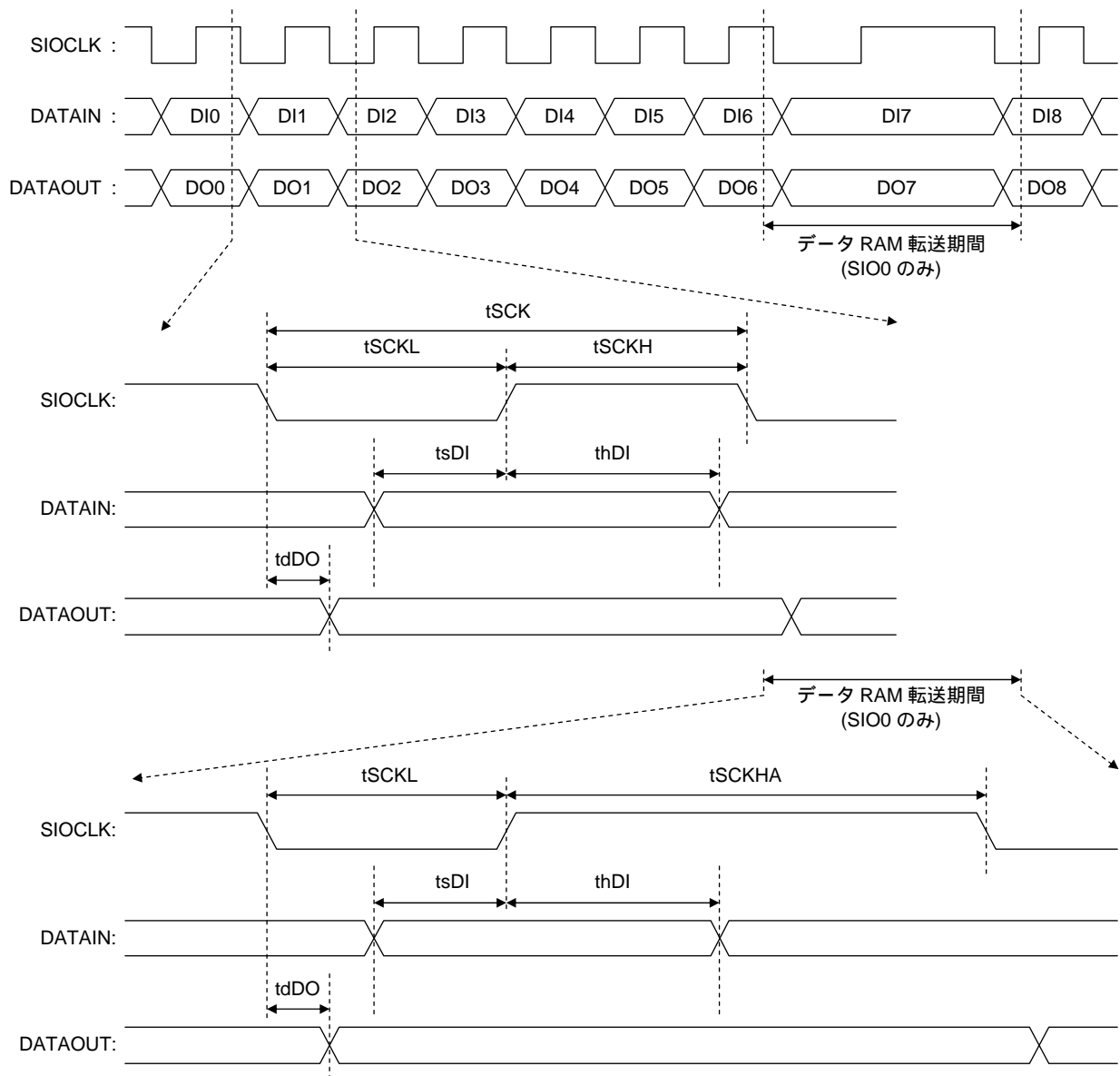


図6 シリアル入出力波形

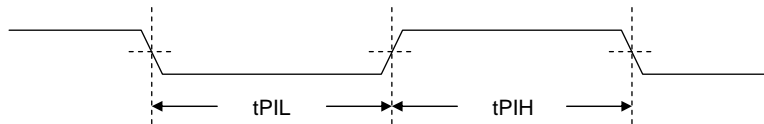


図7 パルス入力タイミング波形

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。