



ON Semiconductor®

<http://onsemi.jp>

LV23401V

ホームオーディオ機器向け FM/AM 1チップチューナIC

概要

LV23401Vは、ホームオーディオ機器向けFM/AM 1チップチューナICである。

機能

- ・ AMチューナ
- ・ FMチューナ
- ・ MPXステレオデコーダ
- ・ FLLチューニングシステム

特長

- ・ チューナIC、PLL ICが1チップ
- ・ MPX-VCO内蔵無調整
- ・ FM/AM出力レベル独立設定可能
- ・ アクティブLPF用MOSトランジスタ内蔵

特長

- ・ 外付け部品の調整作業が一切不要
- ・ 簡単コマンドベースによるCCBコントロール
- ・ LOW-IF周波数(FM=225kHz、AM=53kHz)採用により外付け部品削減
- ・ 低雑音MIX入力回路で高感度受信実現
- ・ ソフトプログラム変更により、日米欧の全バンドを受信可能(76MHz ~ 108MHz)
- ・ FLL(Frequency Locked Loop)同調機能内蔵
- ・ ソフトミュート、ステレオブレンド機能(7段階プログラム制御可能)
- ・ 隣接チャンネル妨害除去機能内蔵
- ・ ステレオパイロットキャンセル機能内蔵
- ・ EN55020-S1規格対応(欧州イミニティー)
- ・ パワーセーブ機能内蔵

最大定格/Ta=25℃、GND1=GND2=GND3=GND4=0V

項目	記号	条件	定格値	unit
最大電源電圧	V _{CC} max	アナログ部供給電圧	10.0	V
最大出力電圧	V _O max	D0	4.5	V
最大入力電圧	V _{IN1} max	CE、DI、CL	*1) V _{ref2} +0.35	V
	V _{IN2} max	CLK IN	4.5	V

次ページへ続く。

LV23401V

前ページより続く。

項目	記号	条件	定格値	unit
許容消費電力	Pd max	Ta 70 *2)	450	mV
動作周囲温度	Topr		- 20 ~ + 70	
保存周囲温度	Tstg		- 40 ~ + 125	

*1):Vref2=22ピン電圧

*2):指定基板付き：114.3mm×76.1mm×1.6mm ガラスエポキシ基板

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

動作条件/Ta=25、GND1=GND2=GND3=GND4=0V

項目	記号	条件	定格値	unit
推奨電源電圧	VCC	アナログ部供給電圧 *)	9.0	V
動作電源電圧範囲	VCC op	Resister 1Eh Bit 1(LEVSHIF)=0	4.5 ~ 6.5	V
		Resister 1Eh Bit 1(LEVSHIF)=1	8.5 ~ 9.5	V

* ノイズ等による電圧変動が生じないように供給電圧の安定化を推進すること。

インターフェース部許容動作範囲/Ta=-20 ~ +70、VSS=0V

項目	記号	条件	min	typ	max	Unit
入力「H」レベル電圧	V _I H1	CE,DI,CL	2.3	-	3.435	V
	V _I H2	CLK IN	2.3	-	3.435	V
入力「L」レベル電圧	V _I L1	CE,DI,CL	0	-	0.5	V
	V _I L2	CLK IN	0	-	0.3	V
出力電圧	V _O	D0	0	-	4.0	V
水晶周波数	f _{IN}	CLK IN	-	32.768	-	kHz
水晶周波数偏差	f devi1	ヨロヅバ°・イニチー規格対応時	-50	-	+50	ppm
	f devi2	ヨロヅバ°・イニチー規格非対応時	-150	-	+150	ppm
水晶振動子負荷容量	CL	*	4	12.5	-	pF

* 使用する基板、回路定数により変化するため、水晶メーカへの評価依頼を推奨する。

動作特性/Ta=25、VCC=9.0V、指定測定回路に於いて

項目	記号	条件	min	typ	max	unit
消費電流(無入力時)	I _{CC} FM	15Pin供給電流 FM時無入力	32	42	52	mA
	I _{CC} AM	15Pin供給電流 AM時無入力	30	40	50	mA
パワーセーブ消費電流	I standby	15Pin供給電流 パワーセーブ : Register1Fh_bit0=0	-	0.25	0.7	mA
V _{DD} 出力電圧	V _{DD}	22Pin端子電圧 参考値	(2.772)	3.3	(3.435)	V
V _{DD} 出力電圧	V _{DD} _drop	22Pin端子電圧、10mAドライブ時 *最大ドライブ電流=10mA	-	0.15	-	V

[FM受信特性]:fc=98MHz, V_{IN}=60dBμV, fm=1kHz, De-emphasis=50μs, IF=225kHz, BW=50%

MONO: 75kHz dev.

STEREO: L+R=67.5kHz drv, Pilot=7.5kHz dev.

Volumn level=3, Soft muto=off, Soft stereo=off, Resister 1Eh Bit 1(LEVSHIF)=1, 9ピン出力, IHF-BPF

S/N50dB感度	SN50	S/N=50dBとなる入力レベル	-	17	24	dBμV
S/N30dB感度	SN30	S/N=30dBとなる入力レベル	-	12	18	dBμV
IHF感度	IHF	THD=3%となる入力レベル	-	12	20	dBμV

次ページへ続く。

LV23401V

前ページより続く。

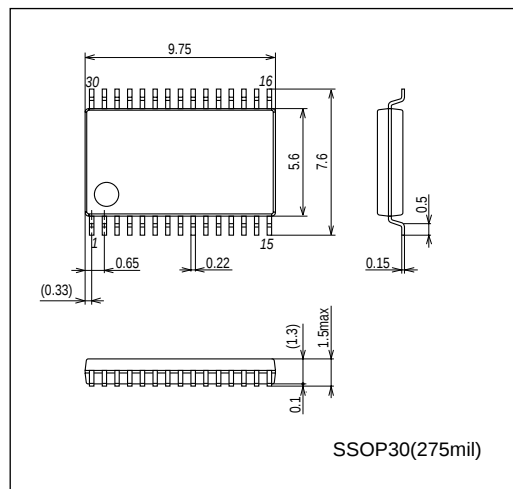
項目	記号	条件	min	typ	max	unit
信号対雑音比	SN	MONO	62	70	-	dB
	SN-ST1	STEREO	58	66	-	dB
全高調波歪率	THD1	MONO	-	0.5	1.5	%
	THD1-ST	STEREO	-	0.5	2.5	%
	THD2	MONO, 150kHz dev.	-	1.5	5	%
	THD3	MONO, $V_{IN}=120\text{dB}\mu\text{V}$	-	0.6	2.5	%
復調出力	V_{O0}	MONO, $V_{OL}=0$ 参考値	(218)	(327)	(489)	mVrms
	V_{O1}	MONO, $V_{OL}=1$ 参考値	(291)	(436)	(652)	mVrms
	V_{O2}	MONO, $V_{OL}=2$ 参考値	(366)	(549)	(821)	mVrms
	V_{O3}	MONO, $V_{OL}=3$ *社内管理=Typ $\pm 3.0\text{dB}$	518	775	1160	mVrms
MPX出力	V_{O_MPX}	6Pin出力	100	200	300	mVrms
チャンネルバランス	CB	10ピン出力/9ピン出力	-1	0	+1	dB
SD動作レベル	SD	FS_S=4	17	25	33	dB μV
ステレオ動作レベル	ST	FS_S=4	17	25	33	dB μV
ステレオバリエーション	Sep	9ピン及び10ピンの両チャンネルを測定 *社内管理値 25dB	25	40	-	dB
ディエンファシス偏差	Deemp50	fm=10kHz, 15kHz LPF OFF	-12.5	-10	-7.5	dB
	Deemp75	fm=10kHz, 15kHz LPF OFF	-	-13	-	dB
キャリアリーク	CL	STEREO S/N, 15kHz LPF OFF	30	40	-	dB
パイロットマージン (パイロット点灯感度)	ST-ON	L+R=67.5kHz, Pilot-mod	0.6	-	5.5	%
AM抑圧比	AMR	400kHz AM 30% mod.	40	65	-	dB
ミュート減衰度	MUTE		60	75	-	dB
[AM受信特性]: fc=1MHz, $V_{IN}=94\text{dB}\mu\text{V}$, fm=400Hz, 30% mod, IF=53kHz, BW=50% Volumn level=3, Soft mute=4, Resister 1Eh Bit 1(LEVSHIF)=1, 9ピン出力, 15kHz LPF OFF						
S/N20dB感度	SN20	S/N=20dBとなる入力レベル	-	49	65	dB μV
	SN20-L	fc=603kHz 参考値	-	(55)	(65)	dB μV
	SN20-H	fc=1404kHz 参考値	-	(49)	(65)	dB μV
信号対雑音比	SN		42	50	-	dB
全高調波歪	THD1		-	0.6	2.8	%
	THD2	$V_{IN}=104\text{dB}\mu\text{V}$	-	0.8	2.8	%
検波出力	V_{O0}	$V_{OL}=0$ 参考値	(55)	(78)	(109)	mVrms
	V_{O1}	$V_{OL}=1$ 参考値	(69)	(98)	(138)	mVrms
	V_{O2}	$V_{OL}=2$ 参考値	(87)	(123)	(173)	mVrms
	V_{O3}	$V_{OL}=3$	110	155	218	mVrms
チャンネルバランス	CB	10ピン出力/9ピン出力	-1	0	+1	dB
AGC特性	AGC1	出力レベルが-10dBとなる入力レベル差 Soft_mute=3 参考値	(52)	(62)	-	dB
	AGC2	Soft_mute=4	47	57	-	dB
周波数特性	Hi-cut	fm=4kHz	-22	-17	-12	dB
SD動作レベル1	SD	AGC=ON, FS=4 *社内管理=46 ~ 65dB μV	46	54	65	dB μV
ミュート減衰度	MUTE	15kHz LPF ON	50	65	-	dB

LV23401V

外形図

unit:mm

3191B

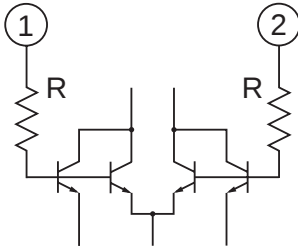
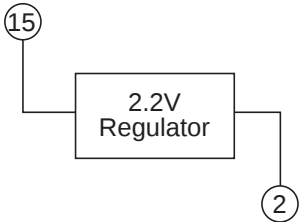
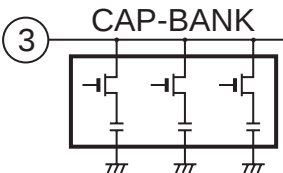
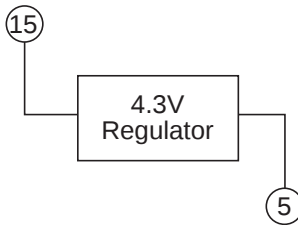
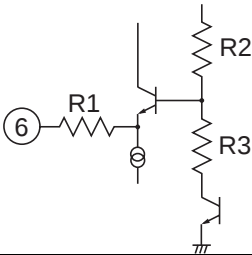
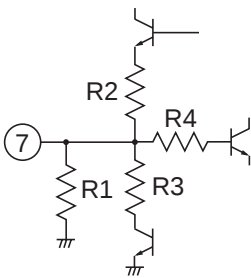


ピン配置

Pin	ピン名	Description	Remark	DC_bias
1	AM ANT	AMアンテナ	マッチングコイル、若しくはパッドアンテナを介して2Pinと接合する。	-
2	AM ref	AMリファレンス電圧	マッチングコイル、若しくはパッドアンテナを介して1Pinと接合する。	2.0V
3	AM CAP	AMキャパシタ・パッド	推奨240 μ Hの外部インダクタを介してGNDに接地	-
4	GND1	AMアンテナGND	GNDに接地	0.0V
5	Vref1	アナログ部リファレンス電圧	1 μ F容量を介してGNDに接地	4.3V
6	MPX OUT	検出出力	RDS使用時は、LC72725と接続	2.5V
7	AM AGC	AM AGC	4.7 μ F容量を介してGNDに接地	-
8	GND2	アナログ部GND	GNDに接地	0.0V
9	L OUT	Lchオーディオ出力	VCC電圧により出力レベルを調整するため、Register 1Eh	3.5V
10	R OUT	Rchオーディオ出力	Bit 1(LEVSHIF)の設定によりDCレベルが変化する。	
11	VCC Low	低電圧モードVCC電圧供給	VCC<6.0V以下で使用する場合に、15pinとショートする。	-
12	AM LCF	AMカット・フィルタ	0.047 μ F容量を介してGNDに接地	2.2V
13	SD OUT	SD検出結果出力		-
14	ST OUT	ST検出結果出力		-
15	VCC	VCC電圧供給		-
16	CLK IN	リファレンス・クロック入力	クリスタルを使用することを推奨する。 クロック信号を直接入力することも可能(矩形波GND基準)	-
17	ST ADJ	パッドインット・マージン調整端子	180k Ω を介してGNDに接地	4.0V
18	CE	アドレス/データ切替タイミング		-
19	CL	通信クロック		-
20	DI	データ・イン		-
21	DO	データ・アウト	10k Ω を介して22Pinに接続	-
22	Vref2	VDD電圧出力	3.3V電圧出力端子。 10mAまで他のICへ電流を供給することも可能。	3.3V
23	GND3	ロジック部GND	GNDに接地	0.0V
24	L1	局部発振回路	33nHを介して25Pinに接続	-
25	Vref3	局部発振回路用リファレンス電圧	100 μ F容量を介してGNDに接地	4.3V
26	L2	局部発振回路	33nHを介して25Pinに接続	-
27	SD ADJ	SD=ON感度調整端子	22k Ω を介してGNDに接地	0.3V
28	FLL CAP	FLLロパス・フィルタ	0.1 μ Fを介して25Pinに接地	-
29	GND4	FMアンテナGND	GNDに接地	0.0V
30	FM ANT	FMアンテナ	入力インピーダンス75 Ω	1.0V

LV23401V

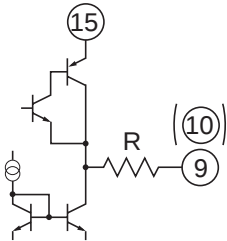
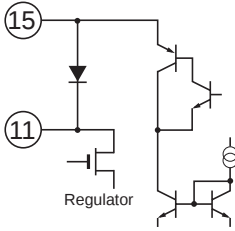
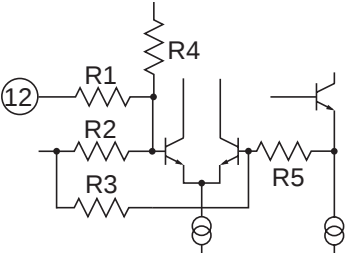
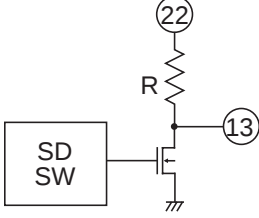
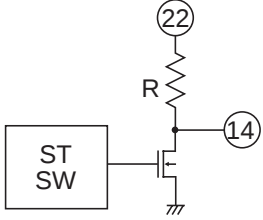
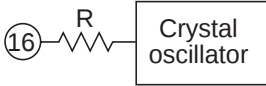
端子機能

端子番号	端子名	端子電圧	等価回路図	端子説明
1	AM-ANT	2.2V		AMアンテナ入力端子 対2ピン間にAMアンテナコイルを接続する R=100Ω
2	AM-REF	2.2V		AM部基準バイアス端子 VAM-REF=2.2V
3	AM-CAP	-		AM部同調用チューニング端子 (AM Capacitor Bank)
4	GND1	0V	-	アナログ部(AM-FE部)GND端子
5	VREF1	4.3V		アナログ部(チューナ部)基準バイアス端子 VREF1=4.3V
6	MPX-OUT	2.5V		FM検波出力端子 R1=100Ω R2=23kΩ R3=1kΩ
7	AM RF-AGC	-		AM-RF部ゲイン制御用AGC端子 R1=2MΩ R2=5kΩ R3=250Ω R4=1kΩ
8	GND2	0V	-	アナログ部(チューナ部)GND端子

次ページへ続く。

LV23401V

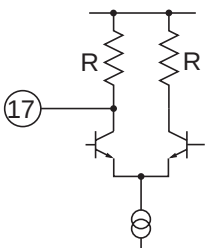
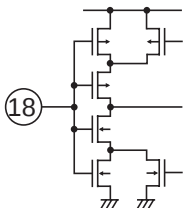
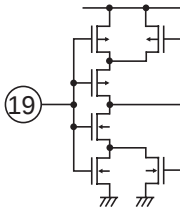
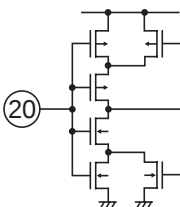
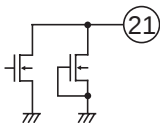
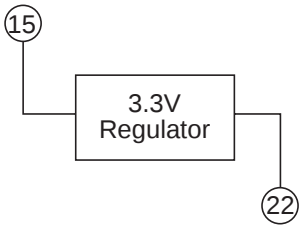
前ページより続く。

端子番号	端子記号	端子電圧	等価回路図	端子説明
9 10	L-OUT R-OUT	2.5V (LEVSHIF=1時は3.3V)		L-ch(R-ch)出力端子。 R=100Ω R _{OUT} =150Ω
11	V _{CC} -Low	-		V _{CC} <6.0Vで使用する場合、 11pin-15pinをショートする
12	AM LCF	2.2V		AM Low-cut Filter用端子。 R1=250Ω R2=100kΩ R3=100kΩ R4=50kΩ R5=50kΩ
13	SD-OUT	V _{DD}		SDインジケータ出力端子。 アクティブLow出力 R=100kΩ
14	ST-OUT	V _{DD}		FMステレオインジケータ出力 端子。 アクティブLow出力 R=100kΩ
15	V _{CC}	V _{CC}		アナログ部電源端子。 Register 1Eh Bit1(LEVSHIF)= 1時は8.5~9.5を印加し、「0」 時はV _{CC} _Lowとショートする。
16	CLK_IN	2.1V		内部基準用クロック接続端 子。 32.768kHz水晶振動子を接続 する。 R=100kΩ

次ページへ続く。

LV23401V

前ページより続く。

端子番号	端子記号	端子電圧	等価回路図	端子説明
17	ST-ADJ	3.7V		ステレオ点灯感度調整端子。 180kΩを介してGNDへ接続する R=24kΩ
18	CE	-		チップイネーブル端子。 シリアルデータ入力(DI)時や シリアルデータ出力(DO)時に ハイレベルとする端子。
19	CL	-		データクロック入力端子。 シリアルデータ入力(DI)時や シリアルデータ出力(DO)時に データと同期を取るクロック。
20	DI	-		シリアルデータ入力端子。 コントローラから転送される シリアルデータの入力端子。
21	DO	-		シリアルデータ出力端子。 コントローラへのシリアルデータ出力端子。
22	VDD	3.3V		ロジック部基準バイアス端子。 VCC=3.3V
23	GND3	0	-	デジタル部(制御部)GND端子

次ページへ続く。

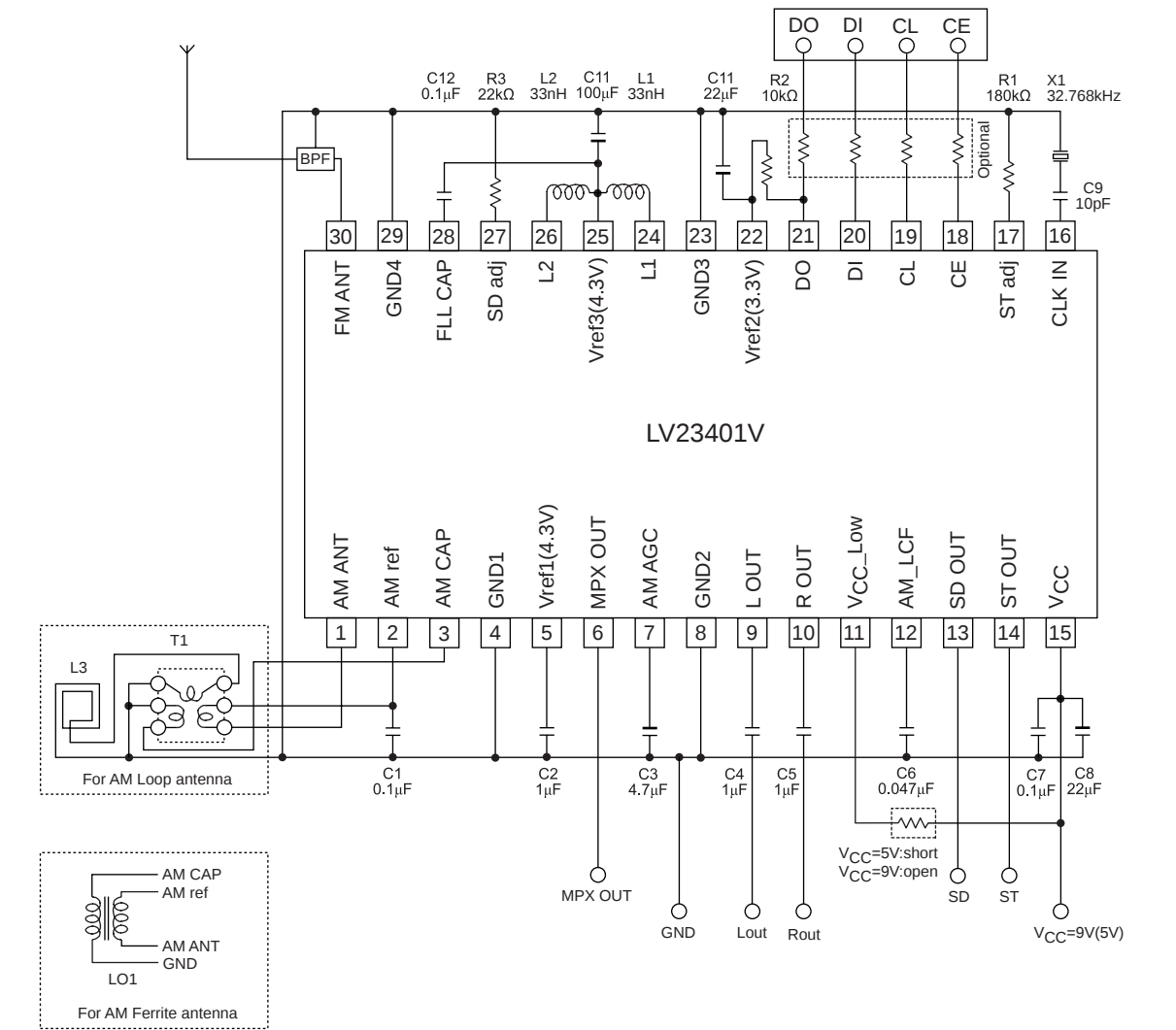
LV23401V

前ページより続く。

端子番号	端子記号	端子電圧	等価回路図	端子説明
24 26	L1 L2	4.3V		OSCコイル接続端子。 対25pin間に33nHを接続する。
25	VREF2	4.3V		OSC部基準バイアス端子。 VREF2=4.3V
27	SD-ADJ	0.1V		SD点灯感度調整端子。 22kΩを介してGNDへ接続する R=100Ω
28	FLL-CAP	-		内部FLL制御用LPF端子。 R=80kΩ
29	GND4	0V	-	アナログ部(FMRF部)GND端子。
30	FM-ANT	0.9V		FMアンテナ入力端子。 R=1.5kΩ R _{IN} =75Ω

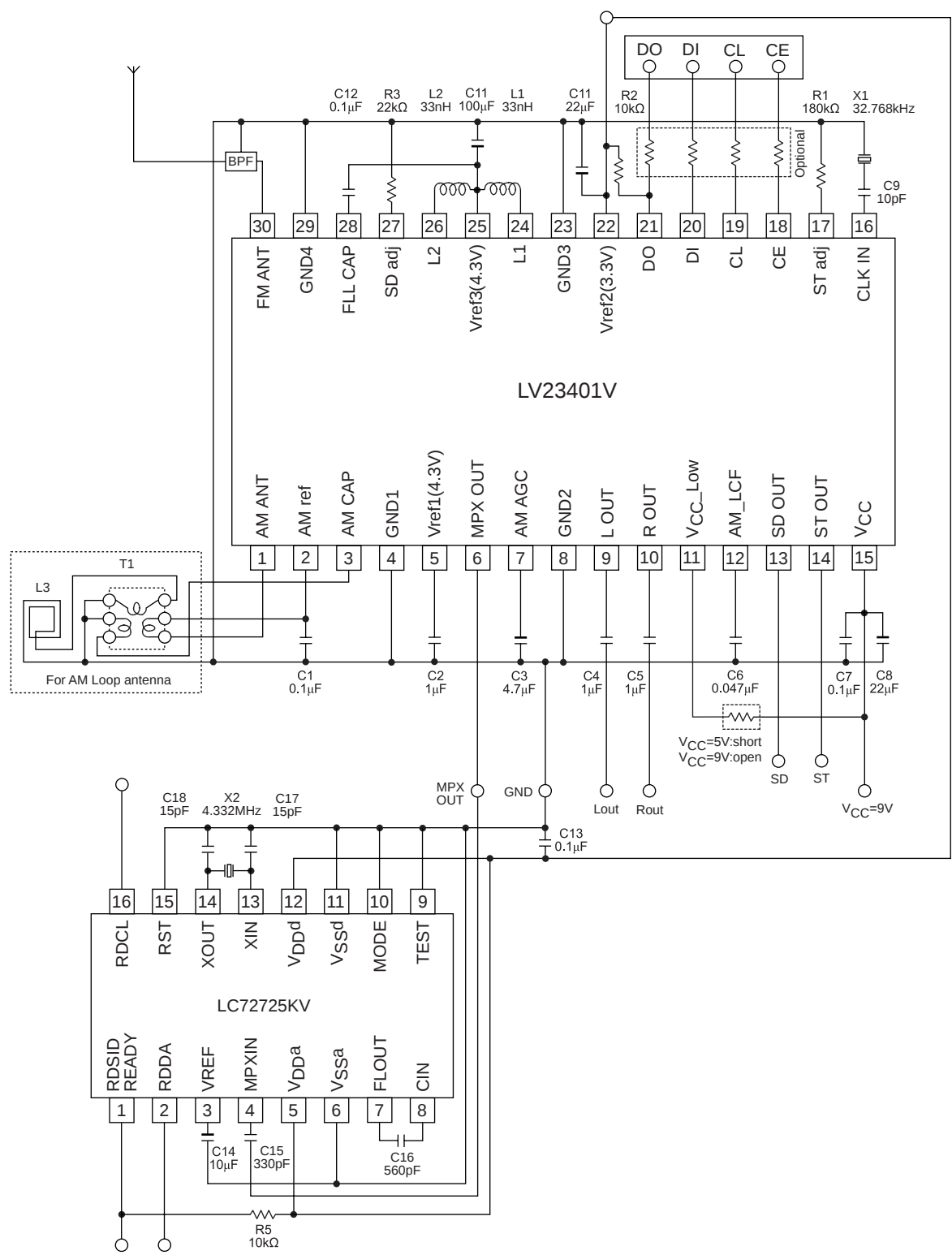
LV23401V

应用回路例1



LV23401V

应用回路例2



LV23401V

使用部品

Component	Parameter	Value	Tolerance	Type	Supplier
L1	Local Osc Coil	33nH	5%	LL2012-FHL33NJ	TOKO
L2	Local Osc Coil	33nH	5%	LL2012-FHL33NJ	TOKO
L3	AM Loop antenna	18.1μH	5%	4910-CSL18R1JN1	SAGAMI
T1	AM RF matching	-	-	A90326057	COILS
				#7003RNS-A1109YZS	TOKO
C1	Ripple Filter	0.1μF			
C2	Ripple Filter	1μF			
C3	AM RF AGC Capacitor	4.7μF			
C4	Coupling Capacitor	1μF			
C5	Coupling Capacitor	1μF			
C6	AM Low-cut Filter	0.047μF			
C7	Supply Bypass Capacitor	0.1μF			
C8	Supply Bypass Capacitor	22μF			
C9	Correction Capacitor	10pF			
C10	Supply Bypass Capacitor	22μF			
C11	Ripple Filter	0.1μF			
C12	Osc Filter	0.1μF			
C13	Ripple Filter	0.1μF			
C14	Ripple Filter	10μF			
C15	Coupling Capacitor	330pF			
C16	Coupling Capacitor	560pF			
C17	Correction Capacitor	15pF			
C18	Correction Capacitor	15pF			
R1	Reference Resistor	180Ω			
R2	Pulled-up Resistor	10kΩ			
R3	Reference Resistor	22kΩ			
R4	Reference Resistor	33kΩ			
R5	Pulled-up Resistor	10kΩ			
BPF	FM ANT BPF	-	-	GFMB7	SOSHIN
X1	Crystal	32.768kHz	100ppm	VT-200-F(12.5pF)	SEIKO
X2	Crystal	4.332MHz	100ppm	AT-49	DAISHINKI
LO1	AM Ferrite antenna	260μH	TBD	-	-

*東欧バンド(65MHz ~ 75MHz)を受信する場合はL1、L2は39nHを使用すること。

*X1,X2クリスタルのマッチング(C9,C17,C18)は使用する基板と合わせてクリスタルメーカへ問い合わせること。

インターフェース仕様

(1) LV23401 インターフェース仕様

LV23401はC²B(Computer Control Bus)シリアル・バス・フォーマットにより制御される。

C²Bは、複数のLSIによるシステムにおけるLSI間のコミュニケーションを確実に、経済的に実現する為のバス・フォーマットである。シングルマスタのシステムであるため、煩雑なアービトレーションの処理が不要である。このため、ハードウェアの負担が軽減され、経済性に富んだシステム構成が可能となる。

また、ソフトウェアにより、あるいはシリアルI/Oにより、容易に多くの種類のコントローラとインターフェースし、特殊なハードウェアは必要としない。

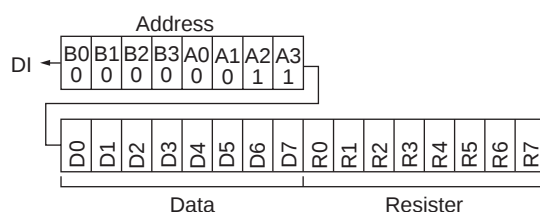
C²Bは、機器内部のLSI間について考えられており、長いラインを必要とする機器間のコミュニケーションは対象としない。

(2) C²B データ構成

DI制御データ(シリアルデータ入力)の構成

DI control data (serial data input) composition

1) INモード(IN mode)



LV23401は8ビットのデバイスアドレス(アドレス)と、各8ビットのデータを格納するサブアドレス(レジスタ)で構成されるバス・フォーマットにより制御される。

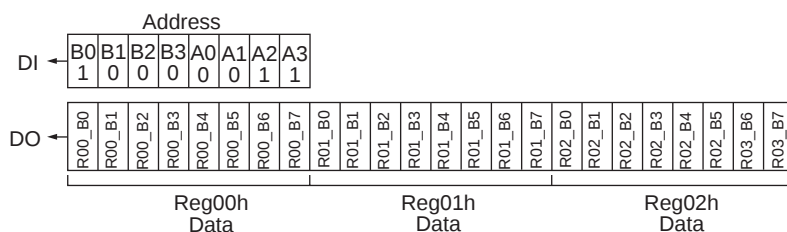
LV23401へシリアルデータを入力する場合、始めにアドレスとして[C0]をLSBより入力し、制御を行うデバイスを特定すると共に、データ入力としてのモードを確定させる。

アドレス入力後、データクロック(CL)に同期してデータ(ビット設定)→レジスタの順にLSBより入力し、データ入力を完結させることが出来る。

DO制御データ(シリアルデータ出力)の構成

Composition of the DO control data (serial data output)

2) OUTモード(OUT mode)



LV23401よりシリアルデータを出力させる場合、始めにアドレスとして[C1]をLSBより入力し、制御するデバイスを特定すると共に、データ出力としてのモードを確定させる。

アドレス入力後、ロック(CL)に同期してレジスタ番号の小さい方からLSBより順次データがDO端子より出力される。CE端子をLowに設定することによりデータの出力は終了される。

LV23401V

(3)LV23401Vレジスタ説明(Description of the Resister of LV23401V)

Resister 00h-DHIP_ID-Chip identity register (Read-Only)

7	6	5	4	3	2	1	0
ID[7:0]							
Bit7-0: ID[7:0]:8-bit チップID . LV23400:18h *このレジスタに任意値を書き込みする事により動作中のコマンドが停止する。							

Register 01h-SHIP_REV-Chip Revision identity register (Read-Only)

7	6	5	4	3	2	1	0
Revision[7:0]							
Bit7-0 ID[7:0]:8-bit チップレビジョン ES1:00h *このレジスタに任意値を書き込みする事により動作中のコマンドが停止する。							

Register 02h-RADIO_STAT-Radio station status (Read-Only)

7	6	5	4	3	2	1	0
IM_STAT	IM_FS[1:0]		MO_ST	FS[2:0]			TUNED
Bit7: IM_STAT:イメージ回避コード状態 0 = 常動作(書込み可) 1 = イメージ回避処理中(書込み不可) このビットはRegister14h_bit7(IM_EVAS)が「1」に設定されている場合にのみ動作する。 本ビットが「1」となっている場合のLV23401へのデータ書き込み処理を禁止する。							
Bit6-5: IM_FS:イメージ局電界強度 0 : イメージ局なし 1 : 0 2 : 希望局と比較し0dB ~ +10dB 3 : 希望局と比較し+10dB以上イメージ局のレベルが強い							
Bit4: MO_ST:モノラル/ステレオ 表示 0 = モノラル受信(強制モノラル設定も同じ) 1 = ステレオ受信							
Bit3-1: FS[2:0] : 電界強度表示 0 : 電界強度 < 10dB μ V 1 : 電界強度 10-20dB μ V 2 : 電界強度 20-30dB μ V 3 : 電界強度 >70dB μ V							
Bit0: TUNED:ラジオ・チューニングフラグ 0 = チューニングされていない 1 = チューニングされている note:このビットは周波数チューニングが成功した時にセットされる。 このフラグは以下3条件にてクリアされる 1. PW_RAD=0 2. 周波数のチューニング中 3. FLLが補正範囲外となった場合 RAD_IFインターラプトフラグはTUNEDフラグが1から0に変化した時のみ設定される。 TUNEDのステータスが0から1に変化した際は、インターラプトは発生しない。							

LV23401V

Register 04h-TNPL-Tune position low (Read-Only)

7	6	5	4	3	2	1	0
TUNEPOS[7:0]							
Bit 7-0: TUNEPOS[7:0]:現在のRF周波数(下位8bit)							

Register 05h-TNPL_STAT-Tune position high/status (Read-Only)

keyframe: 00

Register 06h-COUNT_L-Counter low (Read-Only)

7	6	5	4	3	2	1	0
COUNT[7:0]							
Bit7-1: COUNT[7:0]: カウンター値(下位8bit)							

Register 07h-COUNT_H-Counter High (Read-Only)

7	6	5	4	3	2	1	0
COUNT[15:8]							
Bit7-0: COUNT[15-8]: カウンター値(上位8bit)							

Register 08h-IF_OSC-DAC for IF OSC (Read/Write)

7	6	5	4	3	2	1	0
IFOSC[7:0]							
Bit7-0: IFOSC[7:0]: IF発振器DAC							

Register 09h-IFBW-DAC for IF Filter Band width (Read/Write)

7	6	5	4	3	2	1	0
IFBW[7:0]							
Bit7-0: IFBW[7:0]: IFバンドパスフィルタ帯域DAC							

Register 0Bh-STEREO_OSC-DAC for Stereo Decoder OSC (Read/Write)

7	6	5	4	3	2	1	0
SDOSC[7:0]							
Bit7-0: SDOSC[7:0]:ステレオデコーダ発振器DAC							

Register 0Ch-RF_OSC-DAC for RF OSC (Read/Write)

7	6	5	4	3	2	1	0
RFCAP[7:0]							
Bit7-0: RFOSC[7:0]:RF発振器DAC							

LV23401V

Register 0Dh-RFCAP-RF Cap bank (Read/Write)

7	6	5	4	3	2	1	0
RFCAP[7:0]							
Bit7-0: RFCAP[7:0]:RF発振器キャパシタバンク							

Register 0Eh-AMCAP1-AM-ANT Cap bank1 (Read/Write)

7	6	5	4	3	2	1	0
AMCAP[7:0]							
Bit7-0: AMCAP[7:0]:AMアンテナキャパシタバンク							
Note: AMアンテナキャパシタバンクは12ビットで構成されている。 上位4ビットはAMCTRL registerに配置されている。							

Register 0Fh-AMCTRL-AM Station Control (Read/Write)

7	6	5	4	3	2	1	0																								
AMDIV[2:0]			AM_CAL	ACAP11	ACAP10	ACAP9	ACAP8																								
Bit7-5: AMDIV[2:0]:AMクロックディバイダ																															
Bit7: AM_CD2:AMクロックディバイダbit2.																															
Bit6: AM_CD1:AMクロックディバイダbit1.																															
Bit5: AM_CDO:AMクロックディバイダbit0.																															
Note:																															
AM_CD[2:0]はFM帯の周波数をAM帯にまで下げるために使用する。																															
FMモード時は、AM分周器はOFFに設定すること。																															
<table><tr><td>AM_CD[2:0]</td><td>分周率</td><td>概算AM-RF周波数(In kHz)</td></tr><tr><td>0,1</td><td>Divider OFF</td><td>0(FMモード)</td></tr><tr><td>2</td><td>224</td><td>338-483</td></tr><tr><td>3</td><td>160</td><td>474-676</td></tr><tr><td>4</td><td>112</td><td>676-966</td></tr><tr><td>5</td><td>80</td><td>947-1353</td></tr><tr><td>6</td><td>64</td><td>1183-1692</td></tr><tr><td>7</td><td>48</td><td>1578-2256</td></tr></table>								AM_CD[2:0]	分周率	概算AM-RF周波数(In kHz)	0,1	Divider OFF	0(FMモード)	2	224	338-483	3	160	474-676	4	112	676-966	5	80	947-1353	6	64	1183-1692	7	48	1578-2256
AM_CD[2:0]	分周率	概算AM-RF周波数(In kHz)																													
0,1	Divider OFF	0(FMモード)																													
2	224	338-483																													
3	160	474-676																													
4	112	676-966																													
5	80	947-1353																													
6	64	1183-1692																													
7	48	1578-2256																													
Bit4: NA(0固定)																															
Bit3-1: AMCAP[11:8]:AM-アンテナキャパシタバンク																															
Bit3: AMCAP_bit11																															
Bit2: AMCAP_bit10																															
Bit1: AMCAP_bit9																															
Bit0: AMCAP_bit8																															

LV23401V

Register 10h-DO_REF_CLK_CNF-DO output mode and reference clock configuration (Read/Write)

7	6	5	4	3	2	1	0
IPOL	DO_SEL[1:0]		EXT_CLK_CFG[1:0]		FS_S[2:0]		
Bit7: IPOL:インジケータ(D0端子_SD/STモード)極性 0 = SD/STアクティブ・ロー(13Pin-SD端子/14Pin端子と同じステート変化) 1 = SD/STアクティブ・ハイ(13Pin-SD端子/14Pin端子と逆のステート変化) *本ビットはシリアルデータの極性には影響しない。							
Bit6-5: DO_SEL:D0端子セレクト(D0端子出力モード選択)							
DO_SEL[1:0]			D0端子				
00			シリアルデータ出力モード				
01			ST端子モード				
10			SD端子モード				
11			ローカル・ポジション確認モード				
D0端子はシリアルデータ出力の他にSD端子/ST端子の状態及びローカルOSCのポジション(Upperヘテロダイン/Lowerヘテロダイン)の監視にて使用される。 *DO_SELが(01b)若しくは(10b)に設定されている場合、SD端子/ST端子と同期してD0端子のステートが変化する。 *DO_SELが(11b)に設定されている場合、ローカルOSCのポジションによりD0端子のステートが変化する。 Lowerヘテロダイン=0、Upperヘテロダイン=1 *シリアルデータ出力の際は必ずDO_SELを(00b)に設定すること。							
Bit4-3: EXT_CLK_CFG[1:0]:外部クロック設定							
EXT_CLK_CFG[1:0]			基準クロック				
00			Off				
01			外部クロックを供給				
10			32768Hzクリスタル発振				
11			未使用				
Bit2-0: FS_S[2:0]:SD(Station Detector)動作レベル設定(FSレベルにて判別)							

Register 11h-IF_SEL-IF frequency selection (Read/Write)

7	6	5	4	3	2	1	0										
FLL_MOD	AMIF[2:0]			FMIF[3:0]													
Bit7: FLL_MOD:FLL動作モード 0:スムージングフィルタ=OFF 1:スムージングフィルタ=ON																	
Bit6-4: AMIF[2:0]:AMモード選択時IF周波数設定																	
AMIF[2:0]																	
0	1	2	3	4	5	6	7										
20kHz	31kHz	42kHz	53kHz	64kHz	75kHz	86kHz	97kHz										
Bit3-0: FMIF[3:0]:FMモード選択時IF周波数設定(kHZ)																	
SE_AM	RF_SEL	FMIF[3:0]															
		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	112.5	125	137.5	150	162.5	175	187.5	212.5	225	237.5	250	262.5	275	287.5	312.5	325
0	1	112.5	127.5	142.5	157.5	172.5	187.5	202.5	217.5	232.5	247.5	262.5	277.5	292.5	307.5	322.5	

LV23401V

Register 12h-REF_CLK_MOD-Slope correction (Read/Write)

7	6	5	4	3	2	1	0
REFMOD[7:0]							
Bit7-0: REFMOD[7:0]:基準クロック補正							
Note: 本レジスタは16pinに接続するクリスタルや入力されるクロックにより設定値が異なる。 本データシート中の応用回路図例及び推奨部品以外のアプリケーションを採用する場合、 本レジスタの設定値に関して問い合わせること。							

Register 13h-SM_CTRL-Statemachine control (Read/Write)

7	6	5	4	3	2	1	0
FLL_ON	CLKS_SE[2:0]			nSD_PM	nIF_PM	CM_SE[1:0]	
Bit7:	FLL_ON:FLLコントロール 0=FLL OFF 1=FLL ON						
Bit6-4:	CLKS_SE:クロック・ソース選択 0=無選択 1=ステレオデコーダ発振器のソースを有効 2=IF発振器のソースを有効 3=AMアンテナ発振器のソースを有効 4=FM RF発振器のソースを有効 5=AM RF発振器のソースを有効 6-7=無選択						
Note : Bit[6-4]は発振器のソースを選択。 調整や測定を行いたい任意のソースを選択すること。							
Bit3:	nSD_PM:ステレオデコーダ・クロックPLLミュート 0=SD PLL Off(調整) 1=SD PLL On(通常動作)						
Bit2:	nIF_PM:IF PLL mute 0=IF PLL Off(調整) 1=IF PLL On(通常動作)						
Bit1-0:	CM_SE:コマンドモード選択 0=コマンド無選択 1=測定モード 2=調整モード 3=ラジオチューニング(受信周波数調整)モード						
Note:本ビットはコマンドモードの選択に使用する。 実行したい任意のコマンドを選択すること。 コマンドはTARGET_VAL_L/Hを設定することにより実行される。							
コマンド実行時間 :							
SDキャリブレーション=540ms IFキャリブレーション=134ms RF(FM)チューニング=105ms RF(AM)チューニング=158ms							
*コマンド実行後は、レジスタ値の読み込みも含めた全ての処理の前に上記規定した時間待機すること。							

LV23401V

Register 14h-REF_CLK_PRS-Reference clock pre-scaler (Read/Write)

7	6	5	4	3	2	1	0
IM_EVAS	Reserved	WAIT_SEL	AM_FINE	REFORE[3:0]			
Bit7:	IM_EVAS:イメージ回避機能ON/OFF 0=イメージ局を回避しない 1=イメージ局を回避する(推奨)						
Bit6:	Reserved:0固定						
Bit5:	WAIT_SEL:チューニング後ミュート解除待機時間選択 0=8ms待機 1=4ms待機						
Bit4:	AM_FINE:AM_ANT調整待機時間選択 0=DAC切替え後無待機 1=DAC切替え後2ms待機						
Bit3-0:	REFPRE[3:0]:基準クロック・プリスケーラ 0=1:1 1=1:2 2=1:4 15=1:32768						

Register 15h-REF_CLK_DIV-Reference clock divider (Read/Write)

7	6	5	4	3	2	1	0
REFDIV[7:0]							
Bit7-0: REFDIV[7:0] 基準クロック・ディバイダ 0: 分周率=1 1: 分周率=2 255: 分周率=256							

Register 16h-TARGET_VAL_L-Target Value Low Register (Read/Write)

7	6	5	4	3	2	1	0
TARGET[7:0]							
Bit7-0: TARGET[7:0]: ターゲット周波数 下位8bit: ラジオチューニング及び発振器調整の目標値: 下位byte							

Register 17h-TARGET_VAL_H-Target Value High Register (Read/Write)

7	6	5	4	3	2	1	0
TARGET[15:8]							
Bit7-0: TARGET[15:8]: ターゲット周波数 上位8bit: ラジオチューニング及び発振器調整の目標値: 上位byte ラジオパワーオン時、ターゲット周波数下位8ビットを設定、その後このレジスタにターゲット周波数上位8ビットを設定するとコマンドが実行される。							

TUNEPOS and TARGET:

- AM時は1kHz間隔
- FM時は10kHz間隔

LV23401V

Register 18h-RADIO_CTRL1-Radio control 1 (Read/Write)

7	6	5	4	3	2	1	0
IQC_CTR	IFPOL	OSC_LEV[1:0]	DEEM	VOL[1:0]	EN_AMHC		
Bit7: IQC_CTR: I/Q位相変換 0=通常動作モード(アップー・ヘテロダイン) 1=I/Q位相変換: イメージ対策(ローワー・ヘテロダイン) Note: イメージ対策として、ローカルの切り替えを行う際に使用する。 Bit6: State MachineにおけるIF極性変換 0=IF周波数はローカル周波数に加算される(通常動作時) 1=IF周波数はローカル周波数に減算される(イメージ対策) Bit5-4: OSC_LEV[1:0]: RF-OSC発振レベル設定 0=最小発振レベル 3=最大発振レベル *各3dB間隔でレベル調整可能、「2」を推奨値とする Bit3: DEEM: ディエンファシス時定数切り替え 0=50 μs: 日本、韓国、中国、ヨーロッパ 1=75 μs: アメリカ Bit2-1: VOL[1:0]: ボリューム設定 0=最小(VOL0) 3=最大(VOL3) Bit0: EN_AMHC: AMハイ・カット・フィルタON/OFF 0=AMハイ・カット・フィルタ機能オフ 1=AMハイ・カット・フィルタ機能オン							

Register 19h-RADIO_CTRL2-Radio control 2 (Read/Write)

7	6	5	4	3	2	1	0
Reserved	Reserved	EN_AMM	Reserved	IF_AGC_LEV	RF_AGC_LEV[1:0]	EN_RFAGC	
Bit7: Reserved: 0固定 Bit6: Reserved: 1固定 Bit5: EN_AMM: AMミュートON/OFF 0=AMミュート機能オフ 1=AMミュート機能オン Bit4: Reserved: 0固定 Bit3: IF_AGC_LEV: IF-AGCレベル・コントロール 0=AGCスローモード 1=AGCファーストモード Bit2-1: RF_AGC_LEV[1:0]: RF-AGCレベル・コントロール 0=AGCスローモード 1=AGCノーマルモード 3=AGCファーストモード Bit0: EN_RFAGC: RF-AGC ON/OFF 0=AGCオフ 1=AGCオン(通常動作)							

LV23401V

Register 1Ah-RADIO_CTRL3-Radio control 3 (Read/Write)

7	6	5	4	3	2	1	0
AMOSC_GA[2:0]			AMOSC_DL[2:0]			AMAGC_SP[1:0]	
Bit7-5: AMOSC_GA[2:0]:AMアンテナ発振器ゲインコントロール 0=最小レベル 1=最大レベル							
Bit4-2: AMOSC_DL[2:0]:AM発振器検知レベル 0=最小レベル 7=最大レベル							
Bit1-0: AMAGC_SP[1:0]:AM発振器AGCスピード 0=スローモード 3=ファーストモード							

Register 1Ch-STEREO_CTRL1-Stereo control 1 (Read/Write)

7	6	5	4	3	2	1	0
CRC[1:0]		SS_SP2	SS_SP1	NA	PICAN_EN	FOSTEREO	ST_M
Bit7-6: CRC[1:0]:キャプチャチャレンジ・コントロール 0=狭帯域モード 1=推奨値 3=広帯域モード							
Bit5: SS_SP2:ステレオ感度スピード2(ファーストモード) 0:ファーストモード=OFF-推奨値 1:ファーストモード=ON							
Bit4: SS_SP1:ステレオ感度スピード1(スローモード) 0:スローモード=OFF-推奨値 1:スローモード=ON							
Bit3: NA							
Bit2: PICAN_EN:パイロットキャンセル機能ON/OFF 0=オフ 1=オン							
Bit1: FOSTEREO: 強制ステレオ 0=通常動作 1=強制ステレオモード							
Bit0: ST_M:ステレオ/モノラル設定 0=ステレオ機能オン(通常動作) 1=ステレオ機能オフ(強制モノラル)							

LV23401V

Register 1Dh-STEREO_CTRL2-Stereo control 2 (Read/Write)

7	6	5	4	3	2	1	0
NA			FOAMAGC	Reserved	NA	CPAJ[2:0]	
Bit7-5: NA							
Bit4: FOAMAGC 0=強制AGC=OFF 1=強制AGC=ON							
Bit3: Reserved:0固定							
Bit2: NA							
Bit1-0: CPAJ[1:0]:チャンネル・セパレーション調整 0=サブ・キャリアレベル最小 7=サブ・キャリアレベル最大							

Register 1Eh-RADIO_CTRL4-Radio control 4 (Read/Write)

7	6	5	4	3	2	1	0
SOFTST[2:0]			SOFTMU[2:0]			LEVSHIF	FO_SOFTT
Bit7-5: SOFTST[2:0]:ソフトステレオ機能設定 0:ソフトステレオ機能=オフ 7:ソフトステレオ機能=Lev7(Max)							
Bit4-2: SOFTMU[2:0]:ソフトオーディオミュート機能設定 0:ソフトミュート機能=オフ 7:ソフトミュート機能=Lev7(Max)							
Bit1: LEVSHIF: オーディオラインDCレベルシフト 0= ノーマルDCレベル(V _{CC} =5.0V供給) 1=DCレベルシフト(V _{CC} =9.0V供給)							
Bit0: FO_SOFTST:強制ソフトステレオ機能設定 0:強制ソフトステレオ機能=ON 1:強制ソフトステレオ機能=OFF *ヨーロッパ・イミューニティー規格に対応する場合は「0」に設定すること。							

LV23401V

Register 1Fh-RADIO_CTRL5-Radio control 5 (Read/Write)

7	6	5	4	3	2	1	0
RF_SEL	IFRIM	nAGC_SPD	SE_FM/AM	AMP_CTR	MUTE	NA	PW_RAD
Bit7:	RF_SEL: RF周波数範囲設定 0= ノーマル(japan/USA/Europe) 1=東欧(65MHz ~ 74MHz)						
Bit6:	IFRIM: IF発振器リミット設定 0:Max=350kHz(FM mode) 1:Max=150kHz(AM mode)						
Bit5:	nAGC_SPD: IF AGCスピード設定 0:ハイスピード(FMモード) 1: ノーマル(AMモード)						
Bit4:	SE_FM/AM: AM/FMモード選択 0=FMモード 1=AMモード						
Bit3:	AMP_CTR: オーディオアンプON/OFF 0=オフ 1=オン						
Bit2:	MUTE: オーディオミュート機能ON/OFF 0=ミュートオン 1=ミュートオフ						
Bit1:	AM_CAL: AMキャリブレーション(発振モード) 0=AMキャリブレーション不可(通常動作時) 1=AMキャリブレーションモード(AMアンテナ周波数設定時)						
Note:	AMアンテナ周波数を測定する場合は、本ビットを「1」に設定すること。						
Bit0:	PW_RAD: ラジオ回路パワー 0=パワーオフ(パワーセーブ) 1=パワーオン						

*1:V_{CC}電圧印加後50ms内にRegister 1Fh_Bit0のPW_RADが自動的に「0」に設定される。

*2:V_{CC}電圧を一度落とすと、PW_RAD以外のレジスタ内容は不定となる。

*3:パワーセーブ時に設定したレジスタ変更内容は有効となるが、如何なるコマンド処理も実行出来ない。

*4:パワーセーブ復帰後(PW_RAD=0→1)は、回路安定までに1200msの待機時間が必要である。

*5:パワーセーブ復帰後にRFを再同調すること。

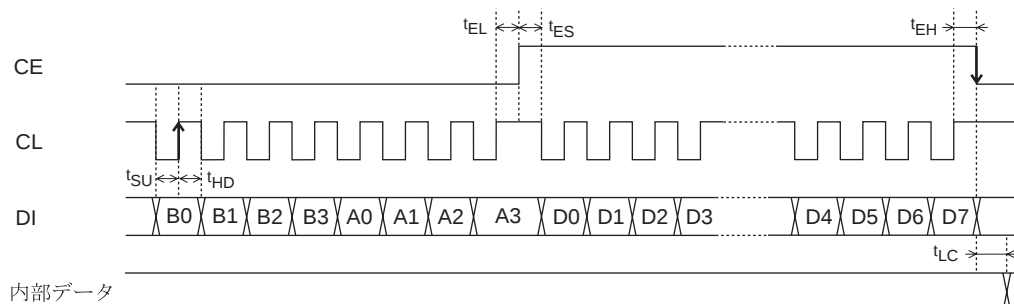
*6:パワーセーブ時はRF局発を含む各内蔵発振器と、その他全てのアナログ部回路動作が停止する。

*7:AMへバンド切替え時、最初のRF調整後は、IFカウント前に200msの待機時間が必要。

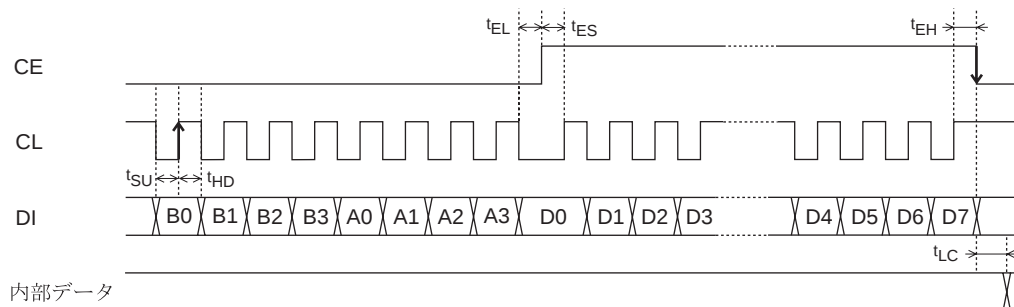
(4) C²B通信タイミング仕様

シリアルデータ入力(IN1/IN2) t_{ST} , t_{HD} , t_{EL} , t_{ES} , $t_{EH} \geq 0.75 \mu s$ $t_{LC} < 0.75 \mu s$

CL: ノーマルHi

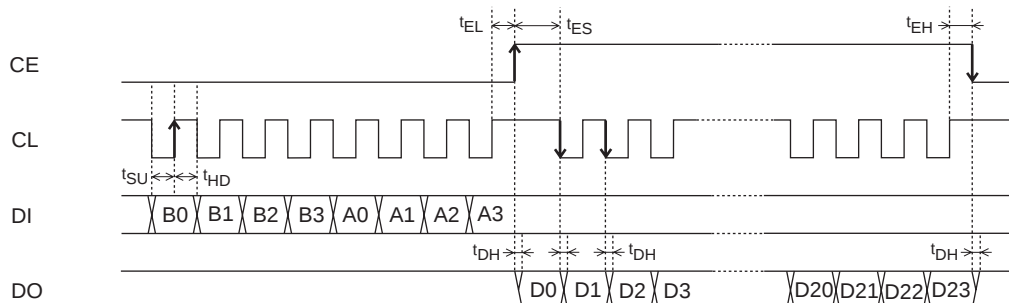


CL: ノーマルLow

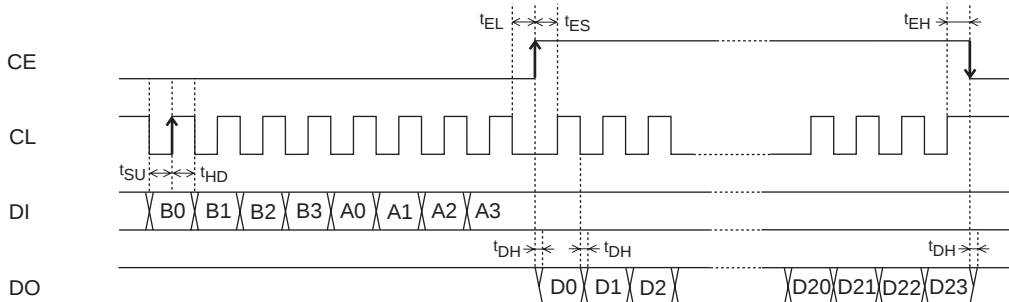


シリアルデータ出力(OUT) t_{ST} , t_{HD} , t_{EL} , t_{ES} , $t_{EH} \geq 0.75 \mu s$ $t_{LC} < 0.35 \mu s$

CL: ノーマルHi



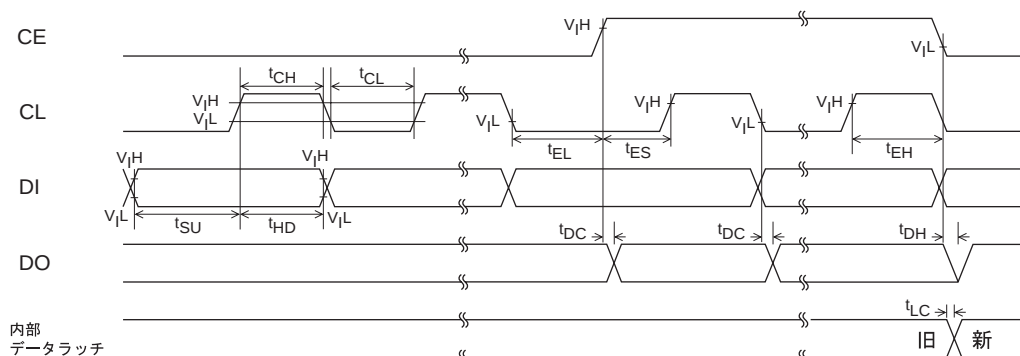
CL: ノーマルLow



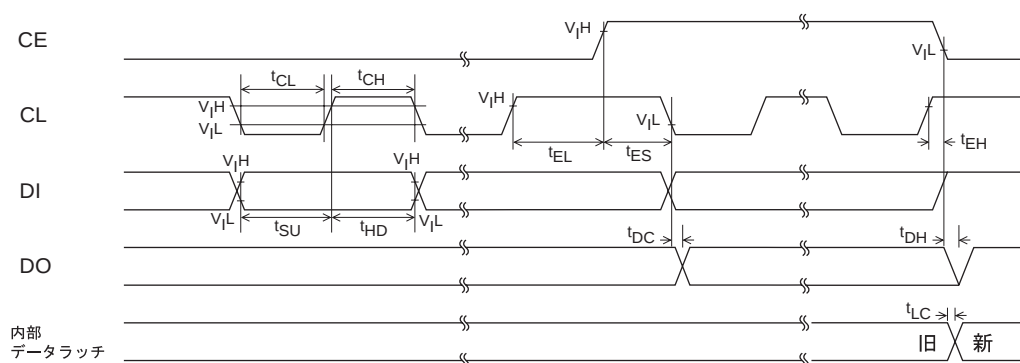
(注) D0端子は、Nchオープンドレイン端子のため、プルアップ抵抗値や基板容量によって、データ変化時間(t_{DC} , t_{DH})は異なる。

LV23401V

シリアルデータのタイミング



CLが「L」レベルで停止している場合



CLが「H」レベルで停止している場合

項目	記号	端子	条件	Min	Typ	Max	Unit
データセットアップ時間	t_{SU}	DI, CL		0.75			μs
データホールド時間	t_{HD}	DI, CL		0.75			μs
クロック「L」レベル時間	t_{CL}	CL		0.75			μs
クロック「H」レベル時間	t_{CH}	CL		0.75			μs
CEウェイト時間	t_{EL}	CE, CL		0.75			μs
CEセットアップ時間	t_{ES}	CE, CL		0.75			μs
CEホールド時間	t_{EH}	CE, CL		0.75			μs
データラッチ変化時間	t_{LC}					0.75	μs
データ出力時間	t_{DC}	DO, CL	プルアップ抵抗値、基板容量によって異なる			0.35	μs
	t_{DH}	DO, CE					

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。