



ON Semiconductor®

<http://onsemi.jp>

LC87F1M16A

CMOS LSI

USB (FULL-SPEED)

8-bit Microcontroller

16K-byte Flash ROM / 1024-byte RAM / 48-pin

概要

LC87F1M16Aは、16KバイトのフラッシュROM、1024バイトRAM、オンチップデバッガ機能、16ビットタイマ/カウンタ、16ビットタイマ、8ビットタイマ×4、時計用ベースタイマ、自動転送機能付き同期式SIO×2、非同期/同期式SIO、UART、スマートカードインタフェース機能付きUART、Full-Speed USBインタフェース(ファンクション機能)、12/8ビット分解の切換付き20チャンネルADコンバータ、12ビットPWM×2チャンネル、システムクロック分周機能、内蔵リセット回路、割り込み機能等を内蔵した8ビットマイクロコントローラである。

特長

フラッシュROM

- ・16384×8ビット
- ・電源電圧3.0~5.5Vの幅広い
オンボード書込みが可能
- ・128バイト単位でのブロック消去可能
- ・2バイト単位での書き込み

RAM

- ・1024×9ビット

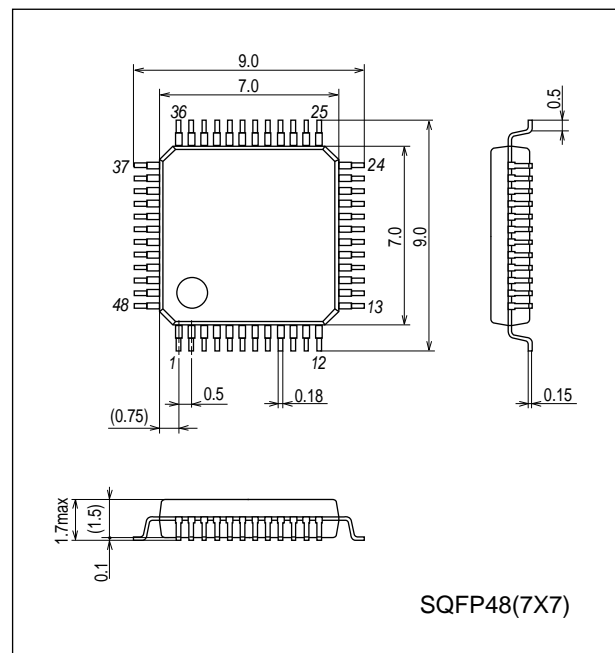
出荷形態

- ・SQFP48(7×7) 『鉛・ハロゲンフリー仕様品』

外形図

unit:mm (typ)

3163B



この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

LC87F1M16A

バスサイクルタイム

- 83.3ns(CF=12MHzの場合)
(注)バスサイクルタイムはROMの読み出し速度を表す。

最小命令サイクルタイム(tCYC)

- 250ns(CF=12MHzの場合)

ポート

- 入出力ポート
1ビット単位で入出力指定可能 35(P00 ~ P07, P10 ~ P17, P20 ~ P27, P31 ~ P34, P70 ~ P73, PWM0, PWM1, XT2)
- USBポート 2(D+, D-)
- 発振専用ポート 2(CF1, CF2)
- 入力専用ポート(発振兼用) 1(XT1)
- リセット端子 1(RES)
- デバッグ専用端子 1(OWP0)
- 電源端子 6(VSS1 ~ 3, VDD1 ~ 3)

タイマ

- タイマ0 : キャプチャレジスタ2個付きの16ビットのタイマ/カウンタ
モード0 : 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ2個付) × 2チャンネル
モード1 : 8ビットプログラマブルプリスケアラ付8ビットタイマ
(8ビットキャプチャレジスタ2個付) + 8ビットカウンタ
(8ビットキャプチャレジスタ2個付)
モード2 : 8ビットプログラマブルプリスケアラ付16ビットタイマ
(16ビットキャプチャレジスタ2個付)
モード3 : 16ビットカウンタ(16ビットキャプチャレジスタ2個付)
- タイマ1 : PWM/トグル出力可能な16ビットのタイマ/カウンタ
モード0 : 8ビットプリスケアラ付8ビットタイマ(トグル出力付)
+ 8ビットプリスケアラ付8ビットタイマ/カウンタ(トグル出力付)
モード1 : 8ビットプリスケアラ付8ビットPWM × 2チャンネル
モード2 : 8ビットプリスケアラ付16ビットタイマ/カウンタ(トグル出力付)
(下位8ビットからもトグル出力可能)
モード3 : 8ビットプリスケアラ付16ビットタイマ(トグル出力付)
(下位8ビットはPWMとして使用可能)
- タイマ4 : 6ビットプリスケアラ付8ビットタイマ
- タイマ5 : 6ビットプリスケアラ付8ビットタイマ
- タイマ6 : 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- タイマ7 : 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ベースタイマ
クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
5種類の時間での割り込み発生が可能。

LC87F1M16A

シリアルインタフェース

- SI00 : 同期式シリアルインタフェース
 - LSB先頭/MSB先頭切換え可能
 - 転送クロック周期 : 4/3 ~ 512/3tCYC
 - 連続自動データ通信(1 ~ 256ビットまでビット単位で設定可能)
 - (バイト単位で転送途中停止・再開が可能)
- SI01 : 8ビット非同期/同期式シリアルインタフェース
 - モード0 : 同期式8ビットシリアルI/O(2線式または3線式, 転送クロック2 ~ 512tCYC)
 - モード1 : 非同期シリアルI/O(半二重, データ8ビット, ストップビット1, ボーレート8 ~ 2048tCYC)
 - モード2 : バスモード1(スタートビット, データ8ビット, 転送クロック2 ~ 512tCYC)
 - モード3 : バスモード2(スタート検出, データ8ビット, ストップ検出)
- SI04 : 同期式シリアルインタフェース
 - LSB先頭/MSB先頭切換え可能
 - 転送クロック周期 : 4/3 ~ 1020/3tCYC
 - 連続自動データ通信(1 ~ 1024バイトまでバイト単位で設定可能)
 - (バイト単位あるいはワード単位で転送途中停止・再開が可能)
 - クロック極性切換え可能
 - CRC16演算回路内蔵

全二重UART

- UART1
 - データ長 : 7/8/9ビット切換え
 - ストップビット長 : 1ビット(連続送信時は2ビット)
 - ボーレート : 16/3 ~ 8192/3tCYC
- SCUART
 - データ長 : 7/8ビット切換え
 - ストップビット長 : 1/2ビット切換え
 - パリティビット : 無し/偶数パリティ/奇数パリティ
 - ボーレート : 8/3 ~ 8192/3tCYC
 - LSB先頭/MSB先頭切換え
 - スマートカードインタフェース機能

ADコンバータ : 12ビット×20チャンネル

- 12/8ビットADコンバータ分解能切換え

PWM : 周期可変12ビットPWM×2チャンネル

USBインタフェース(ファンクション機能)

USB2.0(Full-Speed)準拠

最大6つのユーザ設定エンドポイントをサポート

Endpoint		EP0	EP1	EP2	EP3	EP4	EP5	EP6
Transfer Type	Control		-	-	-	-	-	-
	Bulk	-						
	Interrupt	-						
	Isochronous	-						
Max. payload		64	64	64	64	64	64	64

LC87F1M16A

ウォッチドッグタイマ

- 内部カウンタによるウォッチドッグタイマ
専用低速RC発振クロック(約30kHz)/サブクロックにより動作するタイマのオーバーフローで内部リセット発生可能
HALT/HOLDモード突入によるカウント動作継続/停止/保持を選択可能

クロック出力機能

システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を出力可能
サブクロックの源発振クロックを出力可能

割り込み

- 35要因10ベクタ
割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。
割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。
2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4/USBバスアクティブ
4	0001BH	HまたはL	INT3/INT5/ベースタイマ
5	00023H	HまたはL	T0H/INT6
6	0002BH	HまたはL	T1L/T1H/INT7
7	00033H	HまたはL	SI00/USBバスリセット/USBサスペンド/UART1受信終了/ SCUART受信終了
8	0003BH	HまたはL	SI01/USBエンドポイント/USB-SOF/SI04/ UART1バッファエンプティ/UART1送信終了/ SCUARTバッファエンプティ/SCUART送信終了
9	00043H	HまたはL	ADC/T6/T7
10	0004BH	HまたはL	ポート0/PWM0/PWM1/T4/T5

- 優先レベルX > H > L
- 同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大512レベル(スタックはRAMの中に設定)

高速乗除算命令

- 16ビット×8ビット (実行時間：5tCYC)
- 24ビット×16ビット (実行時間：12tCYC)
- 16ビット÷8ビット (実行時間：8tCYC)
- 24ビット÷16ビット (実行時間：12tCYC)

発振回路およびPLL

- RC発振回路(内蔵) : システムクロック用(約1MHz)
- 低速RC発振回路(内蔵) : ウォッチドッグタイマ用(約30kHz)
- CF発振回路 : システムクロック用
- 水晶発振回路 : システムクロック用、時計用
- PLL回路(内蔵) : USBインタフェース用(図5参照)

内蔵リセット機能

- ・パワーオンリセット(POR)機能
PORは電源投入時のみリセットがかかる。
PORの解除レベルを4レベル(2.57V, 2.87V, 3.86V, 4.35V)オプションにて切換え可能。
- ・低電圧検知リセット(LVD)機能
LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかる。
LVD機能を使用する/使用しないと低電圧検知レベルを3レベル(2.81V, 3.79V, 4.28V)オプションにて切換え可能。

スタンバイ機能

- ・HALTモード：命令実行停止,周辺回路動作継続
発振の停止は自動的には行わない。
HALTモードを解除するには次の3つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)ウォッチドッグタイマまたは、低電圧検知によるリセットの発生。
 - (3)割り込みの発生。
- ・HOLDモード：命令実行停止,周辺回路動作停止
PLLベースクロックジェネレータ,CF発振,RC発振,水晶発振のいずれも自動的に停止する。
(注)低速RC発振は、ウォッチドッグタイマから直接発振が制御され、スタンバイモード時の発振の制御も行われる。
HOLDモードを解除するには次の5つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)ウォッチドッグタイマまたは、低電圧検知によるリセットの発生。
 - (3)INT0, INT1, INT2, INT4, INT5の何れかで割り込み要因が成立する。
INT0, INT1はレベル検出設定に限る。
 - (4)ポート0で割り込み要因が成立する。
 - (5)USBインタフェース回路でバスアクティブ割り込み要因が成立する。
- ・X'tal HOLDモード：命令実行停止,ベースタイマ以外の周辺回路動作停止
PLLベースクロックジェネレータ,CF発振,RC発振は自動的に停止する。
(注)低速RC発振は、ウォッチドッグタイマから直接発振が制御され、スタンバイモード時の発振の制御も行われる。
水晶発振は突入時の状態を維持する。
X'tal HOLDモードを解除するには次の6つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)ウォッチドッグタイマまたは、低電圧検知によるリセットの発生。
 - (3)INT0, INT1, INT2, INT4, INT5の何れかで割り込み要因が成立する。
INT0, INT1はレベル検出設定に限る。
 - (4)ポート0で割り込み要因が成立する。
 - (5)ベースタイマ回路で割り込み要因が成立する。
 - (6)USBインタフェース回路でバスアクティブ割り込み要因が成立する。

開発ツール

- ・オンチップデバッガ：TCB87-TypeC(1線通信用ケーブル) + LC87F1M16A

LC87F1M16A

フラッシュROM書き込み基板

パッケージ	書き込み基板
SQFP48(7×7)	W87F55256SQ

フラッシュROMライター

メーカー		モデル	対応バージョン	デバイス
フラッシュサポート グループ(FSG)	シングル	AF9709/AF9709B/AF9709C (安藤電気製含む)	Rev.03.32以降	87F016JU
フラッシュサポート グループ(FSG) + 当社(注1)	オンボード シングル/ ギャング	AF9101/AF9103(本体) (FSG製) SIB87 (インタフェースドライバ) (当社製)	(注2)	LC87F1M16A
当社	シングル/ ギャング	SKK/SKK TypeB (SANYO FWS)	Application Version 1.06以降 Chip Data Version 2.31以降	LC87F1M16
	オンボード シングル/ ギャング	SKK-DBG TypeC (SANYO FWS)		

(AFシリーズについてのお問い合わせ先)

フラッシュサポートグループ株式会社

TEL 053-459-1050

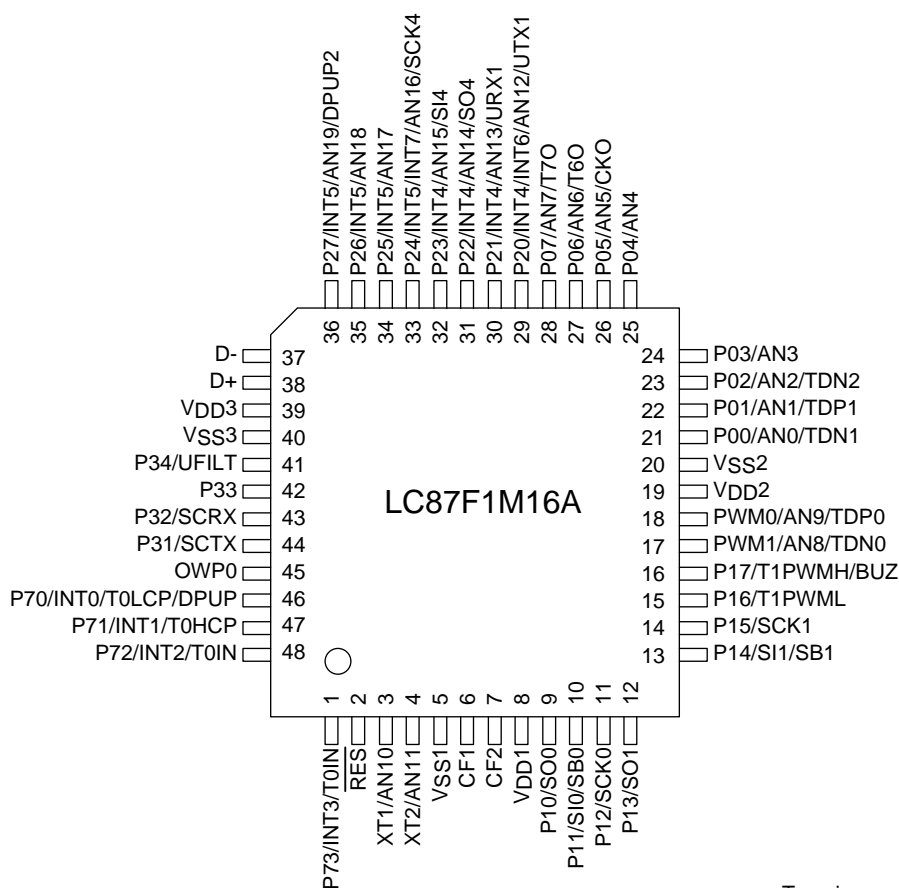
E-mail sales@j-fsg.co.jp

(注1) FSG製オンボードプログラマ【AF9101/AF9103】と弊社から提供するシリアルインタフェースドライバ【SIB87】をペアで使用することにより、PC-lessのスタンドアローン・オンボード書き込みが可能。

(注2) 書き込み使用条件により専用の書き込み装置とプログラムが必要になるので、弊社またはFSGへお問い合わせください。

LC87F1M16A

ピン配置図



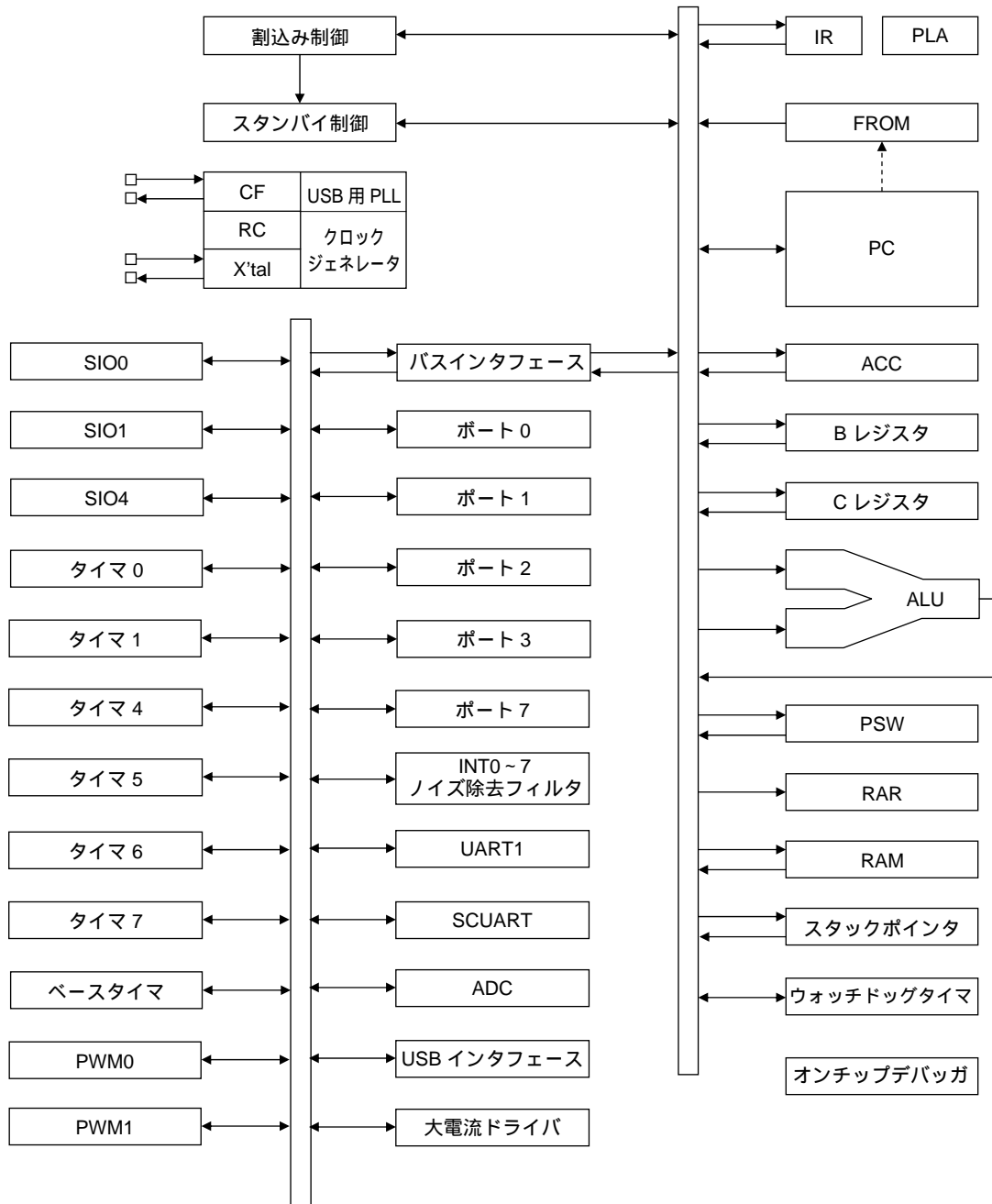
Top view
SQFP48(7×7) 『鉛・ハロゲン フリー仕様品』

SQFP48	NAME
1	P73/INT3/TOIN
2	RES
3	XT1/AN10
4	XT2/AN11
5	VSS1
6	CF1
7	CF2
8	VDD1
9	P10/SO0
10	P11/SI0/SB0
11	P12/SCK0
12	P13/SO1
13	P14/SI1/SB1
14	P15/SCK1
15	P16/T1PWML
16	P17/T1PWMH/BUZ
17	PWM1/AN8/TDNO
18	PWM0/AN9/TDPO
19	VDD2
20	VSS2
21	P00/AN0/TDN1
22	P01/AN1/TDP1
23	P02/AN2/TDN2
24	P03/AN3

SQFP48	NAME
25	P04/AN4
26	P05/AN5/CKO
27	P06/AN6/T60
28	P07/AN7/T70
29	P20/INT4/INT6/AN12/UTX1
30	P21/INT4/AN13/URX1
31	P22/INT4/AN14/SO4
32	P23/INT4/AN15/SI4
33	P24/INT5/INT7/AN16/SCK4
34	P25/INT5/AN17
35	P26/INT5/AN18
36	P27/INT5/AN19/DPUP2
37	D -
38	D +
39	VDD3
40	VSS3
41	P34/UFILT
42	P33
43	P32/SCRX
44	P31/SCTX
45	OWPO
46	P70/INT0/TO/LCP/DPUP
47	P71/INT1/TO/HCP
48	P72/INT2/TO/IN

LC87F1M16A

システムブロック図



LC87F1M16A

端子機能表

端子名	I/O	機能説明	オプション																														
VSS1, VSS2, VSS3	-	電源の - 端子	なし																														
VDD1, VDD2	-	電源の + 端子	なし																														
VDD3	-	USB基準電源端子	あり																														
ポート0 P00 ~ P07	I/O	<ul style="list-style-type: none"> ・ 8ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のパルアップ抵抗 ON/OFF可能 ・ HOLD解除入力 ・ ポート0割り込み入力 ・ 端子機能 <ul style="list-style-type: none"> AD変換入力ポート : AN0 ~ AN7 (P00 ~ P07) P00 : 大電流Nchドライバ(TDN1) P01 : 大電流Pchドライバ(TDP1) P02 : 大電流Nchドライバ(TDN2) P05 : システムクロック出力 P06 : タイマ6トグル出力 P07 : タイマ7トグル出力 	あり																														
ポート1 P10 ~ P17	I/O	<ul style="list-style-type: none"> ・ 8ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のパルアップ抵抗ON/OFF可能 ・ 端子機能 <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">P10 : SI00データ出力</td> <td style="width: 50%;">P14 : SI01データ入力/バス入出力</td> </tr> <tr> <td>P11 : SI00データ入力/バス入出力</td> <td>P15 : SI01クロック入出力</td> </tr> <tr> <td>P12 : SI00クロック入出力</td> <td>P16 : タイマ1PWML出力</td> </tr> <tr> <td>P13 : SI01データ出力</td> <td>P17 : タイマ1PWML出力/ブザー出力</td> </tr> </table> 	P10 : SI00データ出力	P14 : SI01データ入力/バス入出力	P11 : SI00データ入力/バス入出力	P15 : SI01クロック入出力	P12 : SI00クロック入出力	P16 : タイマ1PWML出力	P13 : SI01データ出力	P17 : タイマ1PWML出力/ブザー出力	あり																						
P10 : SI00データ出力	P14 : SI01データ入力/バス入出力																																
P11 : SI00データ入力/バス入出力	P15 : SI01クロック入出力																																
P12 : SI00クロック入出力	P16 : タイマ1PWML出力																																
P13 : SI01データ出力	P17 : タイマ1PWML出力/ブザー出力																																
ポート2 P20 ~ P27	I/O	<ul style="list-style-type: none"> ・ 8ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のパルアップ抵抗 ON/OFF可能 ・ 端子機能 <ul style="list-style-type: none"> AD変換入力ポート : AN12 ~ 19 (P20 ~ P27) P20 ~ P23 : INT4入力/HOLD解除入力/タイマイベント入力 /タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 P24 ~ P27 : INT5入力/HOLD解除入力/タイマイベント入力 /タイマ0Lキャプチャ入力/タイマ0Hキャプチャ入力 P20 : INT6入力/タイマ0Lキャプチャ1入力/UART1送信 P21 : UART1受信 P22 : SI04データ入出力 P23 : SI04データ入出力 P24 : INT7入力/タイマ0Hキャプチャ1入力/SI04クロック入出力 P27 : D+ の1.5kΩパルアップ抵抗接続端子 <p>インタラプト受付形式</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT5</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT6</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT7</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4				×	×	INT5				×	×	INT6				×	×	INT7				×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT4				×	×																												
INT5				×	×																												
INT6				×	×																												
INT7				×	×																												

次ページへ続く。

LC87F1M16A

前ページより続く。

端子名	I/O	機能説明	オプション																														
ポート3 P31 ~ P34	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> P31 : SCUART送信 P32 : SCUART受信 P34 : USBインタフェース用PLLフィルタ回路接続端子(図5参照) 	あり																														
ポート7 P70 ~ P73	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のパルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> P70 : INT0入力/HOLD解除入力/タイマ0Lキャプチャ入力 /D+ の1.5kΩパルアップ抵抗接続端子 P71 : INT1入力/HOLD解除入力/タイマ0Hキャプチャ入力 P72 : INT2入力/HOLD解除入力/タイマ0イベント入力 /タイマ0Lキャプチャ入力/高速クロックカウンタ入力 P73 : INT3入力(ノイズフィルタ付き入力)/タイマ0イベント入力 /タイマ0Hキャプチャ入力 <p>インタラプト受付形式</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			×			INT1			×			INT2				×	×	INT3				×	×	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0			×																														
INT1			×																														
INT2				×	×																												
INT3				×	×																												
PWM0 PWM1	I/O	<ul style="list-style-type: none"> ・PWM0, PWM1出力ポート ・端子機能 <ul style="list-style-type: none"> 汎用入力ポート AD変換入力ポート : AN8(PWM1), AN9(PWM0) PWM0 : 大電流Pchドライバ(TDPO) PWM1 : 大電流Nchドライバ(TDNO) 	なし																														
D -	I/O	USBデータ入出力端子 D- /汎用入出力ポート	なし																														
D +	I/O	USBデータ入出力端子 D+ /汎用入出力ポート	なし																														
RES	I/O	外部リセット入力/内部リセット出力端子	なし																														
XT1	I	<ul style="list-style-type: none"> ・32.768kHz水晶発振子用入力端子 ・端子機能 <ul style="list-style-type: none"> 汎用入力ポート AD変換入力ポート : AN10 	なし																														
XT2	I/O	<ul style="list-style-type: none"> ・32.768kHz水晶発振子用出力端子 ・端子機能 <ul style="list-style-type: none"> 汎用入出力ポート AD変換入力ポート : AN11 	なし																														
CF1	I	セラミック発振子用入力端子	なし																														
CF2	O	セラミック発振子用出力端子	なし																														
OWPO	I/O	デバッガ専用端子	なし																														

LC87F1M16A

オンチップデバッグ端子処理

オンチップデバッグ端子の処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】を参照すること。

未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00 ~ P07	OPEN	出力Low設定
P10 ~ P17	OPEN	出力Low設定
P20 ~ P27	OPEN	出力Low設定
P31 ~ P34	OPEN	出力Low設定
P70 ~ P73	OPEN	出力Low設定
PWM0, PWM1	OPEN	出力Low設定
D+, D-	OPEN	出力Low設定
XT1	100kΩ以下の抵抗でプルダウン	-
XT2	OPEN	出力Low設定
OWP0	100kΩの抵抗でプルダウン	-

(注)P34はUFILTと兼用のため、USB機能を使用する場合、入力モード設定とすること。

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07 P10 ~ P17 P20 ~ P27 P31 ~ P34	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
PWM0, PWM1	-	なし	CMOS	なし
D+, D-	-	なし	CMOS	なし
XT1	-	なし	入力専用	なし
XT2	-	なし	32.768kHz水晶発振子用出力 (汎用出力ポート選択時は Nch-オープンドレイン)	なし

LC87F1M16A

ユーザオプション一覧表

オプション名	オプション種類	フラッシュ版	オプション切換え単位	指定する内容
ポート出力形式	P00 ~ P07		1ビット単位	CMOS
				Nch-open drain
	P10 ~ P17		1ビット単位	CMOS
				Nch-open drain
	P20 ~ P27		1ビット単位	CMOS
				Nch-open drain
	P31 ~ P34		1ビット単位	CMOS
				Nch-open drain
Program start address	-		-	00000h
				03E00h
USB Regulator	USB Regulator		-	USE
				NONUSE
	USB Regulator (at HOLD mode)		-	USE
				NONUSE
	USB Regulator (at HALT mode)		-	USE
				NONUSE
Main clock 8MHz selection	-		-	ENABLE
				DISABLE
Low-voltage detection reset function	Detect function		-	Enable:Use
				Disable:Not Used
	Detect level		-	3-level
Power-on reset function	Power-On reset level		-	4-level

LC87F1M16A

USB 基準電源オプション

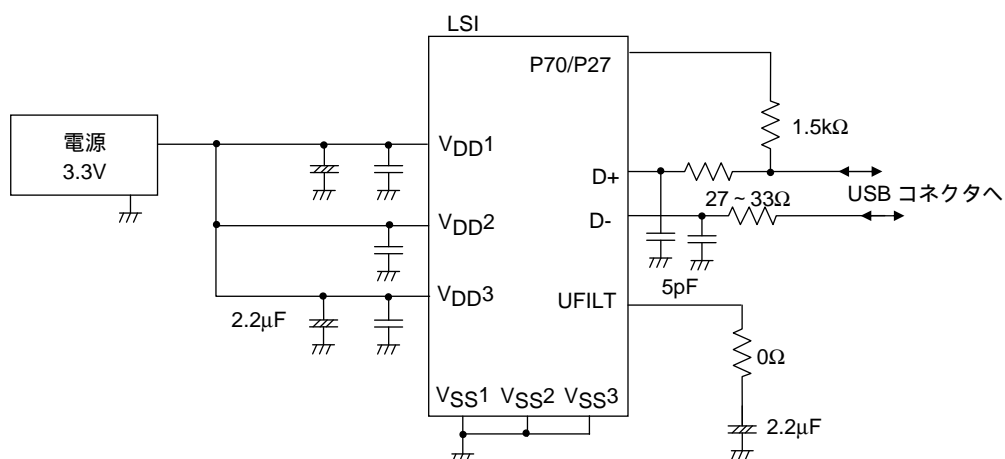
V_{DD1}に4.5V～5.5Vを供給し、内蔵のUSB基準電圧回路を動作させることにより、USBポート出力用の基準電圧が生成される。この基準電圧回路の動作はオプションの設定で切換えることができる。オプションの設定方法を以下に示す。

オプションの設定	USB Regulator	USE	USE	USE	NONUSE
	USB Regulator at HOLD mode	USE	NONUSE	NONUSE	NONUSE
	USB Regulator at HALT mode	USE	NONUSE	USE	NONUSE
基準電圧回路の動作	通常動作時	動作	動作	動作	停止
	HOLDモード時	動作	停止	停止	停止
	HALTモード時	動作	停止	動作	停止

- ・基準電圧回路を停止させると、USBポート出力用基準電圧はV_{DD1}と同じ電圧レベルになる。
- ・および は、HALTおよびHOLDモード時に基準電圧回路を停止させる場合に使用する。
- ・基準電圧回路を動作させると、停止状態に比べて消費電流が100μA程度増加する。

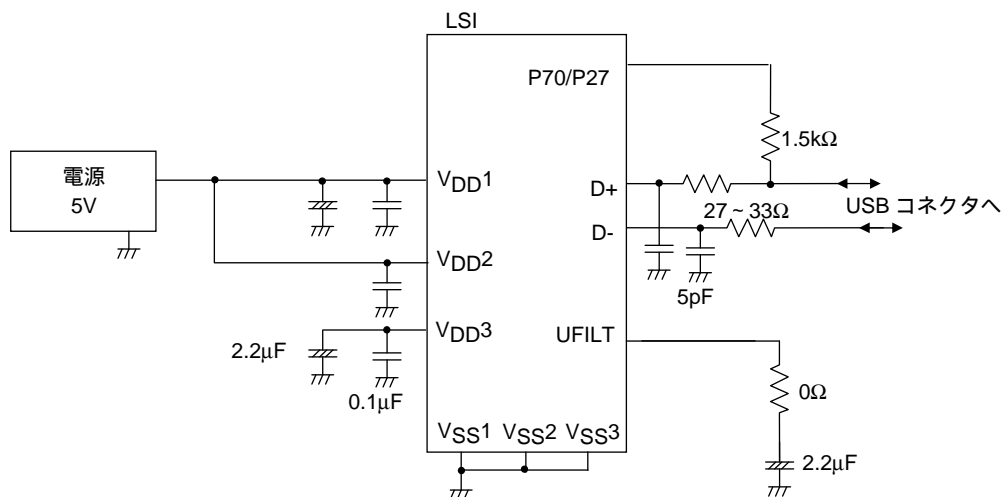
【回路例1】V_{DD1}=V_{DD2}=3.3Vの場合

- ・基準電圧回路を停止させる(の設定)。
- ・V_{DD3}をV_{DD1}とV_{DD2}に接続する。



【回路例2】V_{DD1}=V_{DD2}=5.0Vの場合

- ・基準電圧回路を動作させる(の設定)。
- ・V_{DD3}をV_{DD1}とV_{DD2}から分離させ、V_{DD3}とV_{SS}との間にコンデンサを接続する。



LC87F1M16A

絶対最大定格/Ta=25 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min	typ	max	
最大電源電圧	VDD max	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		- 0.3		+ 6.5	V
入力電圧	VI(1)	XT1, CF1, RES			- 0.3		VDD + 0.3	
入出力電圧	VI0(1)	ポート0, 1, 2, 3, 7 PWM0, PWM1 XT2			- 0.3		VDD + 0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	P00, P02 ~ P07 ポート1, 2	・CMOS出力選択時 ・適用1端子当り		- 10		mA
		IOPH(2)	PWM1	適用1端子当り		- 20		
		IOPH(3)	PWM0(TDP0) P01(TDP1)	・CMOS出力選択時 ・適用1端子当り		- 50		
		IOPH(4)	ポート3 P71 ~ P73	・CMOS出力選択時 ・適用1端子当り		- 5		
	平均出力電流 (注1-1)	IOMH(1)	P00, P02 ~ P07 ポート1, 2	・CMOS出力選択時 ・適用1端子当り		- 7.5		
		IOMH(2)	PWM1	適用1端子当り		- 15		
		IOMH(3)	PWM0(TDP0) P01(TDP1)	・CMOS出力選択時 ・適用1端子当り		- 30		
		IOMH(4)	ポート3 P71 ~ P73	・CMOS出力選択時 ・適用1端子当り		- 3		
	合計出力電流	ΣIOAH(1)	P00, P02 ~ P07 ポート2	適用全端子合計		- 25		
		ΣIOAH(2)	ポート1 PWM1	適用全端子合計		- 25		
		ΣIOAH(3)	PWM0(TDP0) P01(TDP1)	適用全端子合計		- 50		
		ΣIOAH(4)	ポート0, 1, 2 PWM0, PWM1	適用全端子合計		- 100		
		ΣIOAH(5)	ポート3 P71 ~ P73	適用全端子合計		- 10		
		ΣIOAH(6)	D+, D-	適用全端子合計		- 25		

注1-1：平均出力電流は100ms期間の平均値を示す。

次ページへ続く。

LC87F1M16A

前ページより続く。

項目	記号	適用端子・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
低レベル出力電流	ピーク出力電流	IOPL(1)	P03 ~ P07 ポート1,2 PWM0	適用1端子当り				20	mA
		IOPL(2)	P01	適用1端子当り				30	
		IOPL(3)	PWM1(TDN0) P00(TDN1) P02(TDN2)	適用1端子当り				50	
		IOPL(4)	ポート3,7 XT2	適用1端子当り				10	
	平均出力電流 (注1-1)	IOML(1)	P03 ~ P07 ポート1,2 PWM0	適用1端子当り				15	
		IOML(2)	P01	適用1端子当り				20	
		IOML(3)	PWM1(TDN0) P00(TDN1) P02(TDN2)	適用1端子当り				30	
		IOML(4)	ポート3,7 XT2	適用1端子当り				7.5	
	合計出力電流	ΣIOAL(1)	P01, P03 ~ P07 ポート2	適用全端子合計				45	
		ΣIOAL(2)	ポート1 PWM0	適用全端子合計				45	
		ΣIOAL(3)	PWM1(TDN0) P00(TDN1) P02(TDN2)	適用全端子合計				50	
		ΣIOAL(4)	ポート0,1,2 PWM0, PWM1	適用全端子合計				140	
ΣIOAL(5)		ポート3,7 XT2	適用全端子合計				15		
ΣIOAL(6)		D+, D-	適用全端子合計				25		
許容消費電力	Pd max	SQFP48(7×7)	Ta = -30 ~ +70				190	mW	
			Ta = -40 ~ +85				140		
動作周囲温度	Topr				-40		+85		
保存周囲温度	Tstg				-55		+125		

注1-1：平均出力電流は100ms期間の平均値を示す。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LC87F1M16A

許容動作条件/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
動作電源電圧 (注2-1)	$V_{DD}(1)$	$V_{DD1} = V_{DD2} = V_{DD3}$	0.245 μ s tCYC 200 μ s		3.0		5.5	V
			0.490 μ s tCYC 200 μ s オンボード書き込みは除く		2.7		5.5	
			0.245 μ s tCYC 0.383 μ s USB回路動作時		3.0		5.5	
メモリ保持 電源電圧	VHD	$V_{DD1} = V_{DD2} = V_{DD3}$	HOLDモード時 RAM, レジスタ保持		2.0		5.5	
高レベル 入力電圧	$V_{IH}(1)$	・ポート0, 1, 2, 3, 7 ・PWM0, PWM1		2.7 ~ 5.5	0.3 V_{DD} + 0.7		V_{DD}	V
	$V_{IH}(2)$	XT1, XT2, CF1, \overline{RES}		2.7 ~ 5.5	0.75 V_{DD}		V_{DD}	
低レベル 入力電圧	$V_{IL}(1)$	・ポート1, 2, 3, 7		4.0 ~ 5.5	V_{SS}		0.1 V_{DD} + 0.4	V
	$V_{IL}(2)$			2.7 ~ 4.0	V_{SS}		0.2 V_{DD}	
	$V_{IL}(3)$	・ポート0 ・PWM0, PWM1		4.0 ~ 5.5	V_{SS}		0.15 V_{DD} + 0.4	
	$V_{IL}(4)$			2.7 ~ 4.0	V_{SS}		0.2 V_{DD}	
	$V_{IL}(5)$	XT1, XT2, CF1, \overline{RES}		2.7 ~ 5.5	V_{SS}		0.25 V_{DD}	
命令サイクル タイム (注2-2)	tCYC			3.0 ~ 5.5	0.245		200	μ s
			オンボード書き込みは除く	2.7 ~ 5.5	0.490		200	
			USB回路動作時	3.0 ~ 5.5	0.245		0.383	
外部システム クロック 周波数	FEXCF(1)	CF1	・CF2端子オープン ・システムクロック分周1/1 ・外部システムクロック のDUTY=50 \pm 5%	3.0 ~ 5.5	0.1		12	MHz
			・CF2端子オープン ・システムクロック分周1/1 ・外部システムクロック のDUTY=50 \pm 5%	2.7 ~ 5.5	0.1		6	
発振周波数 範囲 (注2-3)	FmCF	CF1, CF2	12MHzセラミック発振時 図1参照	3.0 ~ 5.5		12		MHz
	FmRC		内蔵RC発振	2.7 ~ 5.5	0.5	1.0	2.0	
	FmSLRC		内蔵低速RC発振	2.7 ~ 5.5	15	30	60	
	FsX'tal	XT1, XT2	32.768kHz水晶発振時 図2参照	2.7 ~ 5.5		32.768		kHz

注2-1: フラッシュROMへのオンボード書き込みは、 V_{DD} 3.0Vとすること。

注2-2: tCYCと発振周波数の関係式は、1/1分周時: 3/FmCF、1/2分周時: 6/FmCF。

注2-3: 発振定数は表1, 2参照のこと。

LC87F1M16A

電気的特性/Ta= - 40 ~ + 85 , V_{SS1}=V_{SS2}=V_{SS3}=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	ポート0,1,2,3,7 $\overline{\text{RES}}$ PWM0, PWM1 D+, D-	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{DD} (出力Tr.のオフ フリーク電流を含む)	2.7~5.5			1	μA
	I _{IH} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{DD}	2.7~5.5			1	
	I _{IH} (3)	CF1	V _{IN} =V _{DD}	2.7~5.5			15	
低レベル入力電流	I _{IL} (1)	ポート0,1,2,3,7 $\overline{\text{RES}}$ PWM0, PWM1 D+, D-	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{SS} (出力Tr.のオフ フリーク電流を含む)	2.7~5.5	- 1			μA
	I _{IL} (2)	XT1, XT2	入力ポート仕様 V _{IN} =V _{SS}	2.7~5.5	- 1			
	I _{IL} (3)	CF1	V _{IN} =V _{SS}	2.7~5.5	- 15			
高レベル出力電圧	V _{OH} (1)	ポート0,1,2,3	I _{OH} = - 1mA	4.5~5.5	V _{DD} - 1			V
	V _{OH} (2)	P71~P73	I _{OH} = - 0.4mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (3)		I _{OH} = - 0.2mA	2.7~5.5	V _{DD} - 0.4			
	V _{OH} (4)	PWM0, PWM1	I _{OH} = - 10mA	4.5~5.5	V _{DD} - 1.5			
	V _{OH} (5)	P05(CKOシステム クロック出力機能 使用時)	I _{OH} = - 1.6mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (6)		I _{OH} = - 1mA	2.7~5.5	V _{DD} - 0.4			
	V _{OH} (7)	PWM0, P01 (大電流ドライバ 使用時)	I _{OH} = - 30mA	4.5~5.5	V _{DD} - 0.5	V _{DD} - 0.15		
低レベル出力電圧	V _{OL} (1)	P00, P01	I _{OL} =30mA	4.5~5.5			1.5	V
	V _{OL} (2)		I _{OL} =5mA	3.0~5.5			0.4	
	V _{OL} (3)		I _{OL} =2.5mA	2.7~5.5			0.4	
	V _{OL} (4)	ポート0,1,2	I _{OL} =10mA	4.5~5.5			1.5	
	V _{OL} (5)	PWM0, PWM1 XT2	I _{OL} =1.6mA	3.0~5.5			0.4	
	V _{OL} (6)		I _{OL} =1mA	2.7~5.5			0.4	
	V _{OL} (7)	ポート3,7	I _{OL} =1.6mA	3.0~5.5			0.4	
	V _{OL} (8)		I _{OL} =1mA	2.7~5.5			0.4	
	V _{OL} (9)	PWM1, P00, P02 (大電流ドライバ 使用時)	I _{OL} =30mA	4.5~5.5		0.15	0.5	
プルアップ抵抗	R _{pu} (1)	ポート0,1,2,3,7	V _{OH} =0.9V _{DD}	4.5~5.5	15	35	80	kΩ
	R _{pu} (2)			2.7~4.5	18	50	150	
ヒステリシス電圧	V _{HYS}	$\overline{\text{RES}}$ ポート1,2,3,7		2.7~5.5		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} =V _{SS} f=1MHz Ta=25	2.7~5.5		10		pF

LC87F1M16A

シリアル入出力特性/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

1. S100 シリアル入出力特性(注 4-1-1)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格								
						min	typ	max	unit					
シリアル クロック	入力 クロック	周期	tSCK(1)	SCK0(P12)	図8参照	2.7~5.5	2			tCYC				
		低レベル パルス幅	tSCKL(1)				1							
		高レベル パルス幅	tSCKH(1)				1							
			tSCKHA(1a)	・連続データ送受信モード ・USB, S104を同時に使用 しない ・図8参照 ・(注4-1-2)			4							
		tSCKHA(1b)	・連続データ送受信モード ・USBを同時に使用 ・S104を同時に使用しない ・図8参照 ・(注4-1-2)	7										
		tSCKHA(1c)	・連続データ送受信モード ・USB, S104を同時に使用 ・図8参照 ・(注4-1-2)	9										
		出力 クロック	周期	tSCK(2)			SCK0(P12)	・CMOS出力選択時 ・図8参照	2.7~5.5		4/3			tSCK
			低レベル パルス幅	tSCKL(2)							1/2			
			高レベル パルス幅	tSCKH(2)							1/2			
tSCKHA(2a)	・連続データ送受信モード ・USB, S104を同時に使用 しない ・CMOS出力選択時 ・図8参照			tSCKH(2) + 2tCYC		tSCKH(2) + (10/3) tCYC								
tSCKHA(2b)	・連続データ送受信モード ・USBを同時に使用 ・S104を同時に使用しない ・CMOS出力選択時 ・図8参照		tSCKH(2) + 2tCYC		tSCKH(2) + (19/3) tCYC									
tSCKHA(2c)	・連続データ送受信モード ・USB, S104を同時に使用 ・CMOS出力選択時 ・図8参照		tSCKH(2) + 2tCYC		tSCKH(2) + (25/3) tCYC									

注4-1-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-1-2：連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態でS10RUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間をtSCKHAより長くすること。

次ページへ続く。

LC87F1M16A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
シリアル入力	データセットアップ時間	tsDI(1)	SB0(P11), SI0(P11)	・SIOCLKの立ち上がり に対して規定する ・図8参照	2.7~5.5	0.03			
	データホールド時間	thDI(1)				0.03			
シリアル出力	入力クロック	出力遅延時間	S00(P10), SB0(P11)	・連続データ送受信モード ・(注4-1-3)	2.7~5.5			(1/3)tCYC +0.05	μs
						tdDO(2)	・同期式8ビットモード ・(注4-1-3)		
	出力クロック	tdDO(3)	(注4-1-3)			(1/3)tCYC +0.05			

注4-1-3: SIOCLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図8参照。

2.SI01 シリアル入出力特性(注 4-2-1)

項目	記号	適用端子 ・備考	条件	規格						
				V _{DD} [V]	min	typ	max	unit		
シリアルクロック	入力クロック	周期	SCK1(P15)	図8参照	2.7~5.5	2			tCYC	
		低レベルパルス幅				tSCKL(3)	1			
		高レベルパルス幅				tSCKH(3)	1			
	出力クロック	周期	SCK1(P15)	・CMOS出力選択時 ・図8参照		2			tSCK	
		低レベルパルス幅				tSCKL(4)	1/2			
		高レベルパルス幅				tSCKH(4)	1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SB1(P14), SI1(P14)	・SIOCLKの立ち上がり に対して規定する ・図8参照	2.7~5.5	(1/3)tCYC +0.01				
	データホールド時間	thDI(2)				0.01				
シリアル出力	出力遅延時間	tdDO(4)	S01(P13), SB1(P14)	・SIOCLKの立ち下がり に対して規定する ・オープンドレイン出力 時は出力変化開始まで の時間として規定する ・図8参照	2.7~5.5		(1/2)tCYC +0.05	μs		

注4-2-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC87F1M16A

3.SI04 シリアル入出力特性(注 4-3-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアル クロック	入力 クロック	周期	tSCK(5)	SCK4(P24)	図8参照	2.7~5.5	2			tCYC
		低レベル パルス幅	tSCKL(5)				1			
		高レベル パルス幅	tSCKH(5)				1			
			tSCKHA(5a)				<ul style="list-style-type: none"> ・USB, SI00の連続転送モードを同時に使用しない ・図8参照 ・(注4-3-2) 	4		
		tSCKHA(5b)	<ul style="list-style-type: none"> ・USBを同時に使用 ・SI00の連続転送モードを同時に使用しない ・図8参照 ・(注4-3-2) 					7		
	tSCKHA(5c)	<ul style="list-style-type: none"> ・USB, SI00の連続転送モードを同時に使用 ・図8参照 ・(注4-3-2) 	10							
	出力 クロック	周期	tSCK(6)	SCK4(P24)	<ul style="list-style-type: none"> ・CMOS出力選択時 ・図8参照 	2.7~5.5	4/3			tSCK
		低レベル パルス幅	tSCKL(6)				1/2			
		高レベル パルス幅	tSCKH(6)				1/2			
		高レベル パルス幅	tSCKHA(6a)				<ul style="list-style-type: none"> ・USB, SI00の連続転送モードを同時に使用しない ・CMOS出力選択時 ・図8参照 	tSCKH(6) + (5/3) tCYC	tSCKH(6) + (10/3) tCYC	tCYC
tSCKHA(6b)			<ul style="list-style-type: none"> ・USBを同時に使用 ・SI00の連続転送モードを同時に使用しない ・CMOS出力選択時 ・図8参照 				tSCKH(6) + (5/3) tCYC	tSCKH(6) + (19/3) tCYC		
tSCKHA(6c)	<ul style="list-style-type: none"> ・USB, SI00の連続転送モードを同時に使用 ・CMOS出力選択時 ・図8参照 	tSCKH(6) + (5/3) tCYC	tSCKH(6) + (28/3) tCYC							

注4-3-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-3-2：連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態でSI4RUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間をtSCKHAより長くすること。

次ページへ続く。

LC87F1M16A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
シリアル入力	データセット アップ時間	tsDI(3)	S04(P22), S14(P23) ・S10CLKの立ち上がり に対して規定する ・図8参照	2.7~5.5	0.03			μs
	データホールド 時間	thDI(3)			0.03			
シリアル出力	出力遅延時間	tdD0(5)	S04(P22), S14(P23) ・S10CLKの立ち下がり に対して規定する ・オープンドレイン出力 時は出力変化開始まで の時間として規定する ・図8参照	2.7~5.5			(1/3)tCYC + 0.05	μs

パルス入力条件 / Ta = -40 ~ +85 , V_{SS1} = V_{SS2} = V_{SS3} = 0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20~P23), INT5(P24~P27), INT6(P20), INT7(P24)	・割り込み要因フラグを セットできる ・タイマ0,1へのイベント 入力ができる	2.7~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の場合 のINT3(P73)	・割り込み要因フラグを セットできる ・タイマ0へのイベント 入力ができる	2.7~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の場合 のINT3(P73)	・割り込み要因フラグを セットできる ・タイマ0へのイベント 入力ができる	2.7~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の場合 のINT3(P73)	・割り込み要因フラグを セットできる ・タイマ0へのイベント 入力ができる	2.7~5.5	256			
	tPIL(5)	$\overline{\text{RES}}$		リセットできる	2.7~5.5	200		

LC87F1M16A

AD変換特性/Ta= - 40 ~ + 85 , V_{SS1}=V_{SS2}=V_{SS3}=0V

< 12ビットAD変換モード >

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
分解能	N	AN0(P00)		3.0~5.5		12		bit
絶対精度	ET	~ AN7(P07)	(注6-1)	3.0~5.5			±16	LSB
変換時間	TCAD	AN8(PWM1)	変換時間算出方法参照 (注6-2)	4.0~5.5	32		115	μs
		AN9(PWM0)		3.0~5.5	64		115	
アナログ入力 電圧範囲	VAIN	AN10(XT1) AN11(XT2) AN12(P20)		3.0~5.5	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}	~ AN19(P27)	V _{AIN} =V _{DD}	3.0~5.5			1	μA
	I _{AINL}		V _{AIN} =V _{SS}	3.0~5.5	-1			

< 8ビットAD変換モード >

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
分解能	N	AN0(P00)		3.0~5.5		8		bit
絶対精度	ET	~ AN7(P07)	(注6-1)	3.0~5.5			±1.5	LSB
変換時間	TCAD	AN8(PWM1)	変換時間算出方法参照 (注6-2)	4.0~5.5	20		90	μs
		AN9(PWM0)		3.0~5.5	40		90	
アナログ入力 電圧範囲	VAIN	AN10(XT1) AN11(XT2) AN12(P20)		3.0~5.5	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}	~ AN19(P27)	V _{AIN} =V _{DD}	3.0~5.5			1	μA
	I _{AINL}		V _{AIN} =V _{SS}	3.0~5.5	-1			

< 変換時間算出方法 >

12ビットAD変換モード：TCAD(変換時間) = ((52/(AD分周比)) + 2) × (1/3) × tCYC

8ビットAD変換モード：TCAD(変換時間) = ((32/(AD分周比)) + 2) × (1/3) × tCYC

< 推奨動作条件 >

外部発振 F _{mCF} [MHz]	電源電圧範囲 V _{DD} [V]	システム分周 (SYS DIV)	サイクルタイム tCYC [ns]	AD分周比 (ADDIV)	変換時間(TCAD) [μs]	
					12ビットAD	8ビットAD
12	4.0~5.5	1/1	250	1/8	34.8	21.5
	3.0~5.5	1/1	250	1/16	69.5	42.8

注6-1：絶対精度は量子化誤差(±1/2LSB)を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

注6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間を表す。

変換時間は下記のとおり、2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビット変換モードから12ビット変換モードに切換え、最初のAD変換を行った時。

LC87F1M16A

パワーオンリセット(POR)特性/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	条件	オプション 設定電圧	規格			
				min	typ	max	unit
POR解除電圧	PORRL	オプション選択 (注7-1)	2.57V	2.45	2.57	2.69	V
			2.87V	2.75	2.87	2.99	
			3.86V	3.73	3.86	3.99	
			4.35V	4.21	4.35	4.49	
検知電圧不定領域	POUKS	図11参照 (注7-2)			0.7	0.95	
電源立上り時間	PORIS	$V_{DD}=0V \sim 1.6V$ までの電 源立上り時間				100	ms

注7-1：低電圧検知リセットを非選択時にPOR解除電圧を4つのレベルから選択することができる。

注7-2：パワーオンリセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

低電圧検知リセット(LVD)特性/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	条件	オプション 設定電圧	規格			
				min	typ	max	unit
LVDリセット電圧 (注8-2)	LVDET	オプション選択 図12参照 (注8-1) (注8-3)	2.81V	2.71	2.81	2.91	V
			3.79V	3.69	3.79	3.89	
			4.28V	4.18	4.28	4.38	
LVD検知電圧 ヒステリシス	LVHYS		2.81V		55		mV
			3.79V		60		
			4.28V		60		
検知電圧不定領域	LVUKS	図12参照 (注8-4)			0.7	0.95	V
低電圧最小検知幅 (応答感度)	TLVDW	LVDET-0.5V 図13参照		0.2			ms

注8-1：低電圧検知リセットを選択時にLVDリセット電圧を3つのレベルから選択することができる。

注8-2：ヒステリシス電圧はLVDリセット電圧の規格値には含まない。

注8-3：ポートに出力変化や大電流を流すとLVDリセット電圧の規格値を超える場合がある。

注8-4：低電圧検知リセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

LC87F1M16A

消費電流特性/Ta= - 40 ~ + 85 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min	typ	max	unit
通常動作時 消費電流 (注9-1) (注9-2)	IDDOP(1)	VDD1 =VDD2 =VDD3	・FmCF=12MHzセラミック発振時 ・FsX' tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵PLL発振は停止	4.5~5.5		8.8	16	mA
	IDDOP(2)		・内蔵RC発振は停止 ・USB回路は停止 ・1/1分周時	3.0~3.6		5.1	9.2	
	IDDOP(3)		・FmCF=12MHzセラミック発振時 ・FsX' tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵PLL発振動作時	4.5~5.5		13	23	
	IDDOP(4)		・内蔵RC発振は停止 ・USB回路動作時 ・1/1分周時	3.0~3.6		7.0	13	
	IDDOP(5)		mA	・FmCF=12MHzセラミック発振時 ・FsX' tal=32.768kHz水晶発振時 ・システムクロックは6MHz側 ・内蔵RC発振は停止 ・1/2分周時	4.5~5.5		5.6	9.5
	IDDOP(6)			3.0~3.6		3.6	6.0	
	IDDOP(7)			2.7~3.0		3.0	4.8	
	IDDOP(8)			4.5~5.5		0.76	2.8	
	IDDOP(9)			3.0~3.6		0.43	1.5	
	IDDOP(10)			2.7~3.0		0.36	1.2	
	IDDOP(11)			μA	・FmCF=0Hz(発振停止) ・FsX' tal=32.768kHz水晶発振時 ・システムクロックは水晶発振側 (32.768kHz) ・内蔵RC発振は停止 ・1/2分周時	4.5~5.5		48
	IDDOP(12)		3.0~3.6			18	55	
	IDDOP(13)		2.7~3.0			14	40	
HALTモード 消費電流 (注9-1) (注9-2)	IDDHALT(1)	VDD1 =VDD2 =VDD3	・HALTモード ・FmCF=12MHzセラミック発振時 ・FsX' tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵PLL発振は停止 ・内蔵RC発振は停止 ・USB回路は停止 ・1/1分周時	4.5~5.5		4.3	7.6	mA
	IDDHALT(2)		・HALTモード ・FmCF=12MHzセラミック発振時 ・FsX' tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵PLL発振動作時 ・内蔵RC発振は停止 ・USB回路動作時 ・1/1分周時	3.0~3.6		2.2	4.0	
	IDDHALT(3)		4.5~5.5		8.1	15		
	IDDHALT(4)		3.0~3.6		4.2	7.5		

注9-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

注9-2：LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

次ページへ続く。

LC87F1M16A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALTモード 消費電流 (注9-1) (注9-2)	IDDHALT(5)	V _{DD1} =V _{DD2} =V _{DD3}	・HALTモード ・FmCF=12MHzセラミック発振時	4.5~5.5		2.7	4.8	mA
	IDDHALT(6)		・FsX'tal=32.768kHz水晶発振時 ・システムクロックは6MHz側	3.0~3.6		1.3	2.4	
	IDDHALT(7)		・内蔵RC発振は停止 ・1/2分周時	2.7~3.0		1.1	1.8	
	IDDHALT(8)		・HALTモード ・FmCF=0Hz(発振停止)	4.5~5.5		0.48	1.9	μA
	IDDHALT(9)		・FsX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振	3.0~3.6		0.22	0.81	
	IDDHALT(10)		・1/2分周時	2.7~3.0		0.17	0.57	
	IDDHALT(11)		・HALTモード ・FmCF=0Hz(発振停止)	4.5~5.5		35	120	
	IDDHALT(12)		・FsX'tal=32.768kHz水晶発振時 ・システムクロックは水晶発振側 (32.768kHz)	3.0~3.6		9.5	39	
IDDHALT(13)		・内蔵RC発振は停止 ・1/2分周時	2.7~3.0		6.4	27		
HOLDモード 消費電流 (注9-1) (注9-2)	IDDHOLD(1)	V _{DD1}	・HOLDモード	4.5~5.5		0.08	24	μA
	IDDHOLD(2)		・CF1=V _{DD} またはオープン (外部クロック時)	3.0~3.6		0.03	11	
	IDDHOLD(3)			2.7~3.0		0.02	9.6	
	IDDHOLD(4)		・HOLDモード ・LVDオプション選択時	4.5~5.5		2.9	29	
	IDDHOLD(5)		・CF1=V _{DD} またはオープン (外部クロック時)	3.0~3.6		2.2	15	
	IDDHOLD(6)			2.7~3.0		2.1	12	
	IDDHOLD(7)		・HOLDモード ・ウォッチドッグタイマ動作時 (内蔵低速RC発振回路動作)	4.5~5.5		2.9	32	
	IDDHOLD(8)		・CF1=V _{DD} またはオープン (外部クロック時)	3.0~3.6		1.4	16	
	IDDHOLD(9)			2.7~3.0		1.2	14	
時計HOLD モード 消費電流 (注9-1) (注9-2)	IDDHOLD(10)		・時計HOLDモード ・CF1=V _{DD} またはオープン (外部クロック時)	4.5~5.5		31	110	
	IDDHOLD(11)		・FsX'tal=32.768kHz水晶発振時	3.0~3.6		7.0	34	
	IDDHOLD(12)			2.7~3.0		4.3	22	

注9-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

注9-2：LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

LC87F1M16A

USB 特性、タイミング/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	条件	規格			
			min	typ	max	unit
高レベル出力	$V_{OH(USB)}$	・GNDへ $15k\Omega \pm 5\%$	2.8		3.6	V
低レベル出力	$V_{OL(USB)}$	・ $3.6V$ へ $1.5k\Omega \pm 5\%$	0.0		0.3	V
出力信号クロスオーバー電圧	V_{CRS}		1.3		2.0	V
差分入力感度	V_{DI}	・ $ (D+) - (D-) $	0.2			V
差分入力コモンモード範囲	V_{CM}		0.8		2.5	V
高レベル入力	$V_{IH(USB)}$		2.0			V
低レベル入力	$V_{IL(USB)}$				0.8	V
USBデータ立ち上がり時間	t_R	・ $R_S=27 \sim 33\Omega, C_L=50pF$ ・ $V_{DD3}=3.0 \sim 3.6V$	4		20	ns
USBデータ立ち下り時間	t_F	・ $R_S=27 \sim 33\Omega, C_L=50pF$ ・ $V_{DD3}=3.0 \sim 3.6V$	4		20	ns

F-ROM 書き込み特性/ $T_a = +10 \sim +55$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
オンボード 書き込み電流	$I_{DDFW(1)}$	V_{DD1}	・マイコン部の消費電流を 除く	3.0 ~ 5.5		5	10	mA
書き込み時間	$t_{FW(1)}$		・消去動作	3.0 ~ 5.5		20	30	ms
	$t_{FW(2)}$		・書き込み動作			40	60	μs

LC87F1M16A

メイン・システムクロック発振回路特性例

メイン・システムクロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システムクロック発振回路特性例/Ta= - 40 ~ + 85

公称周波数	メーカー名	発振子名	回路定数			動作電圧範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rd1 [Ω]		typ [ms]	max [ms]	
12MHz	村田製作所	CSTCE12MOGH5L**-R0	(33)	(33)	470	3.0~5.5	0.1	0.5	C1,C2 内蔵品 SMD タイプ

発振安定時間は、次の場合に発振が安定するまでに必要な時間である。(図4参照)

- ・V_{DD}が動作電圧下限を上回ってから発振が安定するまでとする。
- ・メインクロック発振回路を開始させる命令を実行後、発振が安定するまでとする。
- ・HOLDモードを解除後、発振が安定するまでとする。
- ・CFSTOP(OCRレジスタのビット0)=0の状態でのHOLDモード解除後、発振動作開始し発振が安定するまでとする。

サブ・システムクロック発振回路特性例

サブ・システムクロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システムクロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf [Ω]	Rd2 [Ω]		typ [s]	max [s]	
32.768kHz	エプソン トヨコム	MC-306	18	18	OPEN	680k	2.7~5.5	1.1	3.0	適用 CL 値 12.5pF SMDタイプ

発振安定時間は、次の場合に発振が安定するまでに必要な時間である。(図4参照)

- ・サブクロック発振回路を開始させる命令を実行後、発振が安定するまでとする。
- ・EXTOSC(OCRレジスタのビット6)=1の状態でのHOLDモード解除後、発振動作開始し発振が安定するまでとする。

(注意)・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

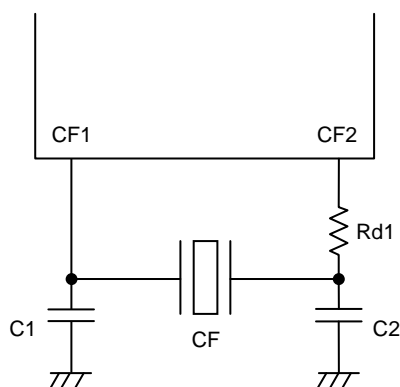


図1 CF発振回路

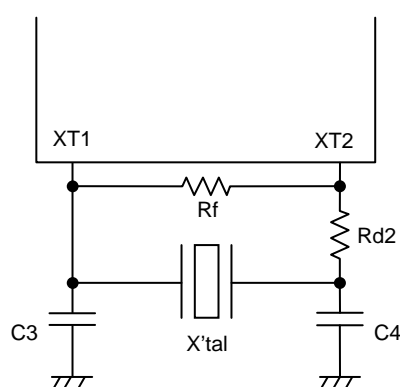


図2 水晶発振回路

LC87F1M16A

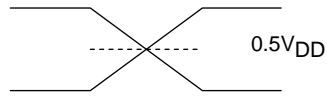
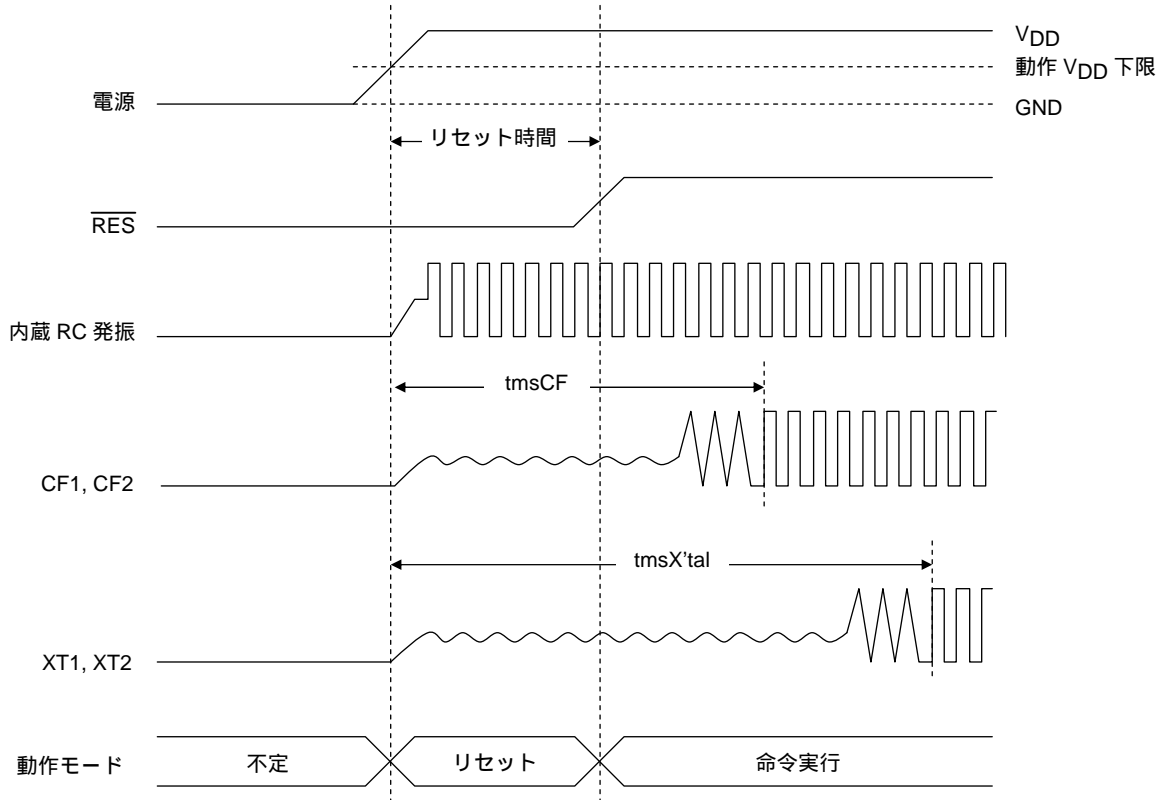
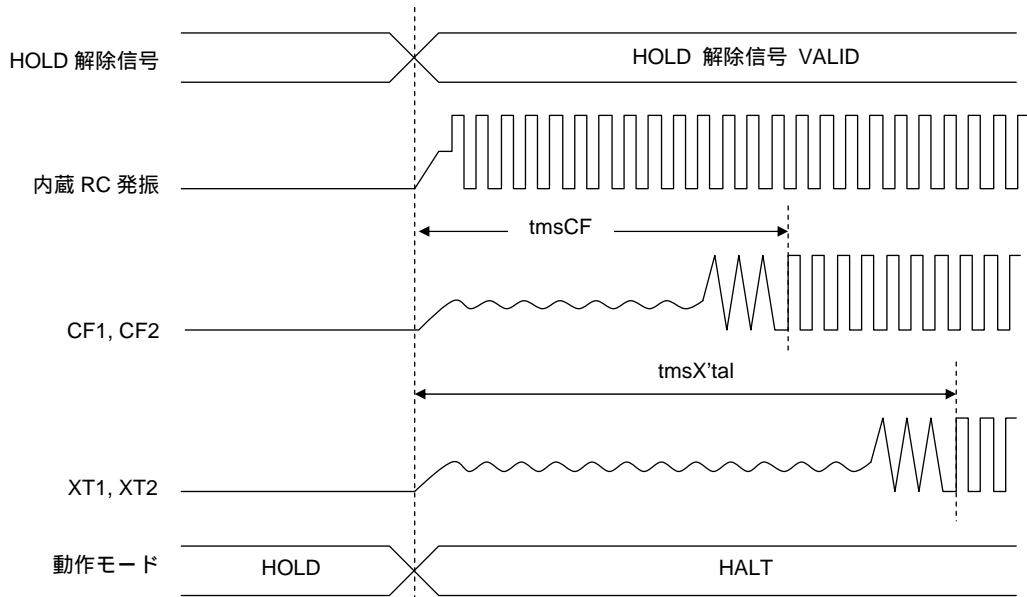


図3 ACタイミング測定点



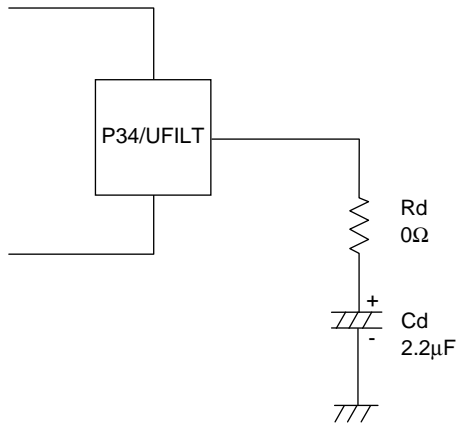
リセット時間と発振安定時間



HOLD解除信号と発振安定時間

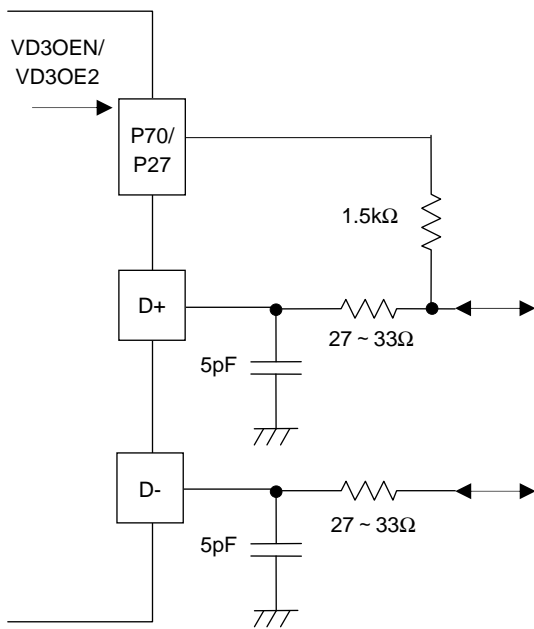
図4 発振安定時間

LC87F1M16A



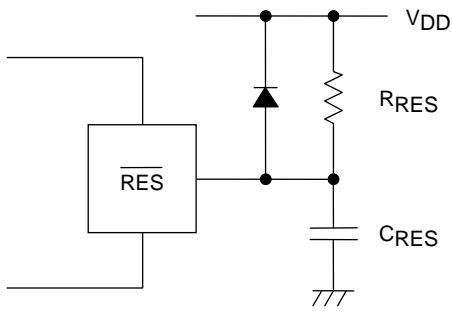
内蔵PLL回路を用いてUSB用48MHzクロックを生成するためにはP34/UFILT端子に左図のフィルタ回路を接続する必要がある。
PLLの設定後、安定時間を20ms以上確保すること。

図5 USB用内蔵PLL外付けフィルタ回路



(注意)
USBポート周辺回路の回路定数は、実装基板ごとに調整が必要である。D+のプルアップ抵抗は、Vbusの有/無に応じてオン/オフ制御できるようにすること。

図6 USBポート周辺回路



(注意)
 パワーオンリセットと低電圧検知リセット機能の
 使用方法により外付け回路が異なるため、ユーザ
 ズマニュアルリセット機能を参照すること。

図7 リセット回路例

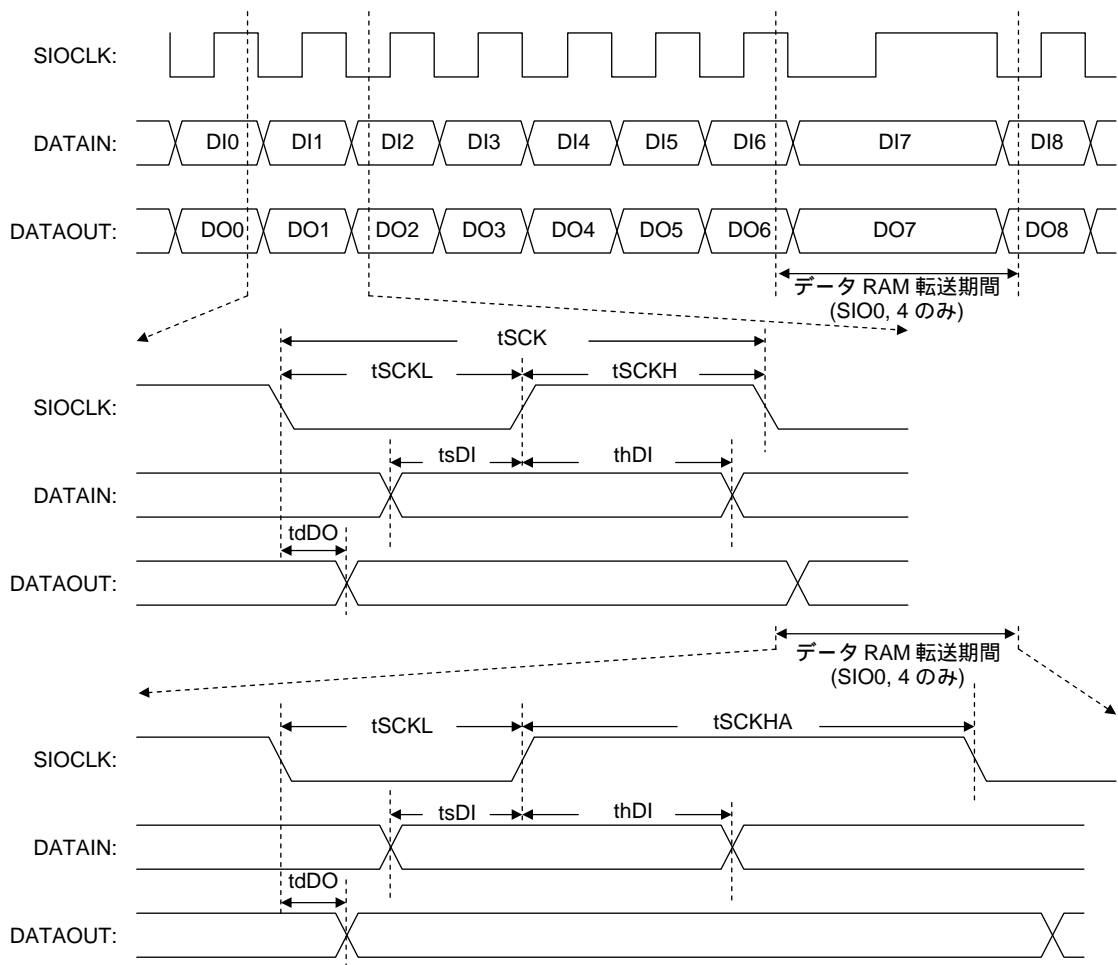


図8 シリアル入出力波形

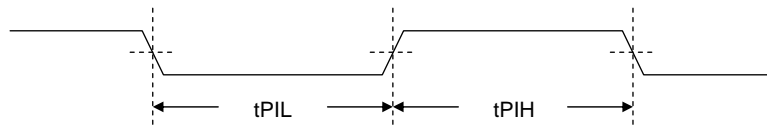


図9 パルス入力タイミング波形

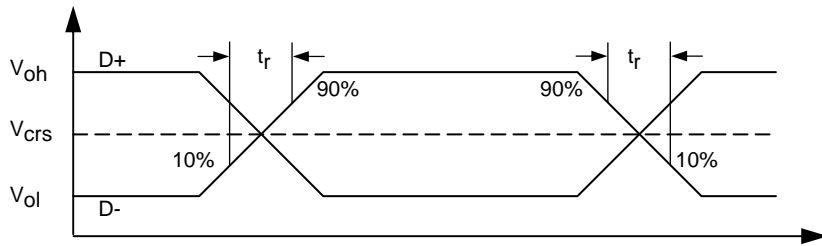


図10 USBデータ信号タイミングと電圧レベル

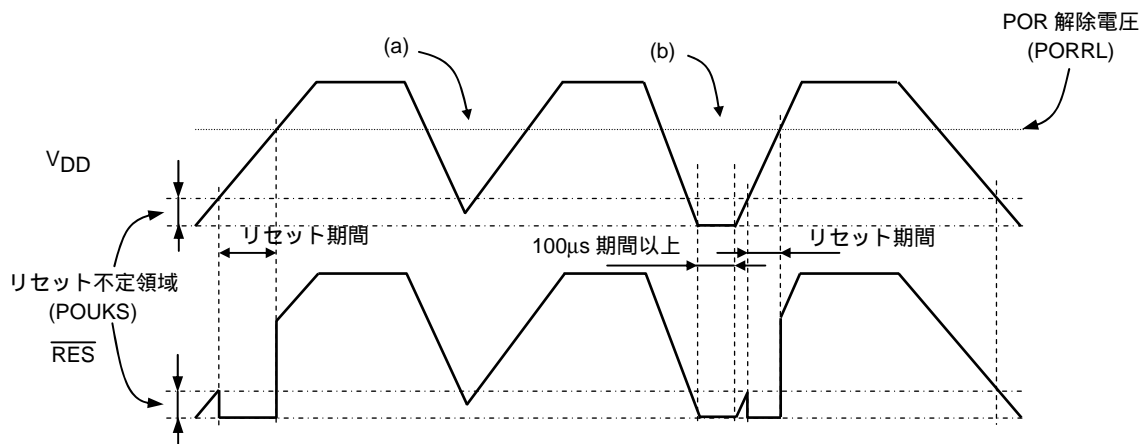


図11 PORのみ(LVD非選択)の動作波形例(リセット端子：プルアップ抵抗PRESのみ)

- ・PORは V_{SS} レベルから電源を立ち上げた時のみリセットが発生する。
- ・(a)のように電源が V_{SS} レベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかからない。このケースが想定される場合には、下記のようにLVD機能を併用するか外付けにリセット回路を構成すること。
- ・(b)のように電源が V_{SS} レベルまで十分下がり、その状態で $100\mu s$ 以上保持されてから電源が再投入された場合のみリセットがかかる。

LC87F1M16A

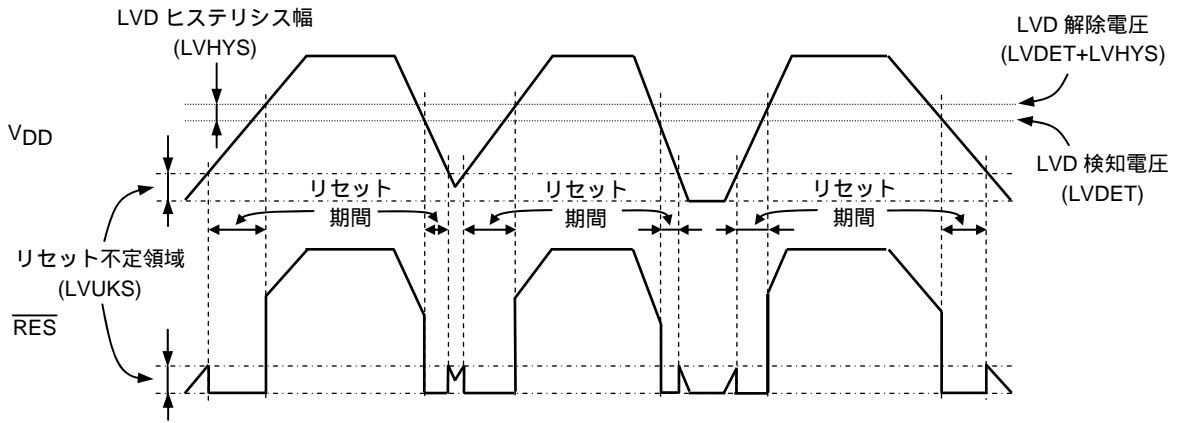


図12 POR + LVD選択時の動作波形例(リセット端子：プルアップ抵抗PRESのみ)

- ・電源投入時と電源低下時ともにリセットがかかる。
- ・LVDには検知レベル付近でリセット解除/突入を繰り返さないようにヒステリシス幅(LVHYS)がある。

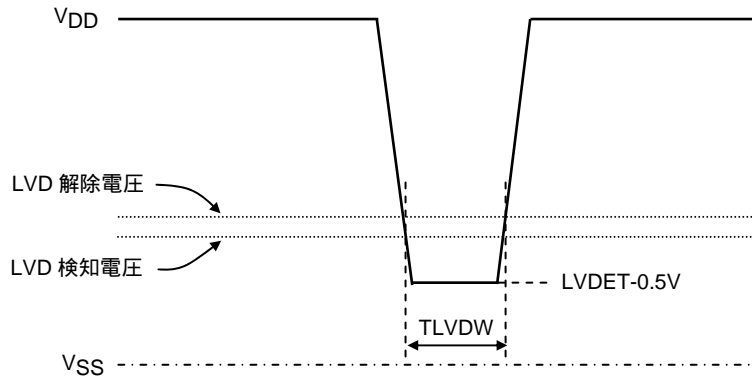


図13 低電圧最小検知幅(電源瞬停・電源変動波形例)

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。