



LC88F58B0A

CMOS LSI

16-bit Microcontroller

128K-byte Flash ROM / 6K-byte RAM / 64-pin

ON Semiconductor®

<http://onsemi.jp>

概要

LC88F58B0Aは、Xstromy16CPUを中心に、128KバイトのフラッシュROM(オンボード書き換え可能)、6KバイトRAM、16ビットタイマ×6、時計用ベースタイマ、自動転送機能付き同期式SIO×2、シングルマスタI²C/同期式SIO×1、非同期式SIO(UART)×2、12ビット分解能×11チャンネルADコンバータ、モータ駆動信号発生回路、周期可変12ビットPWM×2、ウォッチドックタイマ、システムクロック分周機能、40要因(24モジュール)16ベクタ割り込み機能、オンチップデバッグ機能等を1チップに集積した16ビットマイクロコントローラである。

特長

Xstromy16 CPU

- ・4Gバイトのアドレス空間
- ・汎用レジスタ：16ビット×16本

フラッシュROM

- ・電源電圧3.0~5.5Vの幅広いオンボード書き込みが可能
- ・128バイト/1Kバイト単位でのブロック消去可能
- ・2バイト単位でのデータ書き込み
- ・131072×8ビット

RAM

- ・6144×8ビット

最小命令サイクルタイム (tCYC)

- ・83.3ns(12MHz) $V_{DD}=4.5\sim 5.5V$
- ・100ns(10MHz) $V_{DD}=3.0\sim 5.5V$
- ・500ns(2MHz) $V_{DD}=2.2\sim 5.5V$

この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

LC88F58B0A

ポート

- ・ ノーマル耐圧入出力ポート
1ビット単位で入出力指定可能 52(P0n, P1n, P2n, P30 ~ P33, P4n, P6n, P70 ~ P72, PA0 ~ PA3, PC2)
- ・ 発振/ノーマル耐圧入出力ポート 2(PC0, PC1)
- ・ 発振専用ポート 2(CF1, CF2)
- ・ リセット端子 1(RESB)
- ・ TEST端子 1(TEST)
- ・ 電源端子 6(VSS1 ~ 3, VDD1 ~ 3)

タイマ

- ・ タイマ0: PWM/トグル出力可能な16ビットタイマ
5ビットプリスケアラ付き
8ビットPWM×2、8ビットタイマ+8ビットPWM分割モード選択可能
クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択
- ・ タイマ1: キャプチャレジスタ付き16ビットタイマ
5ビットプリスケアラ付き
8ビットタイマ×2chの分割可能
クロックソースをシステムクロック、OSC0、OSC1、内蔵RCから選択
- ・ タイマ2: キャプチャレジスタ付き16ビットタイマ
4ビットプリスケアラ付き
8ビットタイマ×2chに分割可能
クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択
- ・ タイマ3: PWM/トグル出力可能な16ビットタイマ
8ビットプリスケアラ付き
8ビットタイマ×2ch、8ビットタイマ+8ビットPWMの分割モード選択可能
クロックソースをシステムクロック、OSC0、OSC1、外部イベントから選択
- ・ タイマ4: トグル出力可能な16ビットタイマ
クロックソースをシステムクロック、プリスケアラ0から選択
- ・ タイマ5: トグル出力可能な16ビットタイマ
クロックソースをシステムクロック、プリスケアラ0から選択
- ・ ベースタイマ
クロックは、OSC0(32.768kHz水晶発振)、システムクロックの分周出力から選択できる。
7種類の時間での割り込み発生が可能

シリアルインタフェース

・ S100 : 8ビット同期式S10

LSB先頭/MSB先頭切換え可能

8ビット以下の通信可能(1ビット~8ビットのビット指定可能)

8ビットボーレートジェネレータ内蔵(転送クロック4tCYC~512tCYC)

連続データ自動転送機能(9ビット~32768ビットのビット単位指定可能)

インターバル機能(インターバル時間0~64tSCK単位で指定可能)

ウェークアップ機能

・ S101 : 8ビット同期式S10

LSB先頭/MSB先頭切換え可能

8ビット以下の通信可能(1ビット~8ビットのビット指定可能)

8ビットボーレートジェネレータ内蔵(転送クロック4tCYC~512tCYC)

連続データ自動転送機能(9ビット~32768ビットのビット単位指定可能)

インターバル機能(インターバル時間0~64tSCK単位で指定可能)

ウェークアップ機能

・ SM11C0 : シングルマスタI²C/8ビット同期式S10

モード0 : Single-masterのマスタモードによる通信

モード1 : 同期式8ビットシリアルI/O(データMSB先頭)

・ UART0

データ長 : 8ビット(LSBファースト)

スタートビット : 1ビット

ストップビット : 1ビット

パリティビット : なし/偶数パリティ/奇数パリティ

転送レート : 4/8サイクル

ボーレートソースクロック : P07入力信号を1サイクルとして使用(TOPWMHをクロックソースとして使用可能)

全二重通信

(注)サイクルはボーレートクロックソースの1周期

・ UART2

データ長 : 8ビット(LSBファースト)

スタートビット : 1ビット

ストップビット : 1/2ビット

パリティビット : なし/偶数パリティ/奇数パリティ

転送レート : 8~4096サイクル

ボーレートソースクロック : システムクロック/OSC0/OSC1

ウェークアップ機能

全二重通信

(注)サイクルはボーレートクロックソースの1周期

ADコンバータ

12/8ビット分解能切換え

アナログ入力 : 11チャンネル

コンパレータモード

基準電圧自動発生

LC88F58B0A

PWM

- PWM0 : 周期可変12ビットPWM × 2チャンネル (PWMOA, PWM0B)
 - 2チャンネル1組で構成され制御は独立
 - クロックソースをシステムクロック, OSC1から選択可能
 - 8ビットプリスケアラ内蔵: $TPWMR0 = (\text{プリスケアラ設定値} + 1) \times \text{クロック周期}$
 - 8ビット基本波PWM発生回路 + 4ビット付加パルス発生回路
 - 基本波PWMモード
 - 基本波周期 16TPWMR0 ~ 256TPWMR0
 - HIGHパルス幅 0 ~ (基本波周期 - TPWMR0)
 - 基本波 + 付加パルスモード
 - 基本波周期 16TPWMR0 ~ 256TPWMR0
 - 全体周期 基本波周期 × 16
 - HIGHパルス幅 0 ~ (基本波周期 - TPWMR0)

ウォッチドッグタイマ

- ベースタイマ + 内蔵ウォッチドック専用カウンタにより動作する。
- 割り込み, リセットの選択可能

モータ駆動信号発生回路

割り込み(周辺機能)

- 40要因(24モジュール)16ベクタ
 - 割り込みは3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。
 - 2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	割り込みモジュール
1	08000H	ウォッチドックタイマ(1)
2	08004H	ベースタイマ(2)
3	08008H	タイマ0(2)
4	0800CH	INT0(1)
5	08010H	
6	08014H	INT1(1)
7	08018H	INT2(1)/タイマ1(2)/UART2(4)
8	0801CH	INT3(1)/タイマ2(4)/SMIIC0(1)
9	08020H	INT4(1)/タイマ3(2)
10	08024H	INT5(1)/タイマ4(1)/SI01(2)
11	08028H	USM0(3)
12	0802CH	PWM0(1)
13	08030H	ADC(1)/タイマ5(1)
14	08034H	INT6(1)
15	08038H	INT7(1)/SI00(2)
16	0803CH	ポート0(3)

- 優先レベルを3レベル指定可能
- 同一レベルではベクタアドレスの小さいものが優先
- ()の数字はモジュール内の要因数

サブルーチンスタック：6KバイトRAM領域

- ・PSWを自動退避するサブルーチンコール、割り込みベクタコール：6バイト
- ・PSWを自動退避しないサブルーチンコール：4バイト

乗除算命令

- ・16ビット×16ビット (実行時間：18tCYC)
- ・16ビット÷16ビット (実行時間：18～19tCYC)
- ・32ビット÷16ビット (実行時間：18～19tCYC)

発振回路

- ・RC発振回路(内蔵) : システムクロック用
- ・OSC1(CF発振回路) : システムクロック用,Rf内蔵
- ・OSCO(水晶発振回路) : 低速システムクロック用
- ・SLRC発振回路(内蔵) : システムクロック用(例外処理時)

システムクロック分周機能

- ・低消費電流動作可能
- ・システムクロックの1～128分周の設定が可能

スタンバイ機能

- ・HALTモード：命令実行停止,周辺回路動作継続
発振の停止は自動的には行わない。
システムリセットまたは割り込みの発生により解除。
- ・HOLDモード：命令実行停止,周辺回路動作停止
OSC1,RC発振,OSCOのいずれも自動的に停止する。
HOLDモードを解除するには次の3つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)INT0,INT1,INT2,INT4,INT5,INT6,INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3)ポート0で割り込み要因が成立する。
 - (4)SI00,SI01で割り込みが成立する。
 - (5)UART2で割り込みが成立する。
- ・HOLDXモード：命令実行停止,OSCOで動作する周辺回路以外の動作停止
OSC1,RC発振は自動的に停止する。
OSCOは突入時の状態を維持する。
HOLDXモードを解除するには次の4つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)INT0,INT1,INT2,INT4,INT5,INT6,INT7の少なくとも1つの端子に指定されたレベルを入力する。
 - (3)ポート0で割り込み要因が成立する。
 - (4)ベースタイマ回路で割り込み要因が成立する。
 - (5)SI00,SI01で割り込みが成立する。
 - (6)UART2で割り込みが成立する。

オンチップデバッグ機能

- ・ターゲット基板に実装状態でソフトデバッグ可能
- ・ソースラインデバッグ機能、トレース機能、ブレークポイント設定
- ・1ワイヤー通信

LC88F58B0A

出荷形態

- ・ SQFP64(10×10) : 『鉛・ハロゲンフリー仕様品』

開発ツール

- ・ オンチップデバッガ : EOCUIF1 + LC88F58B0A

書き込み基板

パッケージ	書き込み基板
SQFP64(10×10)	W88F58SQ

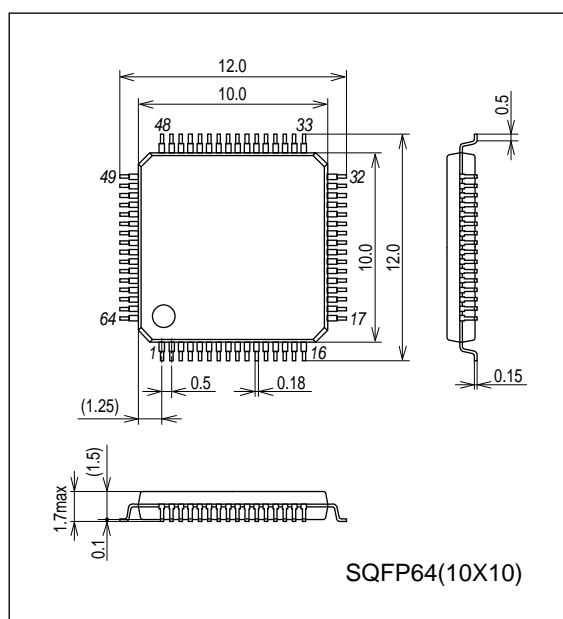
フラッシュライタ

メーカー	モデル	対応バージョン	デバイス
フラッシュサポートグループ (シングル)	AF9708/09/09B/09C	Rev.03.04以降	LC88F58B0A
フラッシュサポートグループ (ギャング)	AF9723/23B	Rev.02.29以降	LC88F58B0A
	AF9833	Rev.01.90以降	
当社	SKK/SKK Type-B	Rev.01.13以降	LC88F58B0A

外形図

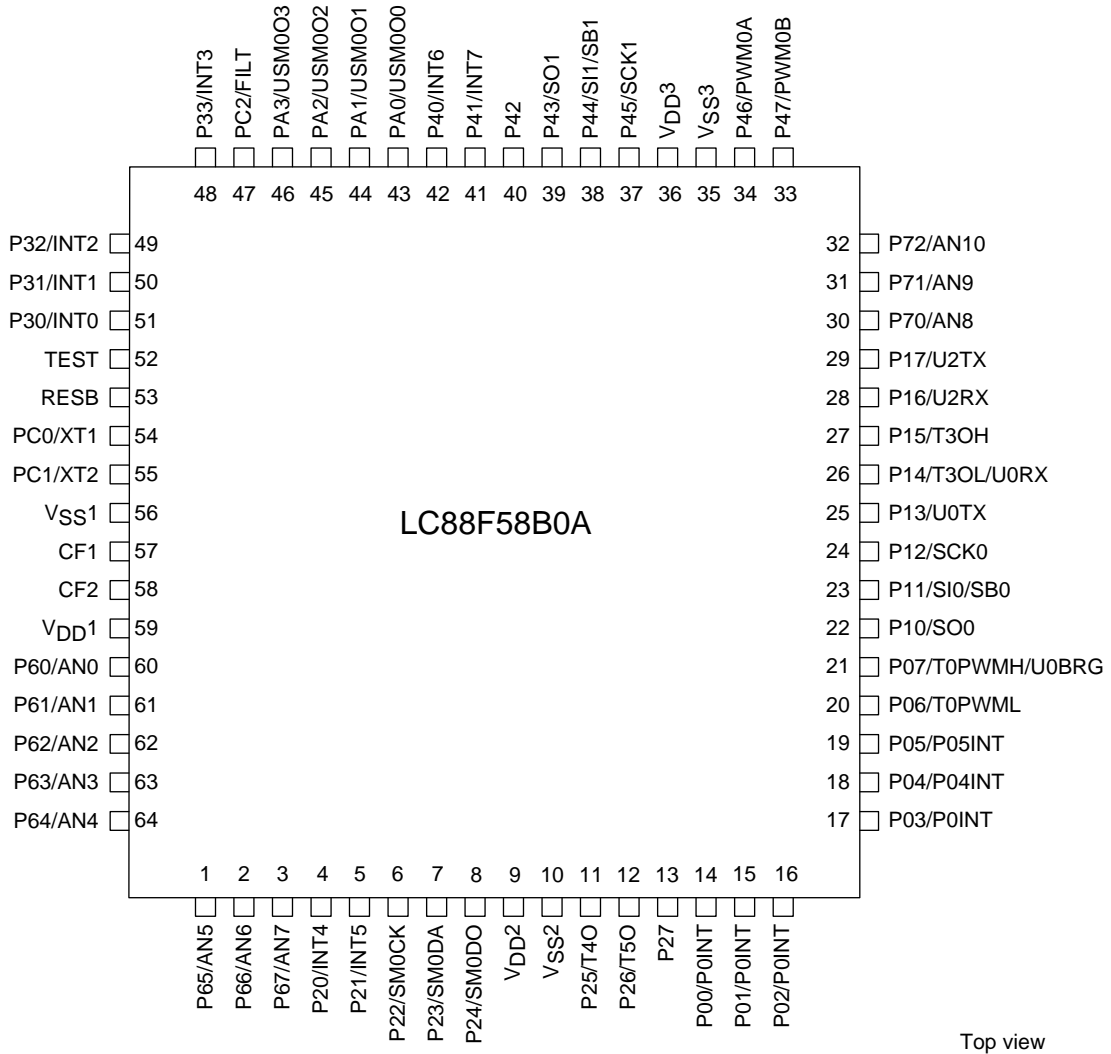
unit:mm (typ)

3190A



LC88F58B0A

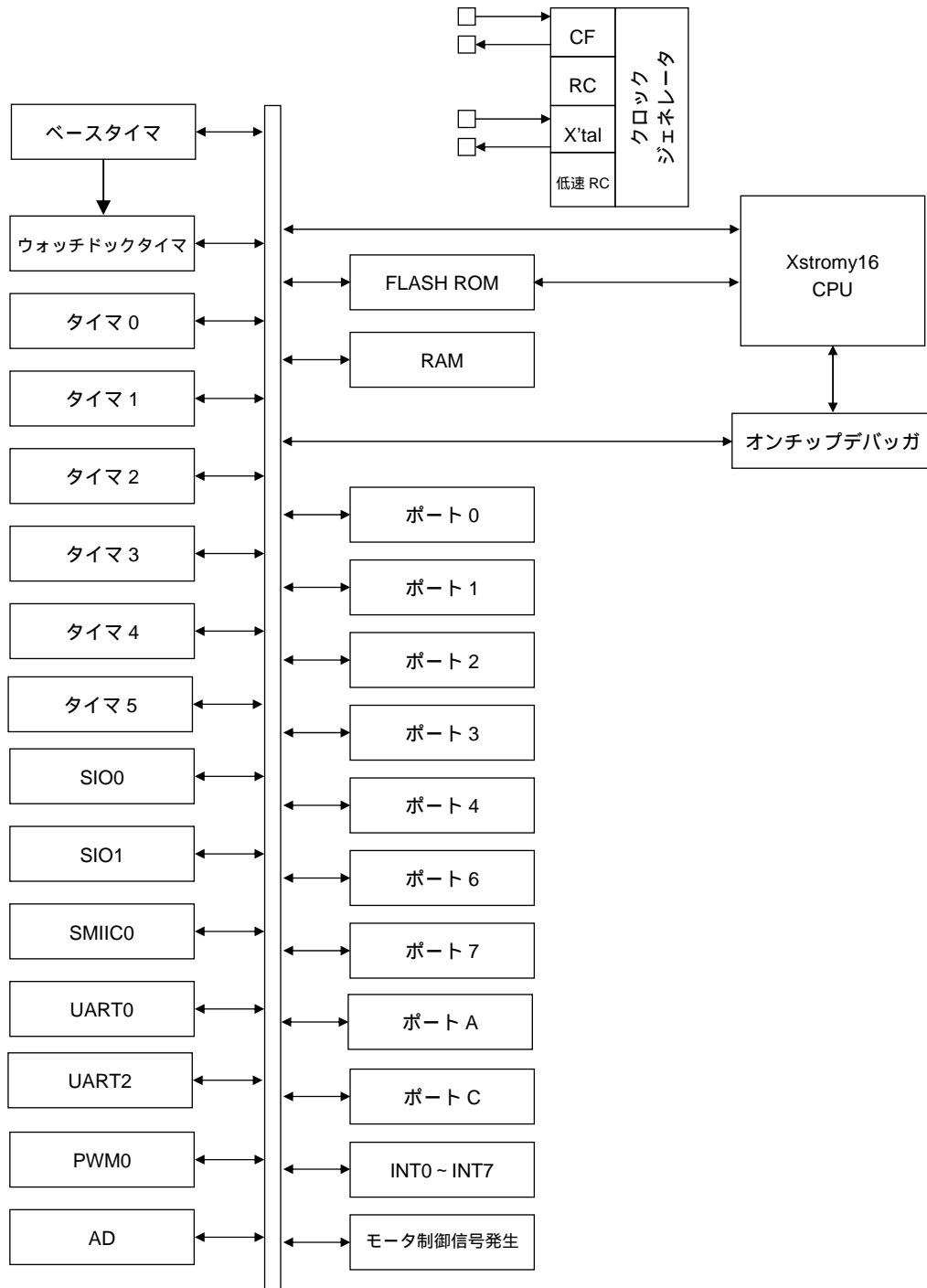
ピン配置図



SQFP64(10 × 10) 『鉛・ハロゲンフリー仕様品』

LC88F58B0A

システムブロック図



LC88F58B0A

端子機能表

端子名	I/O	機能説明
VSS1, VSS2, VSS3	-	電源の - 端子
VDD1, VDD2, VDD3	-	電源の + 端子
ポート0 P00 ~ P07	I/O	<ul style="list-style-type: none"> ・ 8ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のパルアップ抵抗 ON/OFF可能 ・ HOLD解除入力 (P00 ~ P03, P04, P05) ・ ポート0割り込み入力 (P00 ~ P03, P04, P05) ・ 端子機能 P06 : タイマ0L出力 P07 : タイマ0L出力/UART0クロック入力
ポート1 P10 ~ P17	I/O	<ul style="list-style-type: none"> ・ 8ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のパルアップ抵抗 ON/OFF可能 ・ 端子機能 P10 : SI00データ出力 P11 : SI00データ入力/バス入出力 P12 : SI00クロック入出力 P13 : UART0送信 P14 : タイマ3L出力/UART0受信 P15 : タイマ3H出力 P16 : UART2受信 P17 : UART2送信
ポート2 P20 ~ P27	I/O	<ul style="list-style-type: none"> ・ 8ビットの入出力ポート ・ 1ビット単位の入出力指定可能 ・ 1ビット単位のパルアップ抵抗 ON/OFF可能 ・ 端子機能 P20 : INT4入力/HOLD解除入力/タイマ3イベント入力/ タイマ2Lキャプチャ入力/タイマ2Hキャプチャ入力 P21 : INT5入力/HOLD解除入力/タイマ3イベント入力/ タイマ2Lキャプチャ入力/タイマ2Hキャプチャ入力 P22 : SMIIIC0クロック入出力 P23 : SMIIIC0バス入出力/データ入力 P24 : SMIIIC0データ出力 (3線式SI0モード時使用) P25 : タイマ4出力 P26 : タイマ5出力 インタラプト受付形式 INT4, INT5 : Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ

次ページへ続く。

LC88F58B0A

前ページより続く。

端子名	I/O	機能説明
ポート3 P30 ~ P33	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> P30 : INT0入力/HOLD解除/タイマ2Lキャプチャ入力 P31 : INT1入力/HOLD解除/タイマ2Hキャプチャ入力 P32 : INT2入力/HOLD解除/タイマ2イベント入力/タイマ2Lキャプチャ入力 P33 : INT3入力/HOLD解除/タイマ2イベント入力/タイマ2Hキャプチャ入力 インタラプト受付形式 INT0 ~ INT3 : Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ
ポート4 P40 ~ P47	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> P40 : INT6入力/HOLD解除入力 P41 : INT7入力/HOLD解除入力 P43 : SI01データ出力 P44 : SI01データ入力/バス入出力 P45 : SI01クロック入出力 P46 : PWM00出力 P47 : PWM01出力 インタラプト受付形式 INT6, INT7 : Hレベル, Lレベル, Hエッジ, Lエッジ, 両エッジ
ポート6 P60 ~ P67	I/O	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> AN0(P60) ~ AN7(P67) : AD変換入力ポート
ポート7 P70 ~ P72	I/O	<ul style="list-style-type: none"> ・3ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> AN8(P70) ~ AN10(P72) : AD変換入力ポート
ポートA PA0 ~ PA3	I/O	<ul style="list-style-type: none"> ・4ビットの入出力ポート ・1ビット単位の入出力指定可能 ・1ビット単位のプルアップ抵抗 ON/OFF可能 ・端子機能 <ul style="list-style-type: none"> PA0 : USMO出力0 PA1 : USMO出力1 PA2 : USMO出力2 PA3 : USMO出力3

次ページへ続く。

LC88F58B0A

前ページより続く。

端子名	I/O	機能説明
ポートC	I/O	<ul style="list-style-type: none"> ・3ビットの入出力ポート(出力時：Nch-オープンドレイン(PC0～PC1),CMOS(PC2)) ・1ビット単位の入出力指定可能 ・端子機能 PC0：32.768kHz水晶発振子入力 PC1：32.768kHz水晶発振子出力 PC2：FILT
PC0～PC2		
TEST	I/O	<ul style="list-style-type: none"> ・TEST端子 ・オンチップデバッグ通信端子 ・100kΩのプルダウン抵抗を外部に接続
RESB	I	リセット端子
CF1	I	セラミック発振子用入力端子
CF2	O	セラミック発振子用出力端子

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

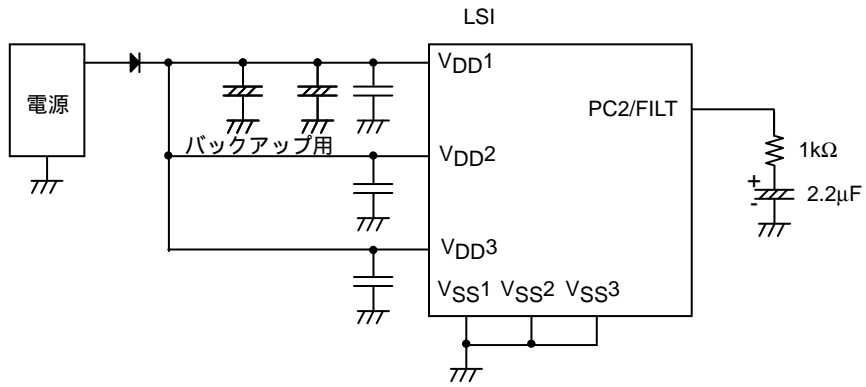
なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	出力形式 切換え単位	出力形式 種類	出力形式	プルアップ抵抗
P00～P07 P10～P17 P20～P27 P30～P33 P40～P47 P60～P67 P70～P72 PA0～PA3	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	
PC2	-	-	CMOS	
PC0	-	-	Nch-オープンドレイン (32.768kHz水晶発振子用入力)	なし
PC1	-	-	Nch-オープンドレイン (32.768kHz水晶発振子用出力)	なし

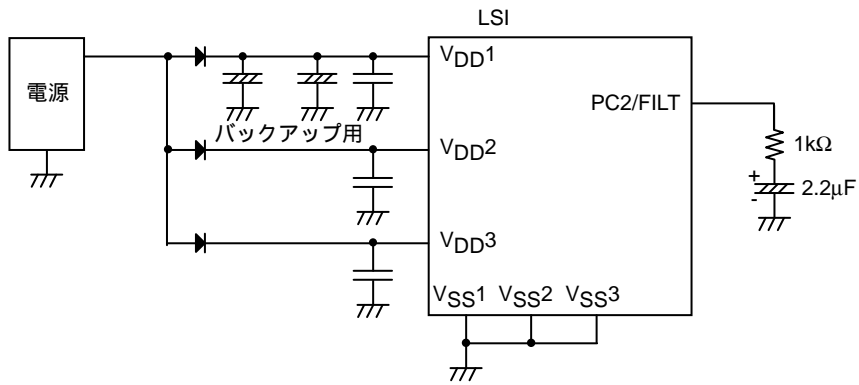
V_{DD1}端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続すること。
V_{SS1}端子とV_{SS2}端子とV_{SS3}端子は必ず電氣的にショートすること。

LC88F58B0A

(例1) HOLDモードでバックアップ時、ポート出力の「H」レベルはバックアップ用コンデンサより供給される。



(例2) HOLDモードバックアップ時、ポートの「H」レベル出力は保持されず不定となる。



LC88F58B0A

絶対最大定格/Ta=25 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
最大電源電圧	VDD max	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		- 0.3		+ 6.5	V
入力電圧	V _I (1)	CF1, RESB			- 0.3		VDD + 0.3	
入出力電圧	V _{IO} (1)	ポート0, 1, 2 ポート3, 4 ポート6, 7 ポートA, C			- 0.3		VDD + 0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート0, 1, 2 P70 ~ P72 P40 ~ P45 PA0 ~ PA3	CMOS出力選択 適用1端子当り		- 10		mA
		IOPH(2)	P46, P47	適用1端子当り		- 20		
		IOPH(3)	ポート6 P30 ~ P33 PC2	適用1端子当り		- 5		
	平均出力電流 (注1-1)	IOMH(1)	ポート0, 1, 2 P70 ~ P72 P36 ~ P37 P40 ~ P45 PA0 ~ PA3	CMOS出力選択 適用1端子当り		- 7.5		
		IOMH(2)	P46, P47	適用1端子当り		- 10		
		IOMH(3)	ポート6 P30 ~ P33 PC2	適用1端子当り		- 3		
	合計出力電流	ΣIOAH(1)	P30 ~ P33, PC2	適用全端子合計		- 15		
		ΣIOAH(2)	ポート6	適用全端子合計		- 15		
		ΣIOAH(3)	ポート6 P30 ~ P33 PC2	適用全端子合計		- 20		
ΣIOAH(4)		ポート0, 1 P25 ~ P27	適用全端子合計		- 25			
ΣIOAH(5)		P20 ~ P24	適用全端子合計		- 25			
ΣIOAH(6)		ポート0, 1, 2	適用全端子合計		- 45			
ΣIOAH(7)		P40 ~ P45 PA0 ~ PA3	適用全端子合計		- 25			
ΣIOAH(8)		P46 ~ P47 P70 ~ P72	適用全端子合計		- 25			
ΣIOAH(9)		ポート4 P70 ~ P72 PA0 ~ PA3	適用全端子合計		- 45			

注1-1：平均出力電流は100ms期間の平均値を示す。

次ページへ続く。

LC88F58B0A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
低レベル出力電流	ピーク出力電流	IOPL(1)	ポート0,1,4 P70~P72 PA0~PA3 P20,P21, P24~P27	適用1端子当り			20	mA
		IOPL(2)	P22,P23	適用1端子当り			25	
		IOPL(3)	P30~P33 ポート6 PC0~PC2	適用1端子当り			10	
	平均出力電流 (注1-1)	IOML(1)	ポート0,1,4 P70~P72 PA0~PA3 P20,P21, P24~P27	適用1端子当り			15	
		IOML(2)	P22,P23	適用1端子当り			20	
		IOML(3)	P30~P33 ポート6 PC0~PC2	適用1端子当り			7.5	
	合計出力電流	ΣIOAL(1)	P30~P34 PC0~PC2	適用全端子合計			15	
		ΣIOAL(2)	ポート6	適用全端子合計			15	
		ΣIOAL(3)	ポート6 P30~P33 PC0~PC2	適用全端子合計			20	
		ΣIOAL(4)	ポート0,1 P25~P27	適用全端子合計			45	
ΣIOAL(5)		P20~P24	適用全端子合計			45		
ΣIOAL(6)		ポート0,1,2	適用全端子合計			80		
ΣIOAL(7)		P40~P45 PA0~PA3	適用全端子合計			45		
ΣIOAL(8)		P46~P47 P70~P72	適用全端子合計			45		
ΣIOAL(9)		ポート4 P70~P72 PA0~PA3	適用全端子合計			80		
許容消費電力	Pd max	SQFP64(10×10)	Ta= -40~+85			200	mW	
動作周囲温度	Topr				-40	+85		
保存周囲温度	Tstg				-55	+125		

注1-1：平均出力電流は100ms期間の平均値を示す。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LC88F58B0A

許容動作条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子・備考	条件	規格				unit
				$V_{DD}[V]$	min	typ	max	
動作電源電圧 (注2-1)	$V_{DD}(1)$	$V_{DD1}=V_{DD2}=V_{DD3}$	0.081 μ s tCYC 66 μ s		4.5		5.5	V
			0.098 μ s tCYC 66 μ s		3.0		5.5	
			0.490 μ s tCYC 66 μ s		2.2		5.5	
メモリ保持 電源電圧	V_{HD}	$V_{DD1}=V_{DD2}=V_{DD3}$	HOLDモード時 RAM, レジスタ保持		2.0		5.5	
高レベル 入力電圧	$V_{IH}(1)$	ポート0,1,2,3,4 ポートA		2.2~5.5	0.3 V_{DD} +0.7		V_{DD}	
	$V_{IH}(2)$	ポート6,7,PC2		2.2~5.5	0.3 V_{DD} +0.7		V_{DD}	
	$V_{IH}(3)$	CF1, RESB PC0, PC1		2.2~5.5	0.75 V_{DD}		V_{DD}	
	$V_{IH}(4)$	P22, P23のI ² C側		2.2~5.5	0.7 V_{DD}		V_{DD}	
低レベル 入力電圧	$V_{IL}(1)$	ポート1,2,3,4 ポートA		4.0~5.5	V_{SS}		0.1 V_{DD} +0.4	
	$V_{IL}(2)$	のPnFSA _n =0の時 ポート0,6,7,PC2		2.2~4.0	V_{SS}		0.2 V_{DD}	
	$V_{IL}(3)$	ポート1,2,3,4 ポートA		4.0~5.5	V_{SS}		0.15 V_{DD} +0.4	
	$V_{IL}(4)$	のPnFSA _n =1の時		2.2~4.0	V_{SS}		0.2 V_{DD}	
	$V_{IL}(5)$	CF1, RESB PC0, PC1		2.2~5.5	V_{SS}		0.25 V_{DD}	
	$V_{IL}(6)$	P22, P23のI ² C側		2.2~5.5	V_{SS}		0.3 V_{DD}	
命令サイクル タイム (注2-2)	tCYC			4.5~5.5	0.081		66	μ s
				3.0~5.5	0.098		66	
				2.2~5.5	0.490		66	
外部システム クロック周波数	FEXCF(1)	CF1	・CF2端子オープン ・システムクロック分周 1/1 ・外部システムクロック のDUTY50 \pm 5% ・CF2端子オープン ・システムクロック分周 1/2	4.5~5.5	0.1		12	MHz
				3.0~5.5	0.1		10	
				2.2~5.5	0.1		2	
				4.5~5.5	0.2		24	
				3.0~5.5	0.2		20	
				2.2~5.5	0.2		4	

注2-1：フラッシュROMへのオンボード書込みは、 V_{DD} 3.0Vとすること。

注2-2：tCYCと発振周波数の関係式は、1/1分周時：1/FmCF、1/2分周時：2/FmCF。

次ページへ続く。

LC88F58B0A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
発振周波数範囲 (注2-3)	FmCF(1)	CF1,CF2	12MHzセラミック発振時 図1参照	4.5~5.5		12		MHz
	FmCF(2)	CF1,CF2	10MHzセラミック発振時 図1参照	3.0~5.5		10		
	FmCF(3)	CF1,CF2	4MHzセラミック発振時 図1参照	2.2~5.5		4		
	FmRC		内蔵RC発振	2.2~5.5	0.5	1.0	2.0	kHz
	FmSLRC		内蔵低速RC発振	2.2~5.5	18	30	45	
	FsX'tal	XT1,XT2	32.768kHz水晶発振時 図2参照	2.2~5.5		32.768		

注 2-3 : 発振定数は表 1,2 参照のこと。

LC88F58B0A

電気的特性/Ta= - 40 ~ + 85 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	ポート0,1,2 ポート3,4 ポート6,7 ポートA,C RESB	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{DD} (出力Tr.のオフリーク 電流を含む)	2.2~5.5			1	μA
	I _{IH} (2)	CF1	V _{IN} =V _{DD}	2.2~5.5			15	
低レベル入力電流	I _{IL} (1)	ポート0,1,2 ポート3,4 ポート6,7 ポートA,C RESB	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{SS} (出力Tr.のオフリーク 電流を含む)	2.2~5.5	- 1			μA
	I _{IL} (2)	CF1	V _{IN} =V _{SS}	2.2~5.5	- 15			
高レベル出力電圧	V _{OH} (1)	ポート0,1,2	I _{OH} = - 1.0mA	4.5~5.5	V _{DD} - 1			V
	V _{OH} (2)	PA0 ~ PA3	I _{OH} = - 0.4mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (3)	P40 ~ P45	I _{OH} = - 0.2mA	2.2~5.5	V _{DD} - 0.4			
	V _{OH} (4)	ポート6	I _{OH} = - 0.4mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (5)	P30 ~ P33 PC2	I _{OH} = - 0.2mA	2.2~5.5	V _{DD} - 0.4			
	V _{OH} (6)	P46, P47	I _{OH} = - 10mA	4.5~5.5	V _{DD} - 1.5			
	V _{OH} (7)		I _{OH} = - 1.6mA	3.0~5.5	V _{DD} - 0.4			
	V _{OH} (8)		I _{OH} = - 1.0mA	2.2~5.5	V _{DD} - 0.4			
低レベル出力電圧	V _{OL} (1)	ポート0,1	I _{OL} =10mA	4.5~5.5			1.5	V
	V _{OL} (2)	ポート4,7	I _{OL} =1.6mA	3.0~5.5			0.4	
	V _{OL} (3)	P20 ~ P21 P24 ~ P27 PA0 ~ PA3	I _{OL} =1.0mA	2.2~5.5			0.4	
	V _{OL} (4)	P22, P23	I _{OL} =11mA	4.5~5.5			1.5	
	V _{OL} (5)		I _{OL} =3.0mA	3.0~5.5		0.4		
	V _{OL} (6)		I _{OL} =1.3mA	2.2~5.5		0.4		
	V _{OL} (7)	ポート6, C	I _{OL} =1.6mA	3.0~5.5			0.4	
	V _{OL} (8)	P30 ~ P33	I _{OL} =1.0mA	2.2~5.5			0.4	
プルアップ抵抗	R _{pu} (1)	ポート0,1,2,3	V _{OH} =0.9V _{DD}	4.5~5.5	15	35	80	kΩ
	R _{pu} (2)	ポート4,6,7 ポートA, PC2		2.2~4.5	18	55	150	
ヒステリシス電圧	VHYS	RESB ポート1,2,3,4,A のPnFSAn=1の時		2.2~5.5		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} =V _{SS} f=1MHz Ta=25	2.2~5.5		10		pF

LC88F58B0A

シリアル入出力特性/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

SI00 シリアル入出力特性(ウェークアップ機能不使用時)(注 4-1-1)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格					
						min	typ	max	unit		
シリアル 入出力 ロック	入力 ロック	周期	tSCK(1)	SCK0(P12)	・図6参照	2.2~5.5	4			tCYC	
		低レベル パルス幅	tSCKL(1)				2				
		高レベル パルス幅	tSCKH(1)				2				
			tSCKHA(1)				6				
		tSCKHBSY (1a)	23								
		tSCKHBSY (1b)									4
	出力 ロック	周期	tSCK(2)	SCK0(P12)	・CMOS出力選択時 ・図6参照	2.2~5.5	4			tSCK	
		低レベル パルス幅	tSCKL(2)				1/2				
		高レベル パルス幅	tSCKH(2)				1/2				
			tSCKHA(2)				6				
		tSCKHBSY(2a)	4							23	
		tSCKHBSY(2b)									
シリアル 入力	データセット アップ時間	tsDI(1)	SI0(P11), SBO(P11)	・SI0CLKの立ち上がり に対して規定する ・図6参照	2.2~5.5	0.03					
	データホールド 時間	thDI(1)				0.03					
シリアル 出力	入力 ロック	出力遅延 時間	tdD0(1)	S00(P10), SBO(P11)	・(注4-1-2)	2.2~5.5			1tCYC + 0.05	μs	
	出力 ロック	tdD0(2)	・(注4-1-2)						1tCYC + 0.05		

注4-1-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-1-2：SI0CLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図6参照。

LC88F58B0A

S100 シリアル入出力特性(ウェークアップ機能使用時)(注 4-2-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			
						min	typ	max	unit
シリアル クロック 入力	周期	tSCK(3)	SCK0(P12)	・図6参照	2.2~5.5	2			tCYC
	低レベル パルス幅	tSCKL(3)				1			
	高レベル パルス幅	tSCKH(3)				1			
		tSCKHBSY(3)				2			
シリアル 入力	データセット アップ時間	tsDI(2)	S10(P11), SB0(P11)	・S10CLKの立ち上がり に対して規定する ・図6参照	2.2~5.5	0.03			μs
	データホールド 時間	thDI(2)				0.03			
シリアル 出力	出力遅延 時間	tdD0(3)	S00(P10), SB0(P11)	・(注4-2-2)	2.2~5.5			1tCYC + 0.05	

注4-2-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-2-2：S10CLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図6参照。

LC88F58B0A

S101 シリアル入出力特性(ウェークアップ機能不使用時)(注 4-3-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格					
						min	typ	max	unit		
シリアル クロック	入力 クロック	周期	tSCK(4)	SCK1(P45) ・図6参照	2.2~5.5	4			tCYC		
		低レベル パルス幅	tSCKL(4)			2					
		高レベル パルス幅	tSCKH(4)			2					
			tSCKHA(4)			自動通信モード ・図6参照	6				
			tSCKHBSY(4a)				自動通信モード ・図6参照	23			
			tSCKHBSY(4b)					自動通信モード以外 ・図6参照		4	
	出力 クロック	周期	tSCK(5)	SCK1(P45) ・CMOS出力選択時 ・図6参照	2.2~5.5		4				tSCK
		低レベル パルス幅	tSCKL(5)			1/2					
		高レベル パルス幅	tSCKH(5)			1/2					
			tSCKHA(5)			自動通信モード ・CMOS出力選択時 ・図6参照	6				
			tSCKHBSY(5a)				自動通信モード ・CMOS出力選択時 ・図6参照	4		23	
			tSCKHBSY(5b)					自動通信モード以外 ・図6参照	4		
シリアル 入力	データセット アップ時間	tsDI(3)	S11(P44), SB1(P44) ・SIOCLKの立ち上がり に対して規定する ・図6参照	2.2~5.5	0.03						
	データホールド 時間	thDI(3)			0.03						
シリアル 出力	入力 クロック	出力遅延 時間	tdD0(4)	S01(P43), SB1(P44) ・(注4-3-2)	2.2~5.5			1tCYC + 0.05	μs		
		出力 クロック	tdD0(5)			・(注4-3-2)				1tCYC + 0.05	

注4-3-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-3-2: SIOCLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図6参照。

LC88F58B0A

SIO1 シリアル入出力特性(ウェークアップ機能使用時)(注4-4-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(6)	SCK1(P45)	・図6参照	2.2~5.5	2			tCYC
		低レベルパルス幅	tSCKL(6)				1			
		高レベルパルス幅	tSCKH(6)				1			
			tSCKHBSY(6)				2			
シリアル入力	データセットアップ時間	tsDI(4)	S11(P44), SB1(P44)	・SIOCLKの立ち上がりに対して規定する ・図6参照	2.2~5.5	0.03			μs	
	データホールド時間	thDI(4)				0.03				
シリアル出力	出力遅延時間	tdD0(6)	S01(P43), SB1(P44)	・(注4-4-2)	2.2~5.5			1tCYC + 0.05		

注4-4-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-4-2：SIOCLKの立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図6参照。

SMI1C0 単純 SIO モード時入出力特性

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(7)	SMOCK (P22)	図6参照	2.2~5.5	8			tCYC
		低レベルパルス幅	tSCKL(7)				4			
		高レベルパルス幅	tSCKH(7)				4			
	出力クロック	周期	tSCK(8)	SMOCK (P22)	・CMOS出力選択時 ・図6参照	2.2~5.5	8			tSCK
		低レベルパルス幅	tSCKL(8)				1/2			
		高レベルパルス幅	tSCKH(8)				1/2			
シリアル入力	データセットアップ時間	tsDI(5)	SMODA (P23)	・SIOCLKの立ち上がりに対して規定する ・図6参照	2.2~5.5	0.03			μs	
	データホールド時間	thDI(5)				0.03				
シリアル出力	出力遅延時間	tdD0(7)	SMOD0 (P24), SMODA (P23)	・SIOCLKの立ち下がりに対して規定する ・出力変化開始までの時間として規定する。 ・図6参照	2.2~5.5			1tCYC + 0.05		

注4-5-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC88F58B0A

SMIIC0 I²C モード時入出力特性

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
クロック	入力 クロック	周期	tSCL	SMOCK(P22)	・図8参照	2.2~5.5	5			Tfilt
		低レベル パルス幅	tSCLL				2.5			
		高レベル パルス幅	tSCLH				2			
	出力 クロック	周期	tSCLx	SMOCK(P22)	・出力変化開始までの 時間として規定する。	2.2~5.5	10			tSCL
		低レベル パルス幅	tSCLLx				1/2			
		高レベル パルス幅	tSCLHx				1/2			
SMOC, SMODA端子入力 スパイク抑圧時間		tsp	SMOCK(P22) SMODA(P23)	・図8参照				1	Tfilt	
スタート、 ストップ間の バス開放時間	入力	tBUF	SMOCK(P22) SMODA(P23)	・図8参照		2.5			Tfilt	
	出力	tBUFx	SMOCK(P22) SMODA(P23)	・標準クロックモード時 ・出力変化開始までの 時間として規定する。 ・高速クロックモード時 ・出力変化開始までの 時間として規定する。	2.2~5.5	5.5			μs	
スタート、 リスタート コンディション のホールド時間	入力	tHD;STA	SMOCK(P22) SMODA(P23)	・SMIICレジスタ制御ビット I ² C SHDS=0のとき ・図8参照	2.2~5.5	2.0			Tfilt	
				・SMIICレジスタ制御ビット I ² C SHDS=1のとき ・図8参照		2.5				
	出力	tHD;STAx	SMOCK(P22) SMODA(P23)	・標準クロックモード時 ・出力変化開始までの 時間として規定する。	2.2~5.5	4.1			μs	
				・高速クロックモード時 ・出力変化開始までの 時間として規定する。		1.0				
リスタート コンディション のセットアップ 時間	入力	tSU;STA	SMOCK(P22) SMODA(P23)	・図8参照	2.2~5.5	1.0			Tfilt	
	出力	tSU;STAx	SMOCK(P22) SMODA(P23)	・標準クロックモード時 ・出力変化開始までの 時間として規定する。		5.5			μs	
				・高速クロックモード時 ・出力変化開始までの 時間として規定する。		1.6				

次ページへ続く。

LC88F58B0A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
ストップ コンディション のセットアップ 時間	入力	t _{SU} ;STO	SMOCK(P22) SMODA(P23)	・図8参照	2.2~5.5	1.0			Tfilt
	出力	t _{SU} ;STOx	SMOCK(P22) SMODA(P23)	・標準クロックモード時 ・出力変化開始までの 時間として規定する。 ・高速クロックモード時 ・出力変化開始までの 時間として規定する。		4.9			μs
						1.1			
データホールド 時間	入力	t _{HD} ;DAT	SMOCK(P22) SMODA(P23)	・図8参照	2.2~5.5	0			Tfilt
	出力	t _{HD} ;DATx	SMOCK(P22) SMODA(P23)	・出力変化開始までの 時間として規定する。		1		1.5	
データセット アップ時間	入力	t _{SU} ;DAT	SMOCK(P22) SMODA(P23)	・図8参照	2.2~5.5	1			Tfilt
	出力	t _{SU} ;DATx	SMOCK(P22) SMODA(P23)	・出力変化開始までの 時間として規定する。		1t _{SCL} - 1.5Tfilt			
SMOCK, SMODA 端子の立下り 時間	入力	t _F	SMOCK(P22) SMODA(P23)	・図8参照	2.2~5.5			300	ns
	出力	t _F	SMOCK(P22) SMODA(P23)	・SMIICレジスタ制御ビット PSLW=1, P5V=1のとき	5	20 + 0.1Cb		250	
				・SMIICレジスタ制御ビット PSLW=1, P5V=0のとき	3	20 + 0.1Cb		250	
				・SMOCK, SMODAポート出力 FASTモード設定時 ・Cb 400pF	3.0~5.5			100	

注4-6-1：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注4-6-2：Tfiltは、レジスタSMICOBRGのbit7,6(BRP1, BRP0)の設定値と、システムクロック周波数により決定される値

BRP1	BRP0	Tfilt
0	0	t _{CYC} × 1
0	1	t _{CYC} × 2
1	0	t _{CYC} × 3
1	1	t _{CYC} × 4

Tfiltは以下の範囲になるように、(BRP1, BRP0)を設定すること。

250ns Tfilt > 140ns

注4-6-3：Cbは各バスに接続された負荷のトータル(単位：pF)Cb 400pF

注4-6-4：標準クロックモードはSMICOBRGの設定を、以下の条件の範囲内とした場合

250ns Tfilt > 140ns

BRDQ(bit5) = 1

SCL周波数設定 100kHz

高速クロックモードはSMICOBRGの設定を、以下の条件の範囲内とした場合

250ns Tfilt > 140ns

BRDQ(bit5) = 0

SCL周波数設定 400kHz

LC88F58B0A

UART2 動作条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
転送レート	UBR2	U2RX(P16), U2TX(P17)		2.2~5.5	8		4096	tBGCYC

注4-7 : tBGCYCはボーレートクロックソースの1周期

UART0 動作条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
転送レート	UBR0	U0RX(P13), U0TX(P14), U0BRG(P07)		2.2~5.5	4		8	tBGCYC

注4-8 : tBGCYCはボーレートクロックソースの1周期

パルス入力条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P30), INT1(P31), INT2(P32), INT3(P33), INT4(P20), INT5(P21), INT6(P40), INT7(P41)	・割り込み要因フラグを セットできる。 ・タイマ2,3へのイベント 入力ができる。	2.2~5.5	2			tCYC
	tPIL(2)	RESB	リセットできる。	2.2~5.5	10			μs

LC88F58B0A

AD 変換特性/Ta= - 40 ~ + 85 , VSS1=VSS2=VSS3=0V

12 ビット AD 変換モード

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
分解能	NAD	AN0(P80) ~ AN7(P87), AN8(P70) ~ AN11(P72)		2.9 ~ 5.5		12		bit
絶対精度	ETAD		(注6-1)	2.9 ~ 5.5			± 16	LSB
変換時間	TCAD12		変換時間算出	4.7 ~ 5.5	17		209	μs
				4.0 ~ 5.5	27		209	
				2.9 ~ 5.5	67		209	
アナログ入力 電圧範囲	VAIN			2.9 ~ 5.5	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}	VAIN=V _{DD}	2.9 ~ 5.5			1	μA	
	I _{AINL}	VAIN=V _{SS}	2.9 ~ 5.5	- 1				

・変換時間算出方法：TCAD12=(52/(AD分周比)+2)×tCYC

8ビットAD変換モード

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
分解能	NAD	AN0(P60) ~ AN7(P67), AN8(P70) ~ AN11(P72)		2.9 ~ 5.5		8		bit
絶対精度	ETAD		(注6-1)	2.9 ~ 5.5			± 1.5	LSB
変換時間	TCAD8		変換時間算出	4.7 ~ 5.5	11		129	μs
				4.0 ~ 5.5	17		129	
				2.9 ~ 5.5	42		129	
アナログ入力 電圧範囲	VAIN			2.9 ~ 5.5	V _{SS}		V _{DD}	V
アナログポート 入力電流	I _{AINH}	VAIN=V _{DD}	2.9 ~ 5.5			1	μA	
	I _{AINL}	VAIN=V _{SS}	2.9 ~ 5.5	- 1				

・変換時間算出方法：TCAD8=(32/(AD分周比)+2)×tCYC

注6-1：絶対精度は量子化誤差(±1/2LSB)を除く。

注6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

変換時間は下記の場合、通常の場合の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った場合。
- ・AD変換モードを8ビットAD変換モードから12ビット変換モードに切換え、最初のAD変換を行った場合。

LC88F58B0A

消費電流特性/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

typ : 5.0V ($V_{DD} = 4.5V \sim 5.5V$)、3.3V ($V_{DD} = 3.0V \sim 4.5V$, 2.2V ~ 4.5V)

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
通常動作時 消費電流 (注7-1)	IDDOP(1)	V_{DD1} = V_{DD2} = V_{DD3}	・FmCF=12MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵RC発振は停止 ・1/1分周時	4.5 ~ 5.5		9.3	15.0	mA
	IDDOP(2)		・FmCF=10MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・1/1分周時	4.5 ~ 5.5		8.5	14.4	
	IDDOP(3)		・FmCF=10MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・1/1分周時	3.0 ~ 4.5		5.0	8.3	
	IDDOP(4)		・FmCF=4MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは4MHz側 ・内蔵RC発振は停止 ・1/2分周時	4.5 ~ 5.5		3.8	5.6	
	IDDOP(5)		・FmCF=4MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは4MHz側 ・内蔵RC発振は停止 ・1/2分周時	2.2 ~ 4.5		2.5	4.6	
	IDDOP(6)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 ・1/1分周時	4.5 ~ 5.5		2.5	5.6	
	IDDOP(7)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 ・1/1分周時	2.2 ~ 4.5		1.7	4.6	
	IDDOP(8)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・1/1分周時	4.5 ~ 5.5		63	155	μA
	IDDOP(9)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・1/1分周時	2.2 ~ 4.5		39	102	
	IDDOP(10)		・FmCF=12MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵RC発振は停止 ・PLL発振時 ・1/1分周時	4.5 ~ 5.5		11.0	17.5	mA
	IDDOP(11)		・FmCF=10MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・PLL発振時 ・1/1分周時	4.5 ~ 5.5		10.3	17.0	
	IDDOP(12)		・FmCF=10MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・PLL発振時 ・1/1分周時	3.0 ~ 4.5		5.9	13.0	

注7-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

次ページへ続く。

LC88F58B0A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALTモード 消費電流 (注7-1)	IDDHALT(1)	V _{DD1} =V _{DD2} =V _{DD3}	<ul style="list-style-type: none"> ・HALTモード ・FmCF=12MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは12MHz側 ・内蔵RC発振は停止 ・1/1分周時 	4.5 ~ 5.5		2.9	4.4	mA
	IDDHALT(2)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=10MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・1/1分周時 	4.5 ~ 5.5		2.5	4.2	
	IDDHALT(3)		<ul style="list-style-type: none"> ・システムクロックは10MHz側 ・内蔵RC発振は停止 ・1/1分周時 	3.0 ~ 4.5		1.3	3.0	
	IDDHALT(4)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=4MHzセラミック発振時 ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは4MHz側 ・内蔵RC発振は停止 ・1/2分周時 	4.5 ~ 5.5		0.90	1.6	
	IDDHALT(5)		<ul style="list-style-type: none"> ・システムクロックは4MHz側 ・内蔵RC発振は停止 ・1/2分周時 	2.2 ~ 4.5		0.40	1.1	
	IDDHALT(6)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは内蔵RC発振 ・1/1分周時 	4.5 ~ 5.5		0.42	1.25	
	IDDHALT(7)		<ul style="list-style-type: none"> ・システムクロックは内蔵RC発振 ・1/1分周時 	2.2 ~ 4.5		0.20	0.85	
	IDDHALT(8)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・1/1分周時 	4.5 ~ 5.5		23	90	μA
	IDDHALT(9)		<ul style="list-style-type: none"> ・システムクロックは32.768kHz側 ・内蔵RC発振は停止 ・1/1分周時 	2.2 ~ 4.5		10	40	
HOLDモード 消費電流	IDDHOLD(1)	V _{DD1}	<ul style="list-style-type: none"> HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) 	4.5 ~ 5.5		0.05	20	μA
	IDDHOLD(2)		<ul style="list-style-type: none"> ・CF1=V_{DD}またはオープン (外部クロック時) 	2.2 ~ 4.5		0.03	15	
HOLDX モード 消費電流	IDDHOLD(3)		<ul style="list-style-type: none"> HOLDXモード ・CF1=V_{DD}またはオープン (外部クロック時) 	4.5 ~ 5.5		15	58	
	IDDHOLD(4)		<ul style="list-style-type: none"> ・FmX'tal=32.768kHz水晶発振時 	2.2 ~ 4.5		4	35	

注7-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

F-ROM 書き込み特性 / Ta = +10 ~ +55 , V_{SS1}=V_{SS2}=V_{SS3}=0V

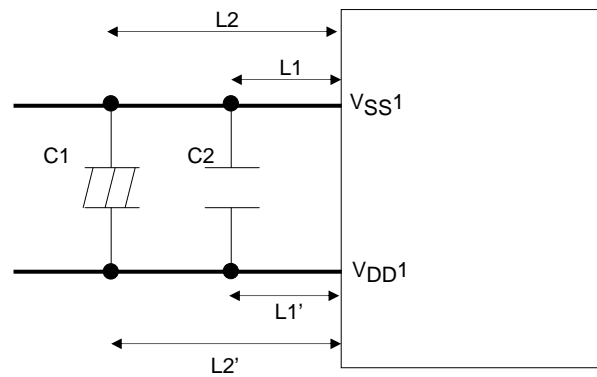
項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
オンボード 書き込み電流	I _{DDFW} (1)	V _{DD1}	・マイコン部の消去電流を除く	3.0 ~ 5.5		5	10	mA
オンボード 書き込み時間	t _{FW} (1)		・128バイト/1Kバイト消去動作	3.0 ~ 5.5		20	30	ms
	t _{FW} (2)		・2バイト書き込み動作	3.0 ~ 5.5		40	60	μs

LC88F58B0A

電源端子条件 1(V_{DD1}, V_{SS1})

$V_{DD1} \sim V_{SS1}$ 端子間には、以下の条件を満たすようなコンデンザを挿入すること。

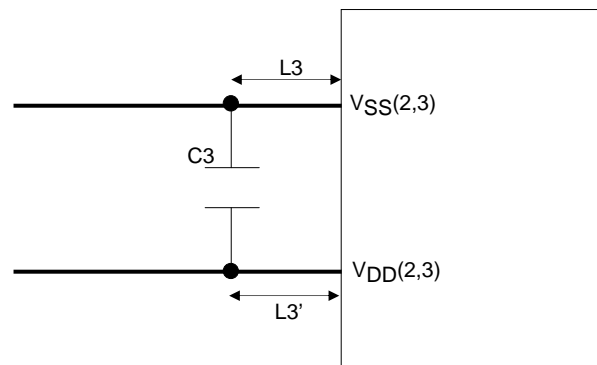
- V_{DD1}, V_{SS1} 端子から各コンデンサ $C1, C2$ 間までの配線長は、できるだけ等しく($L1=L1', L2=L2'$)かつ最短にすること。
- コンデンサは大容量のもの $C1$ と小容量のもの $C2$ を並列に挿入すること。
 $C2$ については $0.1\mu\text{F}$ 以上のコンデンサを実装すること。
- V_{DD1}, V_{SS1} の各パターンは、他のものより太くすること。



電源端子条件 2($V_{DD(2,3)}, V_{SS(2,3)}$)

$V_{DD(2,3)} \sim V_{SS(2,3)}$ 端子間には、以下の条件を満たすようなコンデンザを挿入すること。

- $V_{DD(2,3)}, V_{SS(2,3)}$ 端子から各コンデンサ $C3$ 間までの配線長は、できるだけ等しく($L3=L3'$)かつ最短にすること。
- コンデンサ $C3$ については $0.1\mu\text{F}$ 以上のコンデンサを実装すること。
- $V_{DD(2,3)}, V_{SS(2,3)}$ の各パターンは、他のものより太くすること。



LC88F58B0A

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf [Ω]	Rd2 [Ω]		typ [ms]	max [ms]	
12MHz	村田製作所	CSTCE12M0G52-R0	(10)	(10)	OPEN	220	2.4~5.5	0.02	0.2	C1,C2 内蔵品
10MHz		CSTCE10M0G52-R0	(10)	(10)	OPEN	470	2.4~5.5	0.02	0.2	C1,C2 内蔵品
		CSTLS10M0G53-B0	(15)	(15)	OPEN	680	2.6~5.5	0.02	0.2	C1,C2 内蔵品
8MHz		CSTCE8M00G52-R0	(10)	(10)	OPEN	470	2.3~5.5	0.02	0.2	C1,C2 内蔵品
		CSTLS8M00G53-B0	(15)	(15)	OPEN	1k	2.5~5.5	0.02	0.2	C1,C2 内蔵品
4MHz		CSTCR4M00G53-R0	(15)	(15)	OPEN	1.5k	2.2~5.5	0.02	0.2	C1,C2 内蔵品
		CSTLS4M00G53-B0	(15)	(15)	OPEN	1.5k	2.3~5.5	0.02	0.2	C1,C2 内蔵品

発振安定時間は、 V_{DD} が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。(図4参照)

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf2 [Ω]	Rd2 [Ω]		typ [s]	max [s]	
32.768kHz	EPSON TOYOCOM	MC-306	10	10	Open	0	2.2~5.5	0.4	2	適応CL値 = 7.0pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLDモードを解除後、発振が安定するまでに必要な時間である。(図4参照)

注意：回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

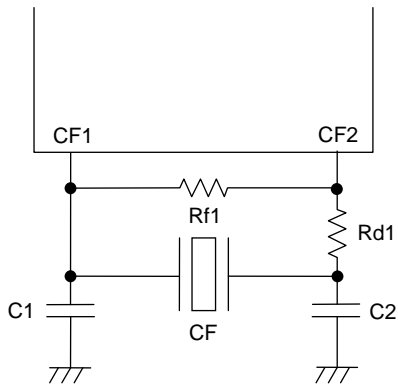


図1 CF発振回路

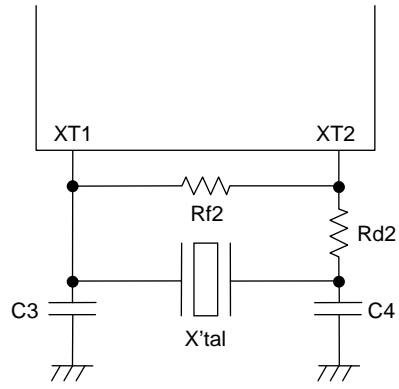


図2 XT発振回路

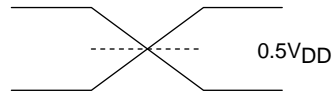
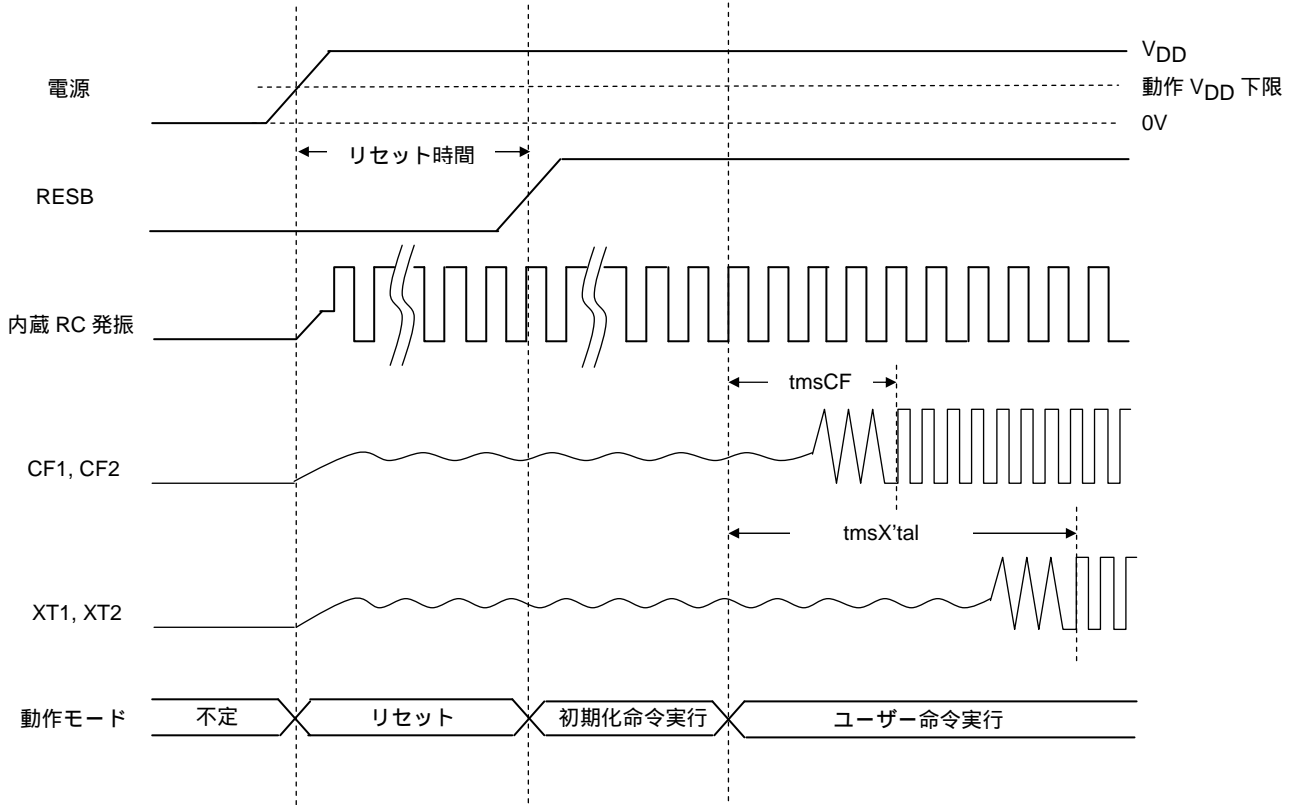
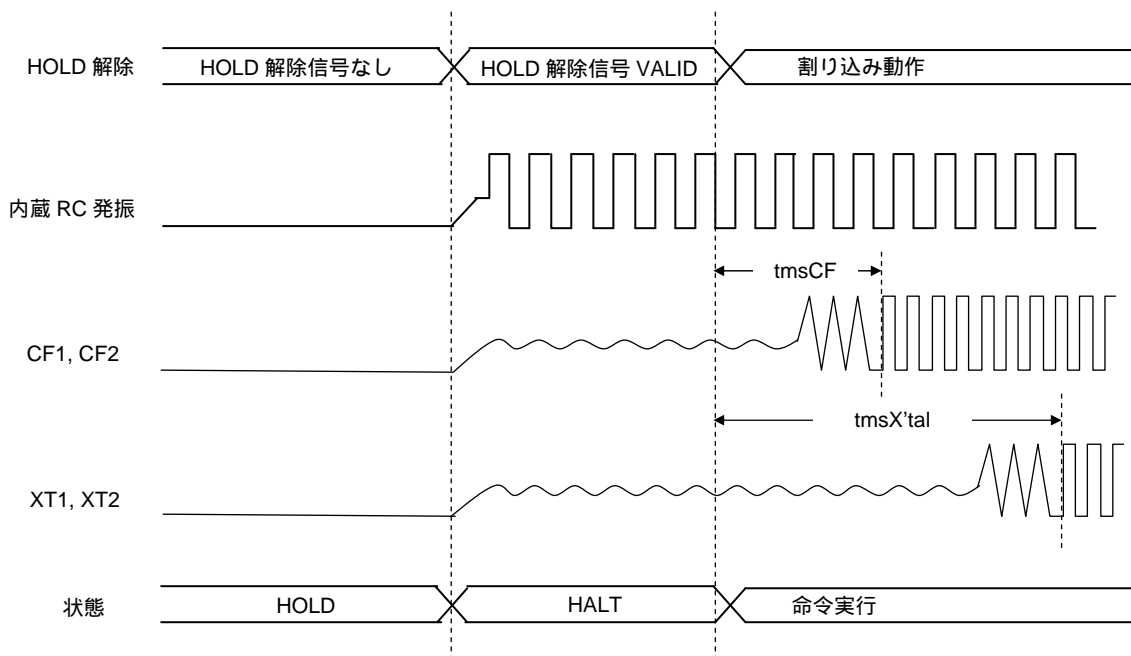


図3 ACタイミング測定点

LC88F58B0A



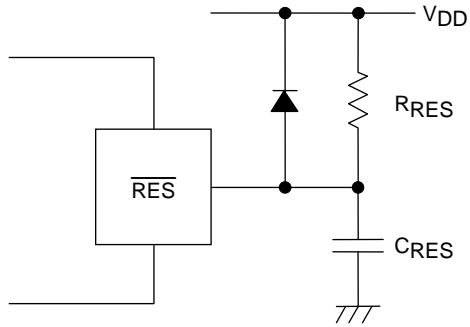
リセット時間と発振安定時間



HOLD解除信号と発振安定時間

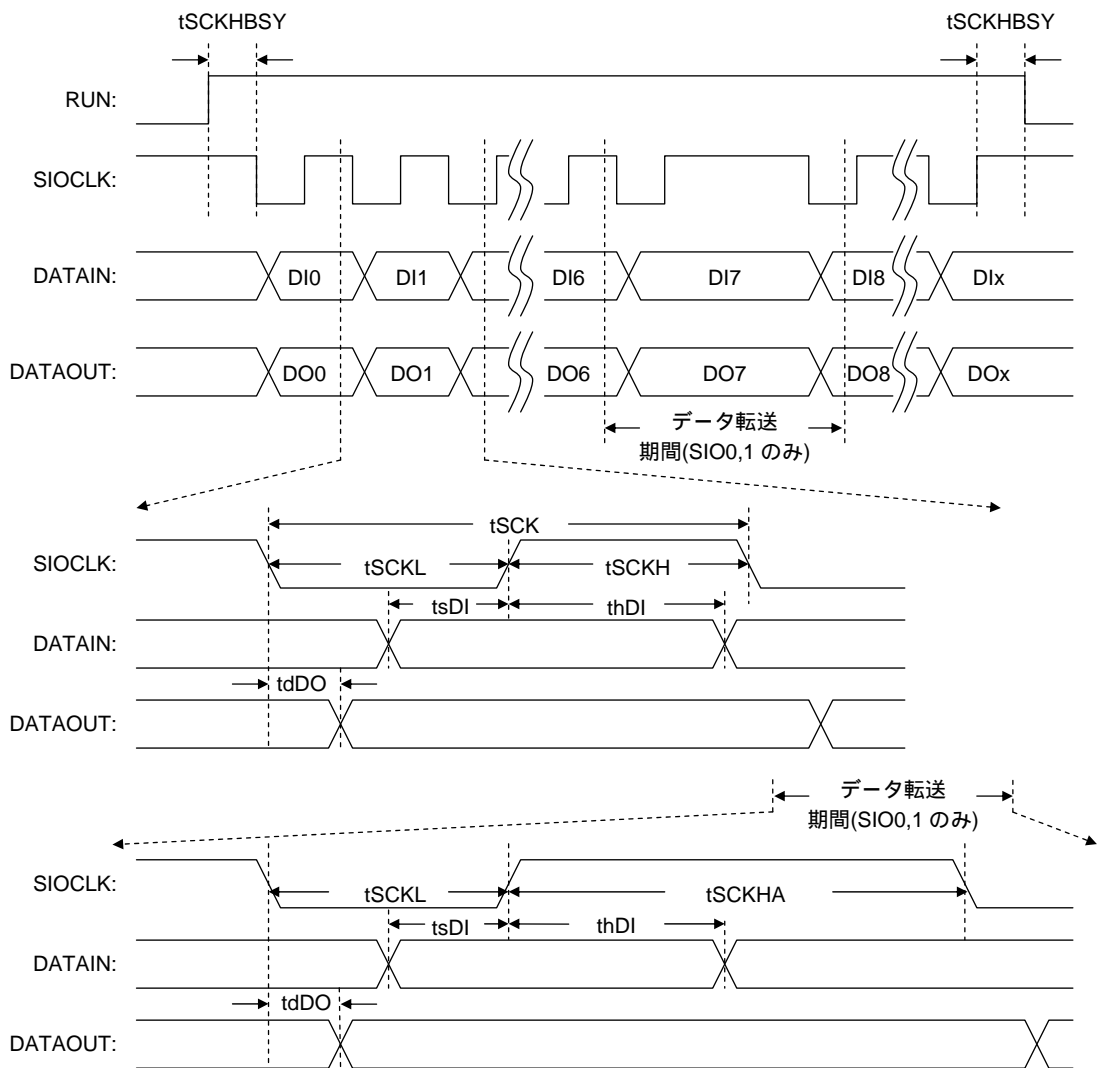
図4 発振安定時間

LC88F58B0A



(注意)
電源の立ち上がり時はリセットがかかっていること、電源が安定してから、 $10\mu s$ の期間リセットがかかるように C_{RES} , R_{RES} の値を決めること。

図5 リセット回路



* 備考 : DI_x , DO_x は、最終通信ビットを示し、 $x=0 \sim 32768$

図6 シリアル入出力波形

LC88F58B0A

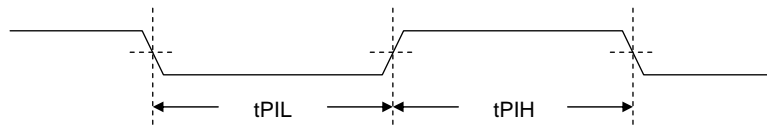
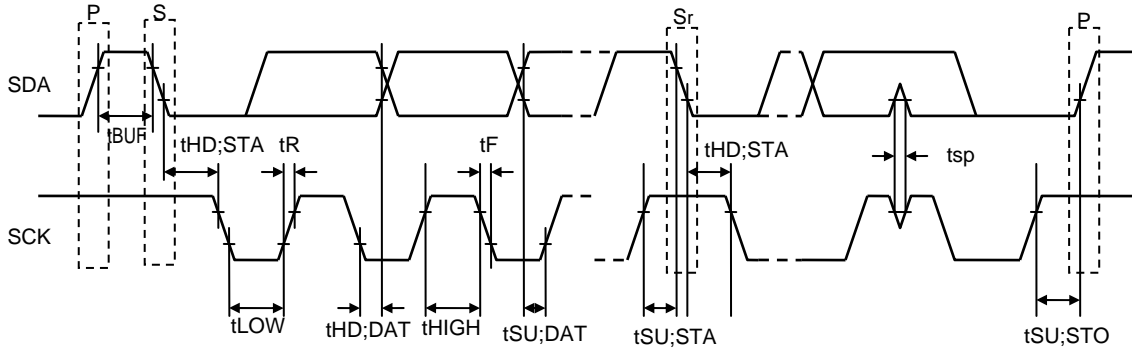


図7 パルス入力タイミング波形



S : スタートコンディション
P : ストップコンディション
Sr : リスタートコンディション

図8 I²C タイミング

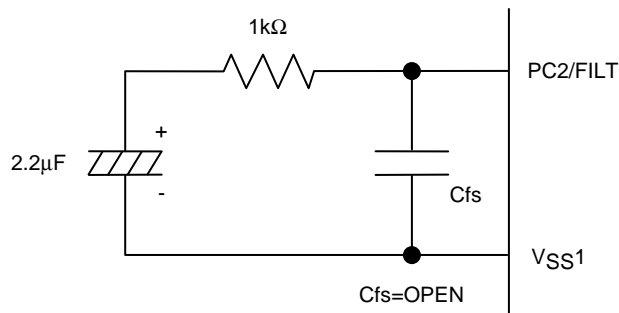


図9 FILT推奨回路

PLLを動作開始させた後、最低50msの発振安定時間を取ることを。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。