



ON Semiconductor®

<http://onsemi.jp>

LC87FBK08A

CMOS LSI

8-bit Microcontroller

8K-byte Flash ROM / 256-byte RAM / 24-pin

概要

LC87FBK08Aは、最小バスサイクルタイム83.3nsで動作するCPU部を中心にして、8KバイトのフラッシュROM(オンボード書き換え可能)、256バイトRAM、オンチップデバッグ機能、高性能16ビットタイマ/カウンタ×2(8ビットタイマに分割可)、プリスケアラ付き8ビットタイマ×2、時計用ベースタイマ、非同期/同期式SIO×1、12/8ビット分解能切り替え付き12ビット8チャンネルADコンバータ、システムクロック分周機能、高精度内蔵発振回路、内蔵リセット回路、15要因9ベクタ割り込み機能等を1チップに集積した8ビットマイクロコントローラです。

特長

フラッシュROM

- ・電源電圧2.7~5.5Vの幅広いオンボード書込みが可能
- ・128バイト単位でのブロック消去可能
- ・2バイト単位での書き込み
- ・8192×8ビット

RAM

- ・256×9ビット

最小バスサイクルタイム

- ・83.3ns(12MHz, $V_{DD}=2.7V \sim 5.5V$)
- (注)バスサイクルタイムはROMの読み出し速度を表す。

最小命令サイクルタイム(tCYC)

- ・250ns(12MHz, $V_{DD}=2.7V \sim 5.5V$)

この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

LC87FBK08A

ポート

- ・ ノーマル耐圧入出力ポート
 - 1ビット単位で入出力指定可能 12(P1n, P20, P21, P70, CF2/XT2)
 - 4ビット単位で入出力指定可能 8(P0n)
- ・ 発振/入力専用ポート 1(CF1/XT1)
- ・ 外部リセット端子 1(RES)
- ・ 電源端子 2(VSS1, VDD1)

タイマ

- ・ タイマ0：キャプチャレジスタ付きの16ビットのタイマ/カウンタ
 - モード0：8ビットプログラマブルプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付)×2チャンネル
 - モード1：8ビットプログラマブルプリスケアラ付8ビットタイマ(8ビットキャプチャレジスタ付)+8ビットカウンタ(8ビットキャプチャレジスタ付)
 - モード2：8ビットプログラマブルプリスケアラ付16ビットタイマ(16ビットキャプチャレジスタ付)
 - モード3：16ビットカウンタ(16ビットキャプチャレジスタ付)
- ・ タイマ1：PWM/トグル出力可能な16ビットのタイマ/カウンタ
 - モード0：8ビットプリスケアラ付8ビットタイマ(トグル出力付)+8ビットプリスケアラ付8ビットタイマ/カウンタ(トグル出力付)
 - モード1：8ビットプリスケアラ付8ビットPWM×2チャンネル
 - モード2：8ビットプリスケアラ付16ビットタイマ/カウンタ(トグル出力付)(下位8ビットからもトグル出力可能)
 - モード3：8ビットプリスケアラ付16ビットタイマ(トグル出力付)(下位8ビットはPWMとして使用可能)
- ・ タイマ6：6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ・ タイマ7：6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ・ ベースタイマ
 - クロックは、サブクロック(32.768kHz水晶発振)、システムクロック、タイマ0のプリスケアラ出力から選択できる。
 - 5種類の時間での割り込み発生が可能。

シリアルインタフェース

- ・ SI01：8ビット非同期/同期式シリアルインタフェース
 - モード0：同期式8ビットシリアルI/O(2線式または3線式, 転送クロック2~512tCYC)
 - モード1：非同期シリアルI/O(半二重, データ8ビット, ストップビット1, ボーレート8~2048tCYC)
 - モード2：バスモード1(スタートビット, データ8ビット, 転送クロック2~512tCYC)
 - モード3：バスモード2(スタート検出, データ8ビット, ストップ検出)

ADコンバータ：12ビット×8チャンネル

- ・ 12/8ビットADコンバータ分解能切換え

リモコン受信回路(P15/SCK1/INT3/TOIN端子と共用)

- ・ ノイズ除去機能(ノイズ除去フィルタの時定数選択1/32/128tCYC)

LC87FBK08A

クロック出力機能

- ・システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を出力可能
- ・サブクロックの源発振クロックを出力可能

ウォッチドッグタイマ

- ・低速RC発振クロック/サブクロックにより動作するタイマのオーバーフローで内部リセット発生可能
- ・スタンバイモード時の動作を3種類(カウント動作継続/動作停止/カウント値を保持してカウント動作停止)から選択可能

割り込み

- ・15要因9ベクタ

割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。

割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4
4	0001BH	HまたはL	INT3/ベースタイマ
5	00023H	HまたはL	T0H
6	0002BH	HまたはL	T1L/T1H
7	00033H	HまたはL	なし
8	0003BH	HまたはL	SI01
9	00043H	HまたはL	ADC/T6/T7
10	0004BH	HまたはL	ポート0

- ・優先レベル X > H > L
- ・同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大128レベル(スタックはRAMの中に設定)

高速乗除算命令

- ・16ビット×8ビット (実行時間：5tCYC)
- ・24ビット×16ビット (実行時間：12tCYC)
- ・16ビット÷8ビット (実行時間：8tCYC)
- ・24ビット÷16ビット (実行時間：12tCYC)

発振回路

・内蔵発振回路

低速RC発振回路 (SRC) : システムクロック用/ウォッチドッグタイマ用 (100kHz)

中速RC発振回路 (RC) : システムクロック用 (1MHz)

周波数可変RC発振回路 (MRC) : システムクロック用 ($8\text{MHz} \pm 2.5\%$ 、 $-10 \sim +85$)

・外部発振回路

高速CF発振回路 (CF) : システムクロック用, Rf内蔵

低速水晶発振回路 (X'tal) : 低速システムクロック用/ウォッチドッグタイマ用, Rf内蔵

(1) CF発振回路と水晶発振回路の発振端子は共有端子となり、選択はプログラマブル切換え

(2) システムリセット中はCF発振回路、水晶発振回路共に発振動作を停止する。リセット

解除後も発振停止状態を維持するので、プログラムにて発振動作を開始すること。

システムクロック分周機能

・低消費電流動作可能

- ・最小命令サイクルで300ns, 600ns, 1.2 μ s, 2.4 μ s, 4.8 μ s, 9.6 μ s, 19.2 μ s, 38.4 μ s, 76.8 μ sの選択が可能(メインクロック10MHz使用時)

内蔵リセット回路

・パワーオンリセット (POR) 機能

PORは電源投入時のみリセットがかかる。

PORの解除レベルを4レベル(2.57V, 2.87V, 3.86V, 4.35V) オプションにて切換え可能。

・低電圧検知リセット (LVD) 機能

LVDはPORとの併用により、電源投入時と電源低下時ともにリセットがかかる。

LVD機能を使用する/使用しないと低電圧検知レベルを3レベル

(2.81V, 3.79V, 4.28V) オプションにて切換え可能。

スタンバイ機能

・HALTモード : 命令実行停止, 周辺回路動作継続

発振の停止は自動的には行わない。

HALTモードを解除するには次の4つの方法がある。

(1) リセット端子に「L」レベルを入力する。

(2) 低電圧検知によるリセット発生。

(3) ウォッチドッグタイマによるリセット発生。

(4) 割り込みの発生。

・HOLDモード : 命令実行停止, 周辺回路動作停止

CF発振, 低速/中速/周波数可変RC発振, 水晶発振のいずれも自動的に停止する。

(注) 低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われる。

HOLDモードを解除するには次の5つの方法がある。

(1) リセット端子に「L」レベルを入力する。

(2) 低電圧検知によるリセット発生。

(3) ウォッチドッグタイマによるリセット発生。

(4) INT0, INT1, INT2, INT4の何れかで割り込み要因が成立する。

INT0, INT1はレベル検出設定に限る。

(5) ポート0で割り込み要因が成立する。

次ページへ続く。

LC87FBK08A

前ページより続く。

- X'tal HOLDモード：命令実行停止，ベースタイマ以外の周辺回路動作停止(X'tal発振選択時)
CF発振，低速/中速/周波数可変RC発振は自動的に停止する。
(注)低速RC発振は、ウォッチドッグタイマからも直接発振が制御され、スタンバイモード時の発振の制御も行われる。
水晶発振は突入時の状態を維持する。
X'tal HOLDモードを解除するには次の6つの方法がある。
 - (1)リセット端子に「L」レベルを入力する。
 - (2)低電圧検知によるリセット発生。
 - (3)ウォッチドッグタイマによるリセット発生。
 - (4)INT0, INT1, INT2, INT4の何れかで割り込み要因が成立する。
INT0, INT1はレベル検出設定に限る。
 - (5)ポート0で割り込み要因が成立する。
 - (6)ベースタイマ回路で割り込み要因が成立する。(注)X'tal発振を選択時のみ使用できる。

オンチップデバッグ機能(フラッシュROM版のみ)

- ターゲット基板に実装状態でソフトデバッグ可能
- ソフトウェアブレイク機能
- 1命令ごとのステップ実行機能
- メモリモニタ機能
プログラム実行状態で全メモリ内容のモニタおよび書き換えが可能
(一部の特殊レジスタについては書き換えできない)
- 小ピン対応に合わせオンチップデバッグ・ターミナルは2チャンネル装備。
DBGP0(P0), DBGP1(P1)

データセキュリティ機能(フラッシュROM版のみ)

- フラッシュメモリに書き込まれているプログラムデータの不正読出しやコピーを防止
(注)データセキュリティ機能には絶対的なセキュリティはない。

出荷形態

- MFP24S(300mil) 『鉛・ハロゲンフリー仕様品』(生産終了)
- SSOP24(225mil) 『鉛・ハロゲンフリー仕様品』
- SSOP24(275mil) 『鉛・ハロゲンフリー仕様品』(受注生産品)
- VCT24(3mm×3mm) 『鉛・ハロゲンフリー仕様品』(受注生産品)

開発ツール

- オンチップデバッグ：(1)TCB87 TypeB + LC87FBK08A
(2)TCB87 TypeC(3線用ケーブル) + LC87FBK08A

書き込み基板

パッケージ	書き込み基板
MFP24S(300mil)	W87F2GM
SSOP24(225mil)	W87F2GS
SSOP24(275mil)	受注生産品
VCT24(3mm×3mm)	受注生産品

LC87FBK08A

フラッシュROMライタ

メーカ		モデル	対応バージョン	デバイス
フラッシュサポート グループ(FSG)	シングル	AF9709/AF9709B/AF9709C (安藤電気製含む)	Rev.03.28以降	87F008SU
	ギャング	AF9723/AF9723B(本体) (安藤電気製含む)	-	-
		AF9833(ユニット) (安藤電気製含む)	-	
フラッシュサポート グループ + 当社 (注1)	オンボード シングル/ ギャング	AF9101/AF9103(本体) (FSG製) SIB87 (インタフェースドライバ) (当社製)	(注2)	-
当社	シングル/ ギャング	SKK/ SKK Type B/SKK Type C (SANYO FWS)	Application Version 1.06以降 Chip Data Version 2.34以降	LC87FBK08
	オンボード シングル/ ギャング	SKK-DGB Type B/ SKK-DGB Type C (SANYO FWS)		

(AFシリーズについてのお問い合わせ先)

フラッシュサポートグループ株式会社

TEL 053-459-1050

E-mail sales@j-fsg.co.jp

(注1)FSG製オンボードプログラマ【AF9101/AF9103】と弊社から提供するシリアルインタフェースドライバ【SIB87】をペアで使用することにより、PC-lessのスタンドアローン・オンボード書き込みが可能。

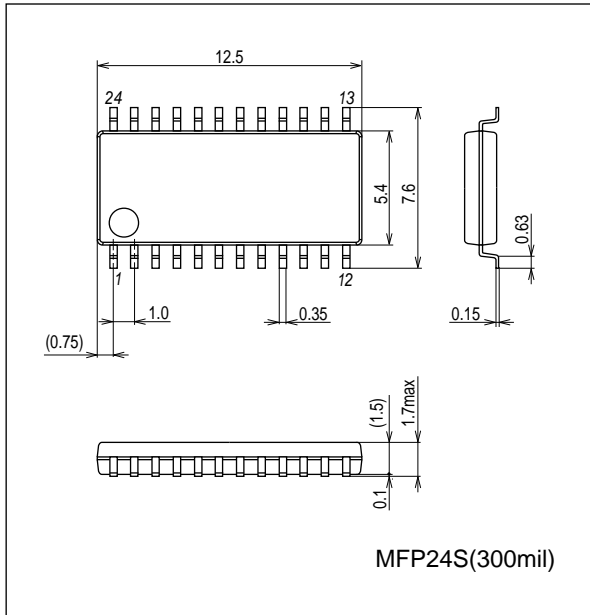
(注2)書き込み使用条件により専用の書き込み装置とプログラムが必要になるので、弊社またはFSGへ、お問い合わせください。

LC87FBK08A

外形図

unit:mm (typ)

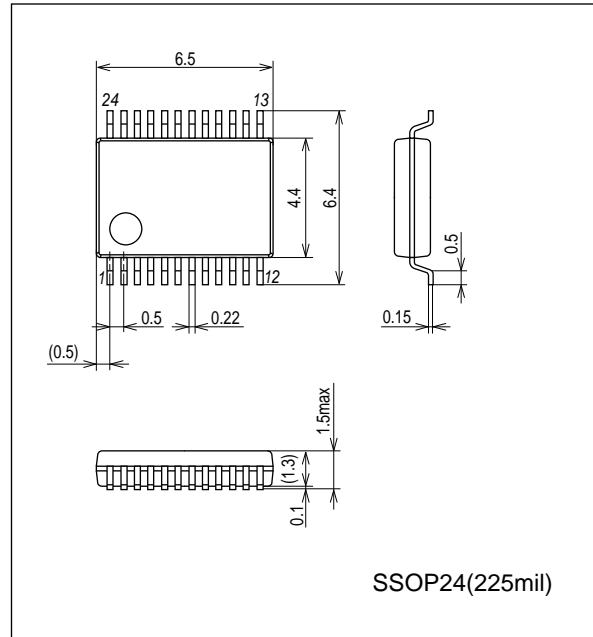
3112B



外形図

unit:mm (typ)

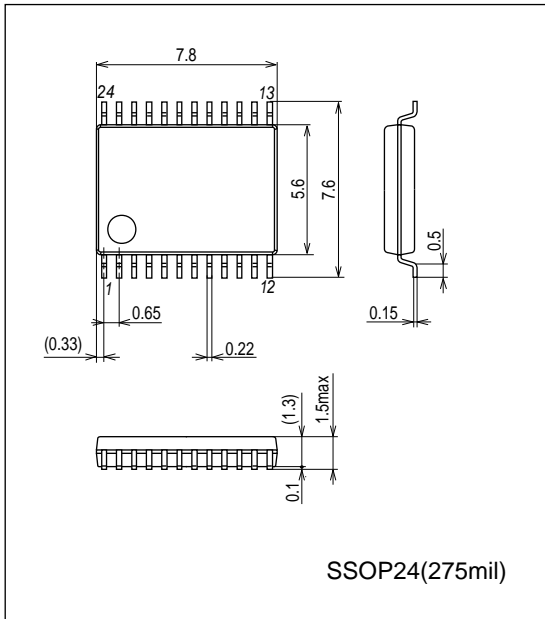
3287



外形図

unit:mm (typ)

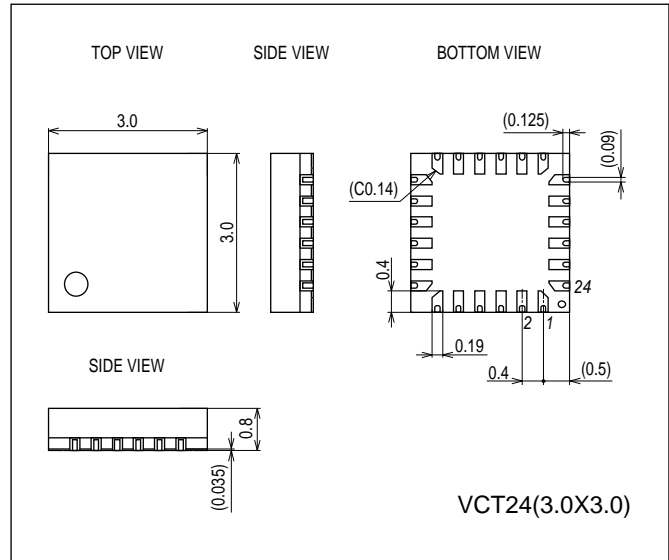
3175C



外形図

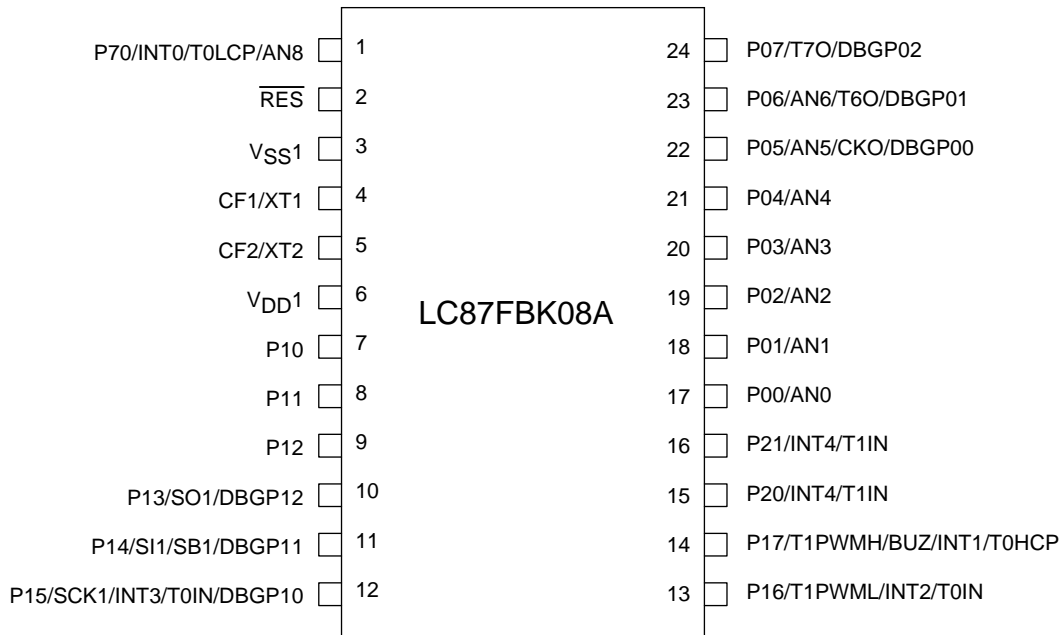
unit:mm (typ)

3366



LC87FBK08A

ピン配置図



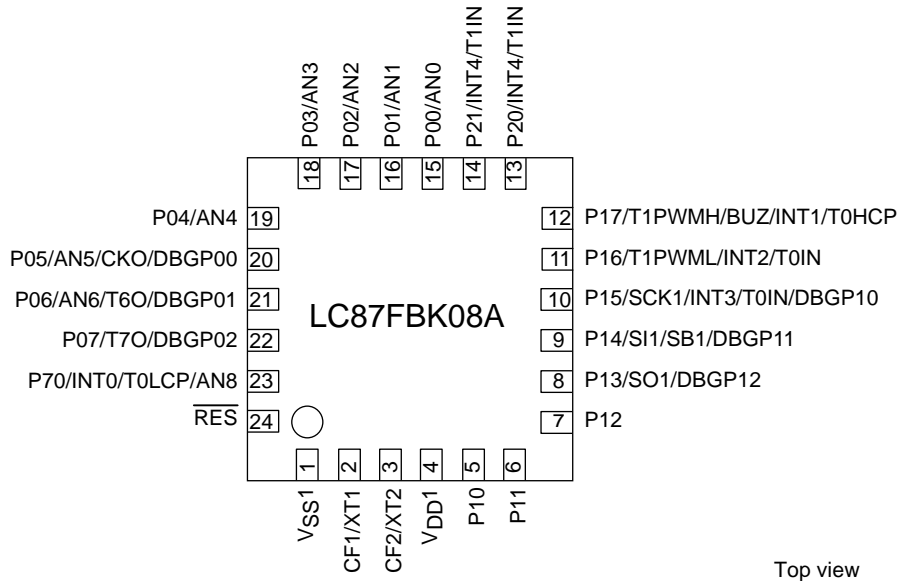
Top view

MFP24S(300mil) 『鉛・ハロゲンフリー仕様品』
 SSOP24(225mil) 『鉛・ハロゲンフリー仕様品』
 SSOP24(275mil) 『鉛・ハロゲンフリー仕様品』

MFP24S/SSOP24	NAME
1	P70/INT0/T0LCP/AN8
2	$\overline{\text{RES}}$
3	VSS1
4	CF1/XT1
5	CF2/XT2
6	VDD1
7	P10
8	P11
9	P12
10	P13/SO1/DBGP12
11	P14/SI1/SB1/DBGP11
12	P15/SCK1/INT3/T0IN/DBGP10

MFP24S/SSOP24	NAME
13	P16/T1PWML/INT2/T0IN
14	P17/T1PWMH/BUZ/INT1/TOHCP
15	P20/INT4/T1IN
16	P21/INT4/T1IN
17	P00/AN0
18	P01/AN1
19	P02/AN2
20	P03/AN3
21	P04/AN4
22	P05/AN5/CKO/DBGP00
23	P06/AN6/T60/DBGP01
24	P07/T70/DBGP02

LC87FBK08A



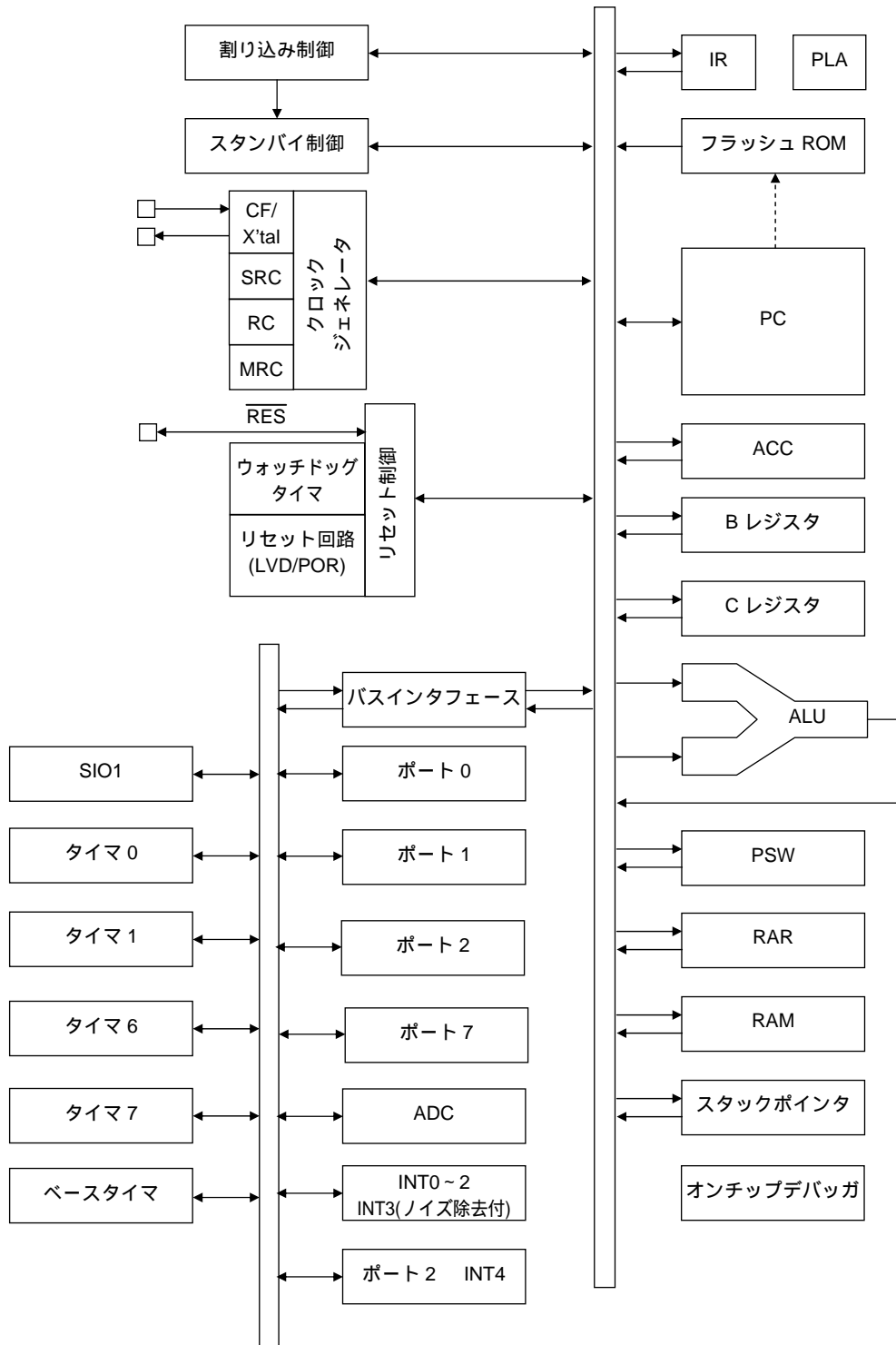
VCT24(3mm×3mm) : 『鉛・ハロゲンフリー仕様品』

VCT24	NAME
1	VSS1
2	CF1/XT1
3	CF2/XT2
4	VDD1
5	P10
6	P11
7	P12
8	P13/SO1/DBGP12
9	P14/SI1/SB1/DBGP11
10	P15/SCK1/INT3/T0IN/DBGP10
11	P16/T1PWML/INT2/T0IN
12	P17/T1PWMH/BUZ/INT1/TOHCP

VCT24	NAME
13	P20/INT4/T1IN
14	P21/INT4/T1IN
15	P00/ANO
16	P01/AN1
17	P02/AN2
18	P03/AN3
19	P04/AN4
20	P05/AN5/CKO/DBGP00
21	P06/AN6/T6O/DBGP01
22	P07/T7O/DBGP02
23	P70/INT0/T0LCP/AN8
24	RES

LC87FBK08A

システムブロック図



LC87FBK08A

端子機能表

端子名	I/O	機能説明	オプション																								
VSS1	-	電源の - 端子	なし																								
VDD1	-	電源の + 端子	なし																								
ポート0 P00 ~ P07	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ 4 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力 ・ 端子機能 <ul style="list-style-type: none"> P05 : システムクロック出力 P06 : タイマ 6 トグル出力 P07 : タイマ 7 トグル出力 P00 (AN0) ~ P06 (AN6) : AD 変換入力ポート P05 (DBGP00) ~ P07 (DBGP02) : オンチップデバッグ-0 用端子 	あり																								
ポート1 P10 ~ P17	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P13 : SI01 データ出力 P14 : SI01 データ入力/バス入出力 P15 : SI01 クロック入出力/INT3 入力(ノイズフィルタ付入力)/ タイマ 0 イベント入力/タイマ 0H キャプチャ入力 P16 : タイマ 1PWML 出力/INT2 入力/HOLD 解除入力/ タイマ 0 イベント入力/タイマ 0L キャプチャ入力 P17 : タイマ 1PWML 出力/ブザー出力/INT1 入力/HOLD 解除入力/ タイマ 0H キャプチャ入力 P15 (DBGP10) ~ P13 (DBGP12) : オンチップデバッグ-1 用端子 インタラプト受付形式 <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT1</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table> 		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT1			×			INT2				×	×	INT3				×	×	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT1			×																								
INT2				×	×																						
INT3				×	×																						
ポート2 P20, P21	I/O	<ul style="list-style-type: none"> ・ 2 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P20, P21 : INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 インタラプト受付形式 <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table> 		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT4				×	×	あり												
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																						
INT4				×	×																						

次ページへ続く。

LC87FBK08A

前ページより続く。

端子名	I/O	機能説明	オプション												
ポート7 P70	I/O	<ul style="list-style-type: none"> ・1ビットの入出力ポート ・入出力指定可能 ・プルアップ抵抗 ON/OFF 可能 ・端子機能 P70 : INTO 入力/HOLD 解除入力/タイマ OL キャプチャ入力 P70(AN8) : AD 変換入力ポート インタラプト受付形式 <table border="1" style="margin-left: 20px; margin-top: 5px;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td style="text-align: center;">x</td> <td></td> <td></td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			x			なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル										
INT0			x												
RES	I/O	外部リセット入力/内部リセット出力端子	なし												
CF1/XT1	I	<ul style="list-style-type: none"> ・セラミック発振子/32.768kHz 水晶発振子用入力端子 ・端子機能 汎用入力ポート	なし												
CF2/XT2	I/O	<ul style="list-style-type: none"> ・セラミック発振子/32.768kHz 水晶発振子用出力端子 ・端子機能 汎用入出力ポート	なし												

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注1)
		2	Nch-オープンドレイン	なし
P10 ~ P17 P20, P21	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
CF2/XT2	-	なし	セラミック発振子/32.768kHz 水晶発振子用出力 Nch-オープンドレイン (汎用入出力ポート選択時は Nch-オープンドレイン)	なし

注1 : ポート0のプログラマブルプルアップ抵抗の有無とLowインピーダンス・プルアップ/Highインピーダンス・プルアップ切換えは、共にニブル(4ビット)単位(P00 ~ P03, P04 ~ 07)の制御になる。

LC87FBK08A

ユーザオプション一覧表

オプション名	オプション種類	マスク版 1	フラッシュ版	オプション 切換え単位	指定する内容
ポート出力形式	P00 ~ P07			1ビット単位	CMOS Nch-オープンドレイン
	P10 ~ P17			1ビット単位	CMOS Nch-オープンドレイン
	P20 ~ P21			1ビット単位	CMOS Nch-オープンドレイン
プログラム スタート番地	-	× 2		-	00000h 01E00h
低電圧検知 リセット機能	検知機能			-	許可:使用する 禁止:使用しない
	検知レベル			-	3レベル
パワーオン リセット機能	パワーオンリセット レベル			-	4レベル

1: マスクオプションとしての選択になるのでマスク完成後の変更はできない。

2: マスク版のプログラムスタート番地は00000hになる。

未使用端子の推奨処理

端子名	未使用時の推奨処理	
	基板	ソフトウェア
P00 ~ P07	OPEN	出力Low設定
P10 ~ P17	OPEN	出力Low設定
P20 ~ P21	OPEN	出力Low設定
P70	OPEN	出力Low設定
CF1/XT1	100kΩ以下の抵抗でプルダウン	汎用入力設定
CF2/XT2	100kΩ以下の抵抗でプルダウン	汎用入力設定

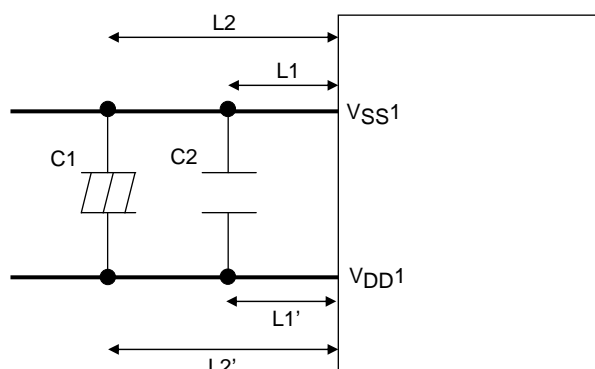
オンチップデバッグ端子処理

オンチップデバッグ端子処理に関しては、別マニュアル【オンチップデバッグRD87導入資料】を参照すること。

電源端子推奨条件(VDD1, VSS1)

VDD1 ~ VSS1端子間には、以下の条件を満たすようなバイパスコンデンサを接続すること。

- ・ VDD1, VSS1端子とバイパスコンデンサC1, C2間は太い配線により最短で接続し、かつ両端子からバイパスコンデンサまでのインピーダンスが極力等しく(L1=L1', L2=L2')なるように接続すること。
- ・ コンデンサは大容量のものC1と小容量のものC2を並列に挿入すること。
C2については0.1μF程度のコンデンサを接続すること。



LC87FBK08A

絶対最大定格/Ta=25 ,VSS1=0V

項目	記号	適用端子・備考	条件	規格				unit
				V _{DD} [V]	min	typ	max	
最大電源電圧	V _{DD max}	V _{DD1}			- 0.3		+ 6.5	V
入力電圧	V _I	CF1			- 0.3		V _{DD} + 0.3	
入出力電圧	V _{I/O}	ポート0,1,2, P70,CF2,RES			- 0.3		V _{DD} + 0.3	
高レベル出力電流	ピーク出力電流	I _{OPH}	ポート0,1,2	CMOS出力選択 適用1端子当り		- 10		mA
	平均出力電流 (注1-1)	I _{OMH}	ポート0,1,2	CMOS出力選択 適用1端子当り		- 7.5		
	合計出力電流	ΣI _{0AH} (1)	ポート0,1,2	適用全端子合計		- 25		
低レベル出力電流	ピーク出力電流	I _{OPL} (1)	P02 ~ P07, ポート1,2	適用1端子当り			20	
		I _{OPL} (2)	P00, P01	適用1端子当り			30	
		I _{OPL} (3)	P70, CF2	適用1端子当り			10	
	平均出力電流 (注1-1)	I _{OML} (1)	P02 ~ P07, ポート1,2	適用1端子当り			15	
		I _{OML} (2)	P00, P01	適用1端子当り			20	
		I _{OML} (3)	P70, CF2	適用1端子当り			7.5	
合計出力電流	ΣI _{0AL} (1)	ポート0,1,2,7, CF2	適用全端子合計			70		
許容消費電力	P _{d max} (1)	MFP24S(300mi1)	Ta= - 40 ~ + 85 パッケージ単体				129	mW
	P _{d max} (2)						229	
	P _{d max} (3)	SSOP24(225mi1)	Ta= - 40 ~ + 85 パッケージ単体				111	
	P _{d max} (4)						334	
動作周囲温度	Topr				- 40		+ 85	
保存周囲温度	Tstg				- 55		+ 125	

注1-1：平均出力電流は100ms期間の平均値を示す。

注1-2：熱抵抗評価基板はSEMI準拠(サイズ：76.1×114.3×1.6tmm, ガラエポ)を使用。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LC87FBK08A

許容動作条件/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
動作電源電圧	V_{DD}	V_{DD1}	$0.245\mu s$ tCYC $200\mu s$		2.7		5.5	V
メモリ保持 電源電圧	VHD	V_{DD1}	HOLDモード時 RAM, レジスタ保持		1.6			
高レベル 入力電圧	$V_{IH}(1)$	ポート1,2,7		2.7~5.5	$0.3V_{DD}$ +0.7		V_{DD}	
	$V_{IH}(2)$	ポート0		2.7~5.5	$0.3V_{DD}$ +0.7		V_{DD}	
	$V_{IH}(3)$	CF1,CF2, \overline{RES}		2.7~5.5	$0.75V_{DD}$		V_{DD}	
低レベル 入力電圧	$V_{IL}(1)$	ポート1,2,7		4.0~5.5	V_{SS}		$0.1V_{DD}$ +0.4	
				2.7~4.0	V_{SS}		$0.2V_{DD}$	
	$V_{IL}(2)$	ポート0		4.0~5.5	V_{SS}		$0.15V_{DD}$ +0.4	
				2.7~4.0	V_{SS}		$0.2V_{DD}$	
$V_{IL}(3)$	CF1,CF2, \overline{RES}		2.7~5.5	V_{SS}		$0.25V_{DD}$		
高レベル 出力電流	$I_{OH}(1)$	ポート0,1,2	適用1端子当り	4.5~5.5	-1.0			
				2.7~4.5	-0.35			
	$I_{OH}(3)$	P05(CK0システム クロック出力 機能使用時)	適用1端子当り	4.5~5.5	-6.0			
				2.7~4.5	-1.4			
	$\Sigma I_{OH}(1)$	ポート0,1,2	適用全端子合計	4.5~5.5	-25			
				2.7~4.5	-8.0			
低レベル 出力電流	$I_{OL}(1)$	ポート0,1,2	適用1端子当り	4.5~5.5			7	
				2.7~4.5			1	
	$I_{OL}(3)$	ポート7,CF2	適用1端子当り	2.7~5.5			1	
	$I_{OL}(4)$	P00,P01	適用1端子当り	4.5~5.5			15	
				2.7~4.5			2	
	$\Sigma I_{OL}(1)$	ポート0	適用全端子合計	4.5~5.5			40	
				2.7~4.5			10	
	$\Sigma I_{OL}(3)$	ポート0,1,2,CF2	適用全端子合計	4.5~5.5			70	
				2.7~4.5			21	
	$\Sigma I_{OL}(5)$	ポート7	適用全端子合計	2.7~5.5			1	

次ページへ続く。

LC87FBK08A

前ページより続く。

項目	記号	適用端子・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
命令サイクル タイム (注2-1)	tCYC			2.7~5.5	0.245		200	μs	
外部システム クロック 周波数	FEXCF	CF1	・CF2端子オープン ・システムクロック 分周1/1 ・外部システムクロック のDUTY=50±5%	2.7~5.5	0.1		12		
			・CF2端子オープン ・システムクロック 分周1/2 ・外部システムクロック のDUTY=50±5%	3.0~5.5	0.2		24.4		
発振周波数 範囲 (注2-2)	FmCF(1)	CF1,CF2	12MHzセラミック発振時 図1参照	2.7~5.5		12		MHz	
	FmCF(2)	CF1,CF2	10MHzセラミック発振時 図1参照	2.7~5.5		10			
	FmCF(3)	CF1,CF2	4MHzセラミック発振時 CF発振ノーマルアンプ 設定時(CFLAMP=0) 図1参照	2.7~5.5		4			
			4MHzセラミック発振時 CF発振ローアンプ 設定時(CFLAMP=1) 図1参照	2.7~5.5		4			
	FmMRC(1)		周波数可変RC発振時 (注2-3)	2.7~5.5	7.76	8.0	8.24		
	FmMRC(2)		周波数可変RC発振時 Ta= -10 ~ +85 (注2-3)	2.7~5.5	7.80	8.0	8.20		
	FmRC		内蔵中速RC発振時	2.7~5.5	0.5	1.0	2.0		
	FmSRC		内蔵低速RC発振時	2.7~5.5	50	100	200		
	FsX'tal	XT1,XT2	32.768kHz水晶発振時 図1参照	2.7~5.5		32.768		kHz	
発振安定時間	tmsMRC		周波数可変RC発振が発 振停止状態から発振許 可状態となった時 図3参照	2.7~5.5			100	μs	

注2-1: tCYCと発振周波数の関係式は、1/1分周時: 3/FmCF、1/2分周時: 6/FmCF。

注2-2: 発振定数は表1,2参照のこと。

注2-3: 周波数可変RC発振回路が“発振停止”状態から“発振許可”状態となった後、100μs以上の発振安定時間を設けてからシステムクロックを切替えること。

LC87FBK08A

電気的特性/Ta= - 40 ~ + 85 , V_{SS}1=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	ポート0,1,2,7, $\overline{\text{RES}}$	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{DD} (出力Tr.のオフリーク 電流を含む)	2.7~5.5			1	μA
	I _{IH} (2)	CF1,CF2	入力ポート仕様時 V _{IN} =V _{DD}	2.7~5.5			1	
	I _{IH} (3)	CF1	リセット時 V _{IN} =V _{DD}	2.7~5.5			15	
低レベル入力電流	I _{IL} (1)	ポート0,1,2,7, $\overline{\text{RES}}$	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{SS} (出力Tr.のオフリーク 電流を含む)	2.7~5.5	- 1			
	I _{IL} (2)	CF1,CF2	入力ポート仕様時 V _{IN} =V _{SS}	2.7~5.5	- 1			
高レベル出力電圧	V _{OH} (1)	ポート0,1,2	I _{OH} = - 1mA	4.5~5.5	V _{DD} - 1			V
	V _{OH} (2)		I _{OH} = - 0.35mA	2.7~5.5	V _{DD} - 0.4			
	V _{OH} (3)	P05(CK0システ ムクロック出力 機能使用時)	I _{OH} = - 6mA	4.5~5.5	V _{DD} - 1			
	V _{OH} (4)		I _{OH} = - 1.4mA	2.7~5.5	V _{DD} - 0.4			
低レベル出力電圧	V _{OL} (1)	ポート0,1,2	I _{OL} =7mA	4.5~5.5			1.5	
	V _{OL} (2)		I _{OL} =1mA	2.7~5.5			0.4	
	V _{OL} (3)	ポート7,CF2	I _{OL} =1mA	2.7~5.5			0.4	
	V _{OL} (4)	P00,P01	I _{OL} =15mA	4.5~5.5			1.5	
	V _{OL} (5)		I _{OL} =2mA	2.7~5.5			0.4	
プルアップ抵抗	R _{pu} (1)	ポート0,1,2,7	V _{OH} =0.9V _{DD} P0はLowプルアップ抵 抗選択時	4.5~5.5	15	35	80	kΩ
	R _{pu} (2)			2.7~4.5	18	50	150	
	R _{pu} (3)	ポート0	V _{OH} =0.9V _{DD} Hiプルアップ抵抗 選択時	2.7~5.5	100	200	300	
ヒステリシス電圧	V _{HYS}	ポート1,2,7, $\overline{\text{RES}}$		2.7~5.5		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} =V _{SS} f=1MHz Ta=25	2.7~5.5		10		pF

LC87FBK08A

SI01 シリアル入出力特性/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$ (注 4)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(3)	SCK1(P15)	・図5参照	2.7~5.5	2			tCYC
		低レベルパルス幅	tSCKL(3)				1			
		高レベルパルス幅	tSCKH(3)				1			
	出力クロック	周期	tSCK(4)	SCK1(P15)	・CMOS出力選択時 ・図5参照	2.7~5.5	2			tSCK
		低レベルパルス幅	tSCKL(4)				1/2			
		高レベルパルス幅	tSCKH(4)				1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SI1(P14), SB1(P14)	・SI0CLKの立ち上がり に対して規定する ・図5参照	2.7~5.5	(1/3)tCYC +0.01			μs	
	データホールド時間	thDI(2)				0.01				
シリアル出力	出力遅延時間	tdDO(4)	SO1(P13), SB1(P14)	・SI0CLKの立ち下がり に対して規定する ・オープンドレイン出力 時は出力変化開始まで の時間として規定する ・図5参照	2.7~5.5			(1/2)tCYC +0.05		

注4：本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC87FBK08A

パルス入力条件/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P17), INT2(P16), INT4(P20,P21)	・割り込み要因フラグを セットできる ・タイマ0,1へのイベント 入力ができる	2.7~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の場合 のINT3(P15)	・割り込み要因フラグを セットできる ・タイマ0へのイベント 入力ができる	2.7~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の場合 のINT3(P15)	・割り込み要因フラグを セットできる ・タイマ0へのイベント 入力ができる	2.7~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合のINT3(P15)	・割り込み要因フラグを セットできる ・タイマ0へのイベント 入力ができる	2.7~5.5	256			
	tPIL(5)	RES	・リセットできる	2.7~5.5	200			μs

AD変換特性/ $V_{SS1} = 0V$

< 12ビットAD変換モード/ $T_a = -40 \sim +85$ >

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
分解能	N	AN0(P00) ~		2.7~5.5		12		bit
絶対精度	ET	AN6(P06) AN8(P70)	(注6-1)	3.0~5.5			± 16	LSB
				2.7~5.5			± 20	
変換時間	TCAD		変換時間算出方法参照 (注6-2)	4.0~5.5	32		115	μs
				3.0~5.5	64		115	
				2.7~5.5	134		215	
アナログ入力 電圧範囲	VAIN			2.7~5.5	V_{SS}		V_{DD}	V
アナログポート 入力電流	IAINH		$V_{AIN} = V_{DD}$	2.7~5.5			1	μA
	IAINL		$V_{AIN} = V_{SS}$	2.7~5.5	-1			

注6-1：絶対精度は量子化誤差 ($\pm 1/2LSB$) を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

注6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

変換時間は下記の時、通常の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビットAD変換モードから12ビット変換モードに切換え、最初のAD変換を行った時。

LC87FBK08A

< 8ビットAD変換モード/Ta= - 40 ~ + 85 >

項目	記号	適用端子 ・備考	条件	規格					
				V _{DD} [V]	min	typ	max	unit	
分解能	N	AN0(P00) ~ AN6(P06) AN8(P70)		2.7 ~ 5.5		8		bit	
絶対精度	ET		(注6-1)	2.7 ~ 5.5			± 1.5	LSB	
変換時間	TCAD		変換時間算出方法参照 (注6-2)		4.0 ~ 5.5	20		90	μs
					3.0 ~ 5.5	40		90	
				2.7 ~ 5.5	80		135		
アナログ入力 電圧範囲	VAIN			2.7 ~ 5.5	V _{SS}		V _{DD}	V	
アナログポート 入力電流	I _{AINH}		V _{AIN} =V _{DD}	2.7 ~ 5.5			1	μA	
	I _{AINL}		V _{AIN} =V _{SS}	2.7 ~ 5.5	- 1				

< 変換時間算出方法 >

12ビットAD変換モード：TCAD(変換時間) = ((52/(AD分周比)) + 2) × (1/3) × t_{CYC}

8ビットAD変換モード：TCAD(変換時間) = ((32/(AD分周比)) + 2) × (1/3) × t_{CYC}

< 推奨動作条件 >

外部発振 (F _{mCF})	電源電圧範囲 (V _{DD})	システム分周 (SYSDIV)	サイクルタイム (t _{CYC})	AD分周比 (ADDIV)	変換時間(TCAD)	
					12ビットAD	8ビットAD
CF-12MHz	4.0V ~ 5.5V	1/1	250ns	1/8	34.8μs	21.5μs
	3.0V ~ 5.5V	1/1	250ns	1/16	69.5μs	42.8μs
	2.7V ~ 5.5V	1/1	250ns	1/32	138.8μs	85.5μs
CF-8MHz	4.0V ~ 5.5V	1/1	375ns	1/8	52.25μs	32.25μs
	3.0V ~ 5.5V	1/1	375ns	1/16	104.25μs	64.25μs
	2.7V ~ 5.5V	1/1	375ns	1/32	208.25μs	128.25μs
CF-4MHz	3.0V ~ 5.5V	1/1	750ns	1/8	104.5μs	64.5μs
	2.7V ~ 5.5V	1/1	750ns	1/16	208.5μs	128.5μs

注6-1：絶対精度は量子化誤差(±1/2LSB)を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

注6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

変換時間は下記の時、通常の2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビットAD変換モードから12ビット変換モードに切り換え、最初のAD変換を行った時。

LC87FBK08A

パワーオンリセット(POR)特性/ $T_a = -40 \sim +85$, $V_{SS1}=0V$

項目	記号	適用端子・備考	条件	オプション 設定電圧	規格			
					min	typ	max	unit
POR解除電圧	PORRL		オプション選択 (注7-1)	2.57V	2.45	2.57	2.69	V
				2.87V	2.75	2.87	2.99	
				3.86V	3.73	3.86	3.99	
				4.35V	4.21	4.35	4.49	
検知電圧不定領域	POUKS		図7参照 (注7-2)			0.7	0.95	
電源立上り時間	PORIS		$V_{DD}=0V \sim 1.6V$ までの 電源立上り時間				100	ms

注7-1：低電圧検知リセットを非選択時にPOR解除電圧を4つのレベルから選択することができる。

注7-2：パワーオンリセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

低電圧検知リセット(LVD)特性/ $T_a = -40 \sim +85$, $V_{SS1}=0V$

項目	記号	適用端子 ・備考	条件	オプション 設定電圧	規格			
					min	typ	max	unit
LVDリセット電圧 (注8-2)	LVDET		オプション選択 図8参照 (注8-1) (注8-3)	2.81V	2.71	2.81	2.91	V
				3.79V	3.67	3.79	3.91	
				4.28V	4.15	4.28	4.41	
LVD検知電圧 ヒステリシス	LVHYS			2.81V		60		mV
				3.79V		65		
				4.28V		65		
検知電圧不定領域	LVUKS		図8参照 (注8-4)			0.7	0.95	V
低電圧最小検知幅 (応答感度)	TLVDW		LVDET-0.5V 図9参照		0.2			ms

注8-1：低電圧検知リセットを選択時にLVDリセット電圧を3つのレベルから選択することができる。

注8-2：ヒステリシス電圧はLVDリセット電圧の規格値には含まない。

注8-3：ポートに出力変化や大電流を流すとLVDリセット電圧の規格値を超える場合がある。

注8-4：低電圧検知リセットはトランジスタが駆動始めるまでの期間不定領域が存在する。

LC87FBK08A

消費電流特性/ $T_a = -40 \sim +85$, $V_{SS1} = 0V$

項目	記号	適用端子 ・備考	条件	規格					
				$V_{DD}[V]$	min	typ	max	unit	
通常動作時 消費電流 (注9-1) (注9-2)	IDDOP(1)	V _{DD1}	<ul style="list-style-type: none"> ・FmCF=12MHzセラミック発振時 ・システムクロックは12MHz側 ・内蔵低速/中速RC発振は停止 	2.7~5.5		4.8	8.7	mA	
				2.7~3.6		3.0	5.0		
	IDDOP(2)		<ul style="list-style-type: none"> ・CF1=24MHz外部クロック ・システムクロックはCF1側 ・内蔵低速/中速RC発振は停止 	3.0~5.5		5.0	9.6		
				3.0~3.6		3.2	6.0		
	IDDOP(3)		<ul style="list-style-type: none"> ・FmCF=10MHzセラミック発振時 ・システムクロックは10MHz側 ・内蔵低速/中速RC発振は停止 	2.7~5.5		4.1	7.8		
				2.7~3.6		2.6	4.9		
	IDDOP(4)		<ul style="list-style-type: none"> ・FmCF=4MHzセラミック発振時 ・システムクロックは4MHz側 ・内蔵低速/中速RC発振は停止 	2.7~5.5		2.2	5.1		
				2.7~3.6		1.5	2.7		
	IDDOP(5)		<ul style="list-style-type: none"> ・CF発振ローアンプ設定時 (CFLAMP=1) ・FmCF=4MHzセラミック発振時 ・システムクロックは4MHz側 	2.7~5.5		0.95	2.4		
				2.7~3.6		0.50	1.1		
	IDDOP(6)		<ul style="list-style-type: none"> ・FsX'tal=32.768kHz水晶発振時 ・内蔵低速RC発振は停止 ・システムクロックは内蔵中速RC発振 	2.7~5.5		0.42	1.4		
				2.7~3.6		0.25	0.76		
	IDDOP(7)		<ul style="list-style-type: none"> ・FsX'tal=32.768kHz水晶発振時 ・内蔵低速/中速RC発振は停止 ・システムクロックは周波数可変RC発振(8MHz) 	2.7~5.5		3.2	5.4		
				2.7~3.6		2.3	4.2		
	IDDOP(8)		<ul style="list-style-type: none"> ・外部発振FsX'tal/FmCFは停止 ・システムクロックは内蔵低速RC発振 	2.7~5.5		55	169		μA
				2.7~3.6		39	109		

注9-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

注9-2：LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

次ページへ続く。

LC87FBK08A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
通常動作時 消費電流 (注9-1) (注9-2)	IDDOP(9)	V _{DD1}	<ul style="list-style-type: none"> ・外部発振FsX'tal/FmCFは停止 ・システムクロックは内蔵低速RC発振 	5.0		55	136	μA
				3.3		39	103	
	IDDOP(10)		<ul style="list-style-type: none"> ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 	2.7~5.5		28	89	
				2.7~3.6		11	38	
	IDDOP(11)		<ul style="list-style-type: none"> ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 	5.0		28	78	
				3.3		11	29	
HALTモード 消費電流 (注9-1) (注9-2)	IDDHALT(1)	V _{DD1}	<ul style="list-style-type: none"> ・HALTモード ・FmCF=12MHzセラミック発振時 	2.7~5.5		2.4	4.5	mA
				2.7~3.6		1.3	2.2	
	IDDHALT(2)		<ul style="list-style-type: none"> ・HALTモード ・CF1=24MHz外部クロック 	3.0~5.5		2.7	5.3	
				3.0~3.6		1.6	2.9	
	IDDHALT(3)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=10MHzセラミック発振時 	2.7~5.5		2.0	4.1	
				2.7~3.6		1.1	2.1	
	IDDHALT(4)		<ul style="list-style-type: none"> ・HALTモード ・FmCF=4MHzセラミック発振時 	2.7~5.5		1.2	3.3	
				2.7~3.6		0.50	1.2	

注9-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

注9-2：LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

次ページへ続く。

LC87FBK08A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALTモード 消費電流 (注9-1) (注9-2)	IDDHALT(5)	V _{DD1}	<ul style="list-style-type: none"> ・HALTモード ・CF発振ローアンプ設定時 (CFLAMP=1) ・FmCF=4MHzセラミック発振時 ・システムクロックは4MHz側 ・内蔵低速/中速RC発振は停止 ・周波数可変RC発振は停止 ・1/4分周時 	2.7~5.5		0.70	1.8	mA
				2.7~3.6		0.30	0.68	
	IDDHALT(6)		<ul style="list-style-type: none"> ・HALTモード ・FsX'tal=32.768kHz水晶発振時 ・内蔵低速RC発振は停止 ・システムクロックは内蔵中速RC発振 ・周波数可変RC発振は停止 ・1/2分周時 	2.7~5.5		0.30	0.90	
				2.7~3.6		0.20	0.44	
	IDDHALT(7)		<ul style="list-style-type: none"> ・HALTモード ・FsX'tal=32.768kHz水晶発振時 ・内蔵低速/中速RC発振は停止 ・システムクロックは周波数可変RC発振(8MHz) ・1/1分周時 	2.7~5.5		1.3	2.3	
				2.7~3.6		0.90	1.5	
	IDDHALT(8)		<ul style="list-style-type: none"> ・HALTモード ・外部発振FsX'tal/FmCFは停止 ・システムクロックは低速RC発振 ・内蔵中速RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 	2.7~5.5		18	68	
				2.7~3.6		11	35	
	IDDHALT(9)		<ul style="list-style-type: none"> ・HALTモード ・外部発振FsX'tal/FmCFは停止 ・システムクロックは低速RC発振 ・内蔵中速RC発振は停止 ・周波数可変RC発振は停止 ・1/1分周時 ・Ta= -10 ~ +50 	5.0		18	46	
				3.3		11	27	
	IDDHALT(10)		<ul style="list-style-type: none"> ・HALTモード ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵低速/中速RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時 	2.7~5.5		20	85	
				2.7~3.6		5.6	30	

注9-1：消費電流は出力Tr.および内蔵ブルアップ抵抗に流れる電流を含まない。

注9-2：LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

次ページへ続く。

LC87FBK08A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALTモード 消費電流 (注9-1) (注9-2)	IDDHALT(11)	V _{DD1}	<ul style="list-style-type: none"> ・HALTモード ・FsX'tal=32.768kHz水晶発振時 ・システムクロックは32.768kHz側 ・内蔵低速/中速RC発振は停止 ・周波数可変RC発振は停止 ・1/2分周時 ・Ta= - 10 ~ + 50 	5.0		20	51	μA
				3.3		5.6	17	
HOLDモード 消費電流 (注9-1) (注9-2)	IDDHOLD(1)	V _{DD1}	<ul style="list-style-type: none"> HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) 	2.7~5.5		0.012	23	
				2.7~3.6		0.008	11	
	IDDHOLD(2)		<ul style="list-style-type: none"> HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) ・Ta= - 10 ~ + 50 	5.0		0.012	1.2	
				3.3		0.008	0.59	
	IDDHOLD(3)		<ul style="list-style-type: none"> HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) ・LVDオプション選択時 	2.7~5.5		2.0	26	
				2.7~3.6		1.6	13	
	IDDHOLD(4)		<ul style="list-style-type: none"> HOLDモード ・CF1=V_{DD}またはオープン (外部クロック時) ・Ta= - 10 ~ + 50 ・LVDオプション選択時 	5.0		2.0	3.8	
				3.3		1.6	2.8	
時計HOLD モード 消費電流 (注9-1) (注9-2)	IDDHOLD(5)	V _{DD1}	<ul style="list-style-type: none"> 時計HOLDモード ・FsX'tal=32.768kHz水晶発振時 	2.7~5.5		16	70	
				2.7~3.6		4.2	25	
	IDDHOLD(6)		<ul style="list-style-type: none"> 時計HOLDモード ・FsX'tal=32.768kHz水晶発振時 ・Ta= - 10 ~ + 50 	5.0		16	42	
				3.3		4.2	11	

注9-1：消費電流は出力Tr.および内蔵プルアップ抵抗に流れる電流を含まない。

注9-2：LVD(低電圧検知)の指定なき条件はLVDの消費電流を含まない。

F-ROM 書き込み特性/Ta= + 10 ~ + 55 , V_{SS1}=0V

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
オンボード 書き込み電流	IDDFW(1)	V _{DD1}	・マイコン部の消費電流を 除く	2.7~5.5		5	10	mA
書き込み時間	tFW(1)		<ul style="list-style-type: none"> ・消去動作 ・書き込み動作 	2.7~5.5		20	30	ms
	tFW(2)					40	60	μs

LC87FBK08A

メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

・CF発振ノーマルアンプサイズ設定時(CFLAMP=0)

村田製作所

公称 周波数	タイプ	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]		typ [ms]	max [ms]	
12MHz	SMD	CSTCE12M0G52-R0	(10)	(10)	Open	680	2.7~5.5	0.02	0.3	C1,C2 内蔵品
10MHz	SMD	CSTCE10M0G52-R0	(10)	(10)	Open	680	2.7~5.5	0.02	0.3	
	リード	CSTLS10M0G53-B0	(15)	(15)	Open	680	2.7~5.5	0.02	0.3	
8MHz	SMD	CSTCE8M00G52-R0	(10)	(10)	Open	1.0k	2.7~5.5	0.02	0.3	
	リード	CSTLS8M00G53-B0	(15)	(15)	Open	1.0k	2.7~5.5	0.02	0.3	
6MHz	SMD	CSTCR6M00G53-R0	(15)	(15)	Open	1.5k	2.7~5.5	0.02	0.3	
	リード	CSTLS6M00G53-B0	(15)	(15)	Open	1.5k	2.7~5.5	0.02	0.3	
4MHz	SMD	CSTCR4M00G53-R0	(15)	(15)	Open	1.5k	2.7~5.5	0.03	0.45	
	リード	CSTLS4M00G53-B0	(15)	(15)	Open	1.5k	2.7~5.5	0.02	0.3	

・CF発振ローアンプサイズ設定時(CFLAMP=1)

村田製作所

公称 周波数	タイプ	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]		typ [ms]	max [ms]	
12MHz	SMD	CSTCE12M0G52-R0	(10)	(10)	Open	470	3.9~5.5	0.04	0.6	C1,C2 内蔵品
10MHz	SMD	CSTCE10M0G52-R0	(10)	(10)	Open	470	2.9~5.5	0.03	0.45	
	リード	CSTLS10M0G53-B0	(15)	(15)	Open	470	3.6~5.5	0.03	0.45	
		CSTLS10M0G53095-B0	(15)	(15)	Open	470	2.7~5.5	0.02	0.3	
8MHz	SMD	CSTCE8M00G52-R0	(10)	(10)	Open	680	2.7~5.5	0.03	0.45	
	リード	CSTLS8M00G53-B0	(15)	(15)	Open	680	3.0~5.5	0.03	0.45	
		CSTLS8M00G53093-B0	(15)	(15)	Open	680	2.7~5.5	0.02	0.3	
6MHz	SMD	CSTCR6M00G53-R0	(15)	(15)	Open	1.0k	2.7~5.5	0.03	0.45	
	リード	CSTLS6M00G53-B0	(15)	(15)	Open	1.0k	2.8~5.5	0.03	0.45	
		CSTLS6M00G53093-B0	(15)	(15)	Open	1.0k	2.7~5.5	0.02	0.3	
4MHz	SMD	CSTCR4M00G53-R0	(15)	(15)	Open	1.0k	2.7~5.5	0.04	0.6	
	リード	CSTLS4M00G53-B0	(15)	(15)	Open	1.0k	2.7~5.5	0.02	0.3	

発振安定時間は、V_{DD}が動作電圧下限を上回ってから次の場合に発振が安定するまでに必要な時間である。(図3参照)

- ・メインクロック発振回路を開始させる命令を実行後、発振が安定するまでの時間。
- ・HOLDモードを解除後、発振が安定するまでの時間。
- ・メインクロック発振許可の状態、X'tal Holdモード解除後、発振動作開始し発振が安定するまでの時間。

LC87FBK08A

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

エプソントヨコム

公称 周波数	タイプ	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]		typ [s]	max [s]	
32.768kHz	SMD	MC-306	9	9	Open	330k	2.7~5.5	1.4	4.0	適用CL値 7.0pF

セイコーインスツル

公称 周波数	タイプ	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf [Ω]	Rd [Ω]		typ [s]	max [s]	
32.768kHz	SMD	SSP-T7-F	18	18	Open	0	2.7~5.5	0.75	2.0	適用CL値 12.5pF

発振安定時間は、 V_{DD} が動作電圧下限を上回ってから次の場合に発振が安定するまでに必要な時間である。(図3参照)

- ・サブクロック発振回路を開始させる命令を実行後、発振が安定するまでの時間。
- ・サブクロック発振許可の状態、Holdモード解除後、発振動作開始し発振が安定するまでの時間。

(発振回路実装上の注意)

- ・発振動作は回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさなないように近くに配置すること。
- ・変化が急峻な信号線や大きな電流が流れる信号線は、できるだけ発振回路から遠ざけて、交差させないこと。
- ・発振振幅が絶対最大定格で規定している入力電圧値を超えないように、制限抵抗(Rd)は必ず挿入すること。
- ・上記の発振回路定数は当社指定の発振評価基板を使用した場合の特性例である。発振周波数精度等はセット基板により変動するので、発振精度が要求される用途では、お客様の量産基板での発振評価を発振子メーカーへ依頼すること。詳細は、使用する発振子メーカー、または当社営業所へ問い合わせること。
- ・フラッシュROM版からマスクROM版へマイコンを置き換える際、外付け発振定数が同じでも動作電圧範囲等が異なる場合があるので注意すること。

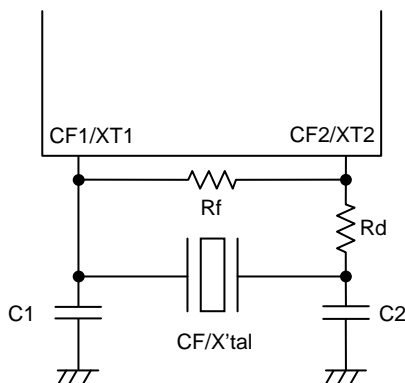


図1 CF/XT発振回路

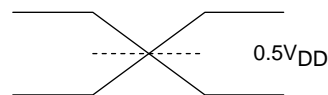
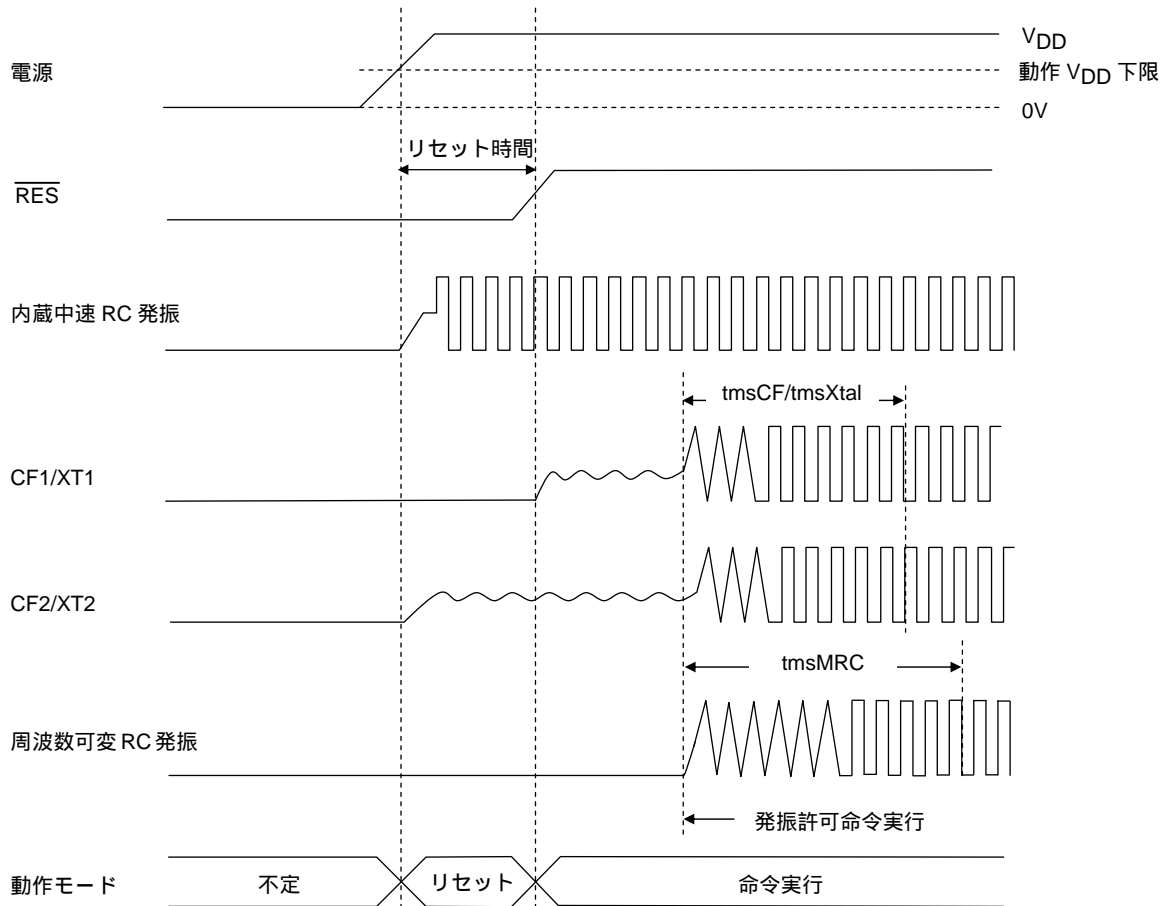
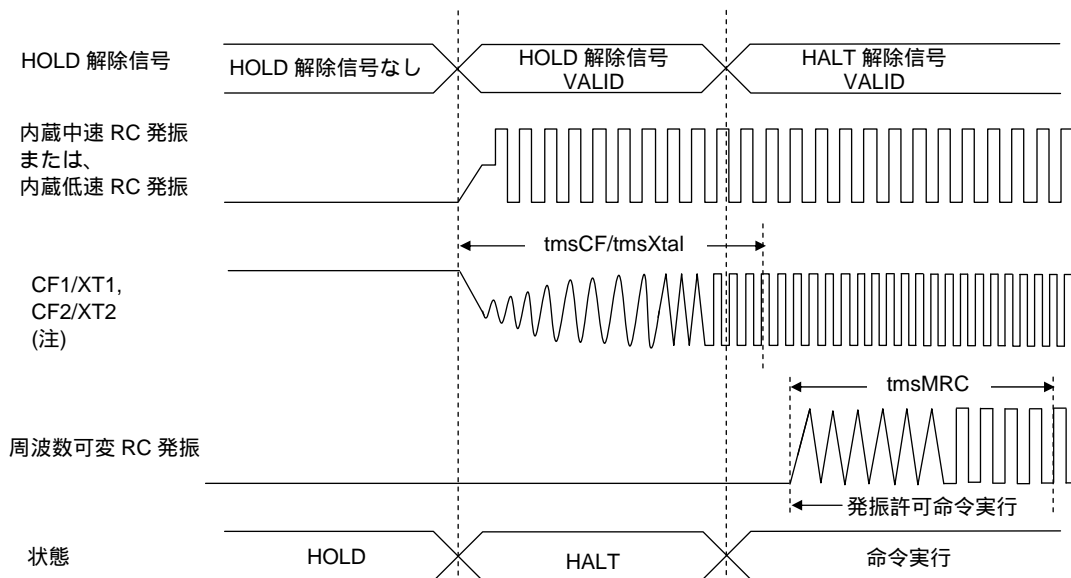


図2 ACタイミング測定点

LC87FBK08A



リセット時間と発振安定時間

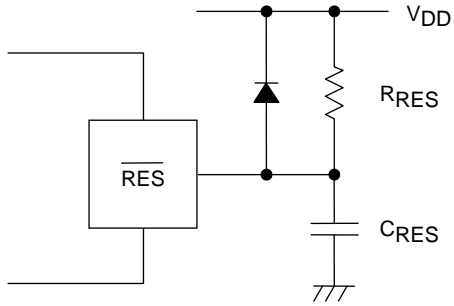


HOLD解除信号と発振安定時間

(注) HOLDモード突入前に発振許可されている場合

図3 発振安定時間

LC87FBK08A



(注意)
パワーオンリセットと低電圧検知リセット機能の使用
方法により外付け回路が異なるため、ユーザーズ
マニュアルリセット機能を参照すること。

図4 リセット回路例

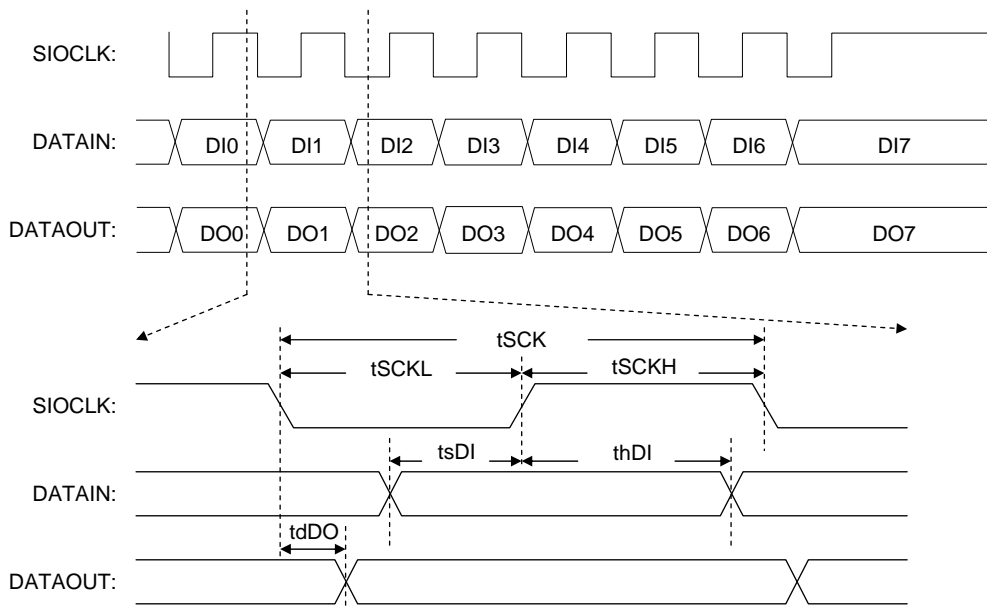


図5 シリアル入出力波形

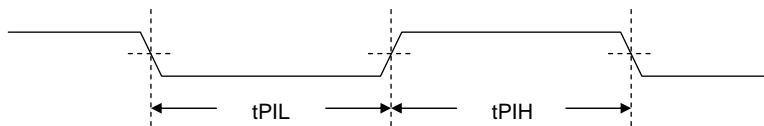


図6 パルス入力タイミング波形

LC87FBK08A

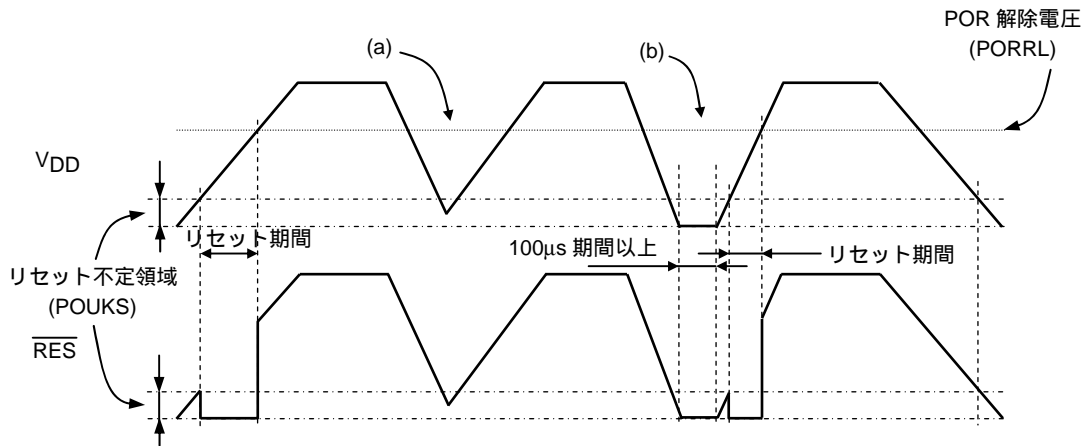


図7 PORのみ(LVD非選択)の動作波形例(リセット端子：プルアップ抵抗 R_{RES} のみ)

- ・PORは V_{SS} レベルから電源を立ち上げた時のみリセットが発生する。
- ・(a)のように電源が V_{SS} レベルまで下がらない状態で電源が再投入された場合には、安定したリセットはかからない。このケースが想定される場合には、下記のようにLVD機能を併用するか外付けにリセット回路を構成すること。
- ・(b)のように電源が V_{SS} レベルまで十分下がり、その状態が $100\mu s$ 以上保持されてから電源が再投入された場合のみリセットがかかる。

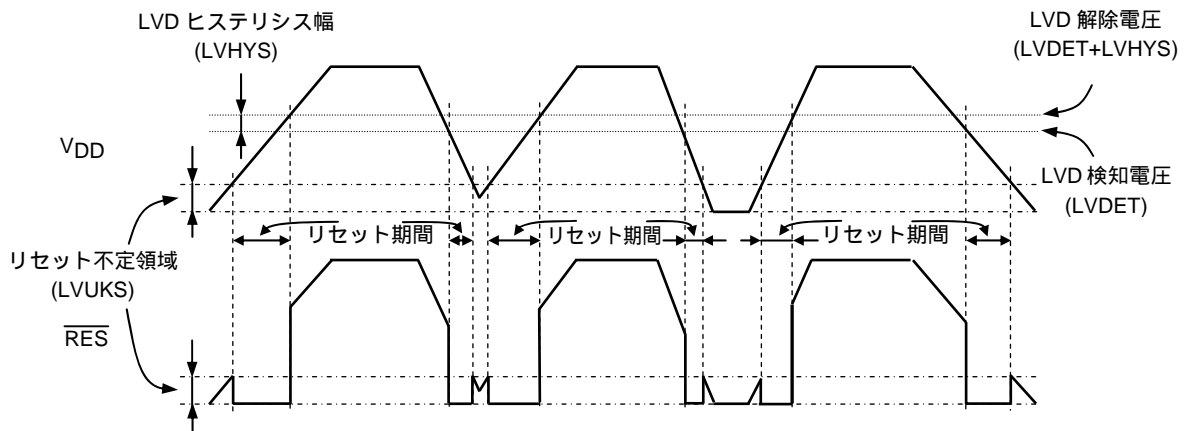


図8 POR + LVD選択時の動作波形例(リセット端子：プルアップ抵抗 R_{RES} のみ)

- ・電源投入時と電源低下時ともにリセットがかかる。
- ・LVDには検知レベル付近でリセット解除/突入を繰り返さないようヒステリシス幅(LVHYS)がある。

LC87FBK08A

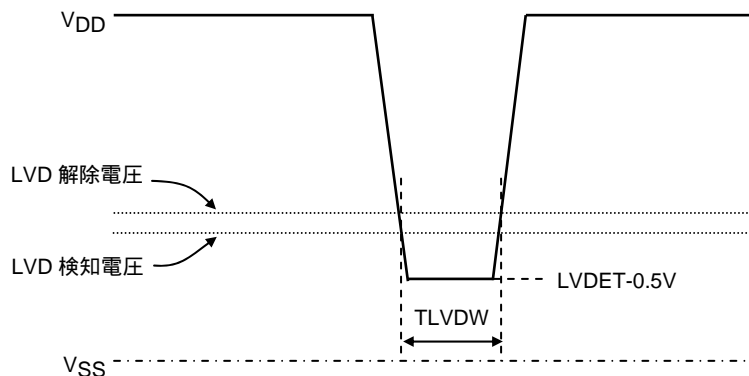


図9 低電圧最小検知幅(電源瞬停・電源変動波形例)

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。