



ON Semiconductor®

<http://onsemi.jp>

LV5636VH

Bi-CMOS 集積回路

BS/CS アンテナ用 DC/DCコンバータ

概要

LV5636VH は、FET 内蔵昇圧 DC/DC コンバータと LDO を 1 チップに搭載した IC である。
出力ショートに対し破壊、誤動作せず自動復帰することが求められている LCD/PDP TV、BD レコーダ、
等の BS/CS アンテナ用の電源として最適な昇圧 IC である。

機能

【昇圧】

- ・ ソフトスタート機能 2.6ms
- ・ パルスバイパルス過電流保護
- ・ 発振周波数 1MHz
- ・ SCP 短絡保護(タイマ 1.6ms)

【LDO】

- ・ 電流リミット(フの字特性)

【全体】

- ・ UVLO
- ・ パワーグッド
- ・ 出力設定抵抗内蔵
- ・ サーマルシャットダウン
- ・ パワーグッド遅延
- ・ 出力電圧切り替え機能(BS/CS)

最大最大定格/Ta=25°C

項目	記号	条件	定格値	unit
V _{CC} 最大電源電圧	V _{CC max}		-0.3~25	V
LDOIN最大入力電圧	V _{LDOIN max}		-0.3~30	V
SW端子最大電圧	V _{SW max}		-0.3~30	V
許容消費電力	P _{d max}	※1	1.45	W
動作周囲温度	T _{opr}		-30~+85	°C
動作時接合温度	T _{jopr}		-30~+125	°C
保存周囲温度	T _{stg}		-40~+150	°C

※1 指定基板付き：32mm×38mm×1.6mm：ガラスエポキシ両面基板

注 1) 絶対最大定格は、一瞬でも超えてはならない許容値を示すものである。

注 2) 絶対最大定格の範囲内で使用した場合でも、高温及び大電流/高電圧印加、多大な温度変化等で連続して使用される場合、信頼性が低下するおそれがある。詳細については、弊社窓口までご相談ください。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LV5636VH

推奨動作条件/ $T_a=25^{\circ}\text{C}$

項目	記号	条件	定格値	unit
V _{CC} 電源電圧	V _{CC}		8~23	V
LDOIN入力電圧	V _{LDOIN}		8~28	V
SW端子電圧	V _{SW}		-0.3~28	V
EN端子電圧範囲	V _{EN}		0~23	V

電気的特性/ $T_a=25^{\circ}\text{C}$, V_{CC}=12V, V_{EN}=V_{CTL}=2V

項目	記号	条件	min	typ	max	unit
全体						
消費電流	I _{CC}	スイッチングオフ時		2.1	4.0	mA
	I _{OFF}	EN=0V, LDOIN=0V			10	μA
基準電圧	V _{REF}			1.26		V
LDO出力電圧	LDOOUT1	CTL=High	(-2%)	15.9	(+2%)	V
	LDOOUT2	CTL=Low	(-2%)	11.7	(+2%)	V
DCDC出力電圧	DCDCOUT1	CTL=High	(-2%)	16.5	(+2%)	V
	DCDCOUT2	CTL=Low	(-2%)	12.3	(+2%)	V
イネーブル電圧	V _{EN}		2.0			V
ディセーブル電圧	V _{DIS}				0.4	V
EN端子電流	I _{EN}	V _{EN} =2.0V			10	μA
パワーグッド検出	V _{PG}	LDOが設定の85%以上の時パワーグッドとなる		85		%
パワーグッド吸い込み電流	I _{PG}	パワーグッドがNGのとき、V _{PGOOD} =0.5V		1.0		mA
パワーグッド漏れ電流	I _{PGLK}	パワーグッドのとき、V _{PGOOD} =2V			10	μA
PGDLY端子電流	I _{PGFLY}		3.84	4.8	5.76	μA
PGDLYスレッシュ電圧	V _{PGDLY}			1.26		V
CTL High電圧	V _{CTLH}	15V出力設定	2.0			V
CTL Low電圧	V _{CTLL}	11V出力設定			0.4	V
CTL端子電流	I _{CTL}	V _{CTL} =2V			20	μA
UVLO検出電圧	V _{UVLO}			7.0		V
サーマルシャットダウン検出温度	T _{TSD}	※2		155		°C
サーマルシャットダウンヒステリシス	T _{HYS}	※2		30		°C
昇圧DC/DC						
エラーアンプ出力Low電圧	FB Low	IN=2.0V, I _{FB} =-20μA(吸い込み)			0.2	V
エラーアンプ出力High電圧	FB High	IN=0.2V, I _{FB} =20μA(はき出し)	1.8			V
ソフトスタート時間	T _{SS}			2.6		ms
発振周波数	f _{OSC}			1		MHz
最大Duty	D max			85		%
出力ON抵抗	R _{ON}			0.7		Ω
最大出力ピーク電流	I _{pK}			1.8		A
SCPタイマ時間	t _{SCP}			1.6		ms

次ページへ続く。

LV5636VH

前ページより続く。

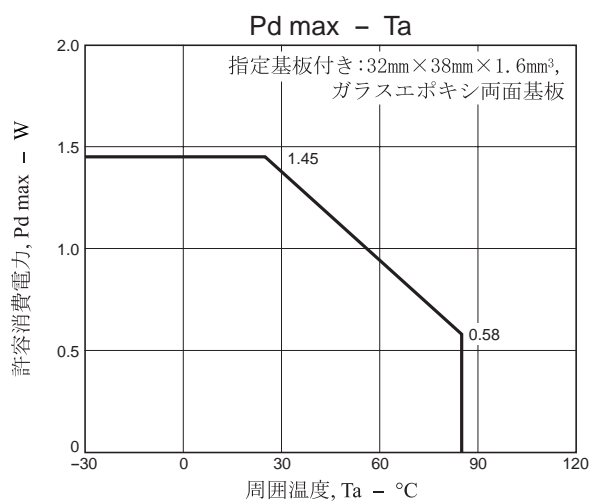
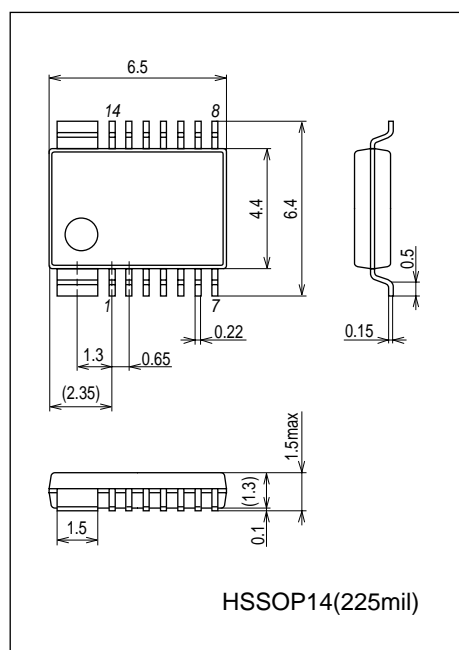
項目	記号	条件	min	typ	max	unit
LDO						
最大出力電流	$I_{O \text{ max}}$		450	620	800	mA
ラインレギュレーション	R_{LN}	$16.5 < \text{LDOIN} < 21.5\text{V}$			20	mV
ロードレギュレーション	R_{LD}	$10\text{mA} < I_O < 300\text{mA}$			50	mV
ドロップアウト電圧	V_{DROP}	$I_O=400\text{mA}$		0.35	0.5	V
出力短絡電流	I_{SHORT}	LDOOUT=GND			100	mA

※2：設計保証であり、測定は行わない。

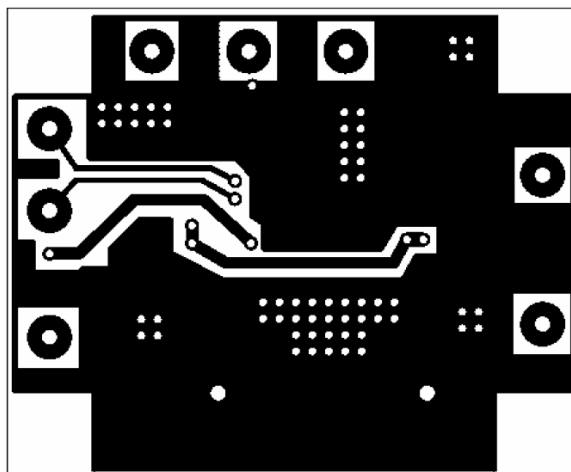
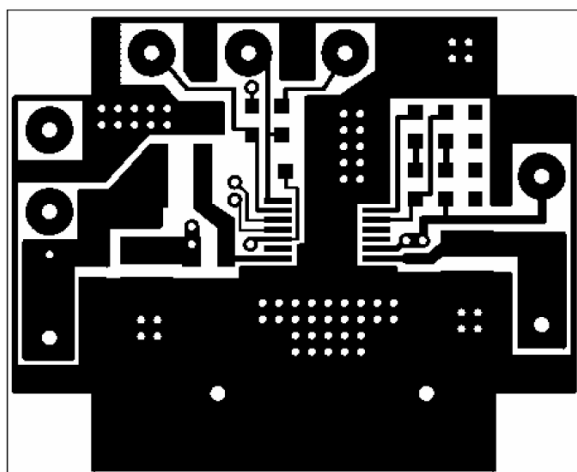
外形図

unit:mm (typ)

3313

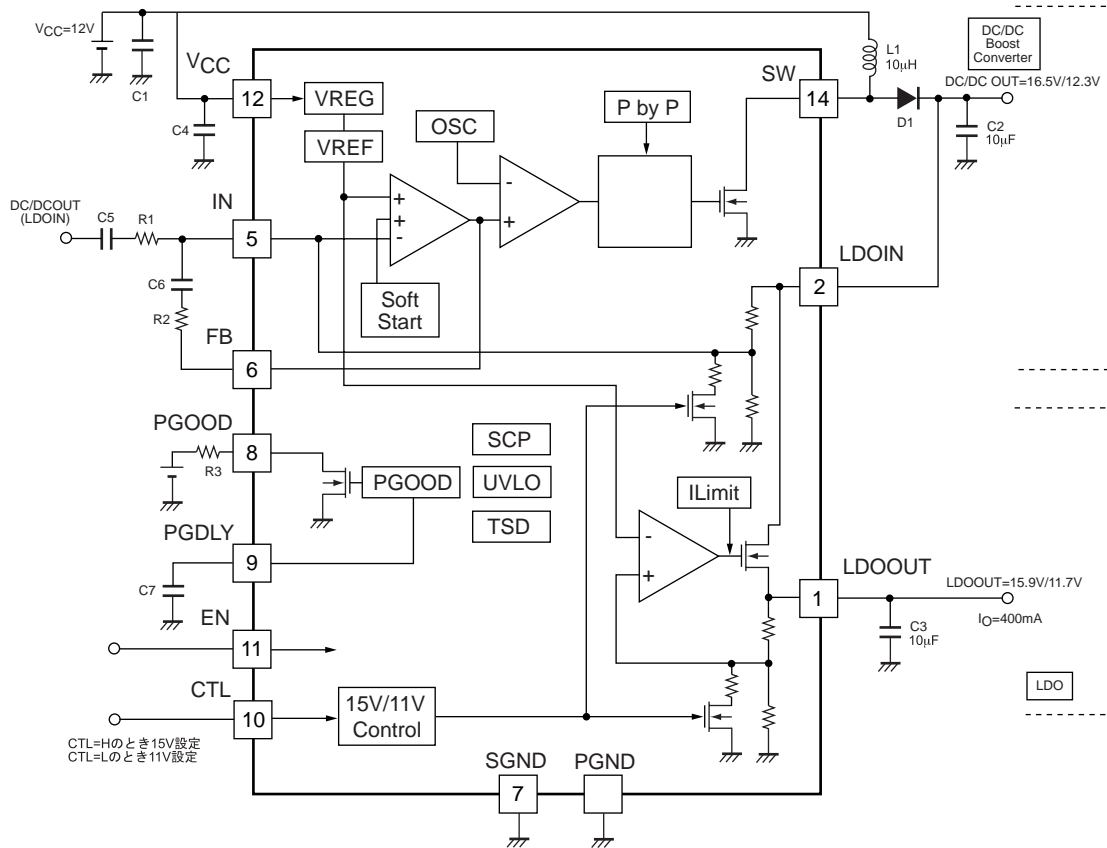


指定基板 (32 mm×38mm×1.6tmm, ガラスエポキシ両面基板)



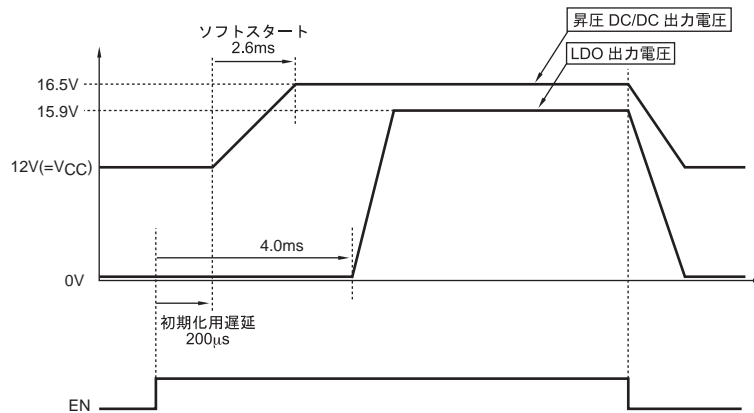
LV5636VH

ブロック図および応用回路例



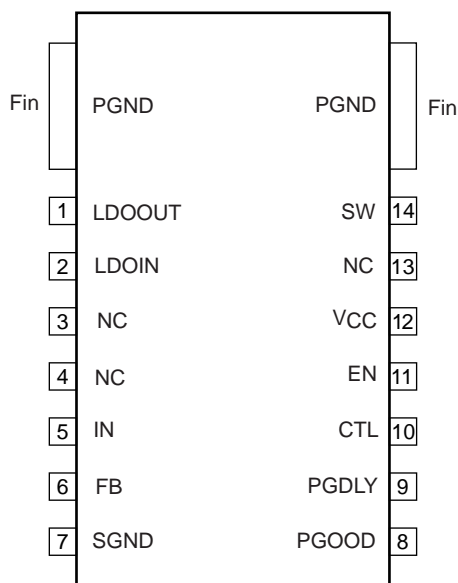
起動・停止シーケンスの説明

起動・停止時の出力概略波形を下記に示す。



LV5636VH

ピン配置図



Top view

端子機能説明

端子番号	端子名	機能	等価回路
1 2 7	LDOOUT LDOIN SGND	LDO 出力端子 LDO 入力端子 信号系 Ground 端子	
5	IN	DC/DC エラーアンプ入力端子	
6	FB	DC/DC エラーアンプ出力端子	

次ページへ続く。

LV5636VH

前ページより続く。

端子番号	端子名	機能	等価回路
8	PGOOD	パワーグッド出力端子	
9	PGDLY	パワーグッド遅延時間設定端子	
10	CTL	15V・11V 切換えコントロール端子	
11 12	EN VCC	Enable 入力端子 DC/DC 入力電源端子	
14 Fin	SW PGND	DC/DC オープンドレイン出力端子 パワー系 Ground 端子	

各種機能説明

(1) UVLO (Under Voltage LockOut) 機能

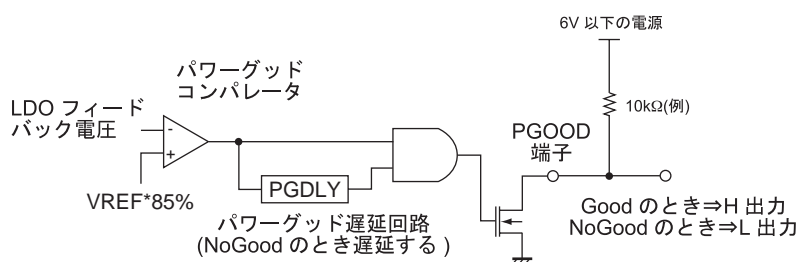
電源電圧 V_{CC} の低下時に、誤動作防止の為、昇圧 DC/DC コンバータと LDO の両出力を OFF させる機能である。電源電圧 V_{CC} が UVLO 検出電圧を下回ると UVLO は動作する。これは非ラッチ方式であり、電源電圧 V_{CC} が UVLO 検出電圧を上回ると自動復帰する。

(2) パワーグッド機能

LDO 出力が設定電圧になっている事を外部に知らせる機能である。

LDO が正常に出力されている時、PGOOD 出力は H となる。出力が設定の 85% を下回ると、PGOOD 出力は H→L (NoGood) となる。NoGood の際は、遅延時間を設定することが可能である(これについては(3)の項目にて説明する)。また、EN=L (OFF) のときは PGOOD=H となる。

〈パワーグッド回路概略図〉



(3) パワーグッド遅延機能

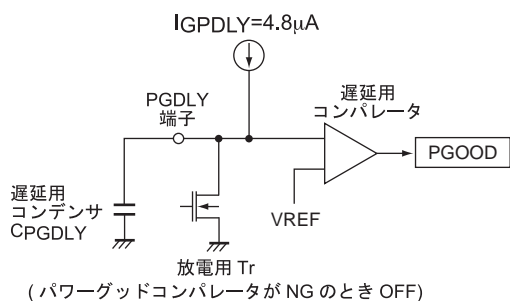
パワーグッド NG 出力の遅延時間を設定する機能である。

LDO 出力が設定の 85% を下回ると、 $4.8\mu A$ 定電流による PGDLY 端子の遅延時間設定用コンデンサへの充電が開始される。PGDLY 端子電圧がスレッシュホールド電圧 (V_{REF}) を超えると、PGOOD 出力は H→L (NoGood) となる。PGDLY 端子電圧がスレッシュホールド電圧に達するまでに、LDO 出力が復帰した場合は、充電された電荷を放電しリセットする。

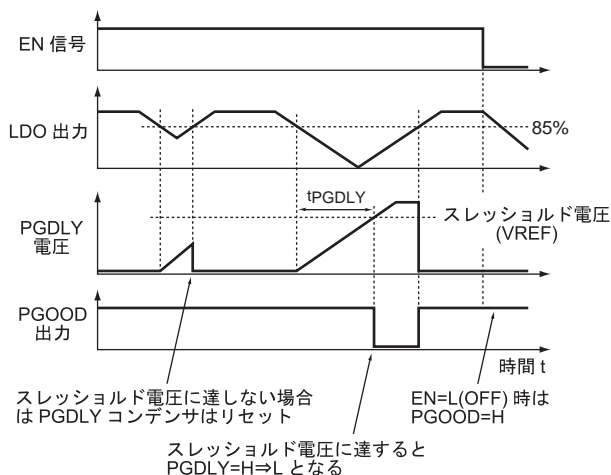
遅延時間 t_{PGDLY} はコンデンサ容量値に依存するので、下記式によりコンデンサ容量値を算出し、選択すること。

$$C_{PGDLY} = (I_{PGDLY} \times t_{PGDLY}) / V_{REF}$$

〈PGDLY 回路概略図〉



〈パワーグッド出力波形〉

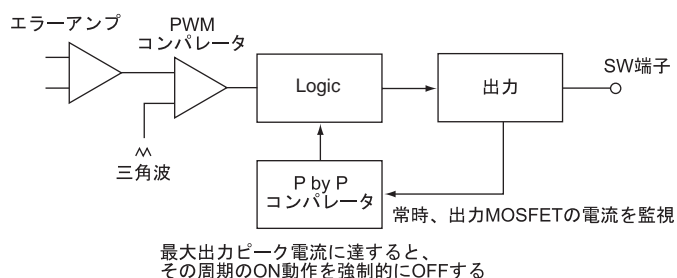


LV5636VH

(4) パルスバイパルス過電流保護機能 (PbyP)

昇圧 DC/DC コンバータの出力 MOSFET に流れる電流が最大出力ピーク電流に達すると、その周期の ON 動作を強制的に OFF する機能である。

〈PbyP 機能概略図〉



(5) SCP (Short Circuit Protection) 短絡保護機能

昇圧 DC/DC コンバータの出力電圧が短絡等で低下した際、タイマ式で昇圧 DC/DC コンバータと LDO の両出力をラッチオフさせる機能である。

DC/DC 出力が低下し、エラーアンプ出力である FB 端子が H になると、内部カウンタが動作開始し、1.6ms 経過するとラッチオフする。ラッチオフ後に再スタートする際には、EN 信号の再入力が必要となる。

(6) 出力電圧選択機能

CTL 端子が High 入力の時、出力は 15V 設定になる。

CTL 端子が Low の時、出力は 11V 設定になる。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor 及び ON のロゴは Semiconductor Components Industries, LLC (SCILLC) の登録商標です。SCILLC は特許、商標、著作権、トレードシークレット (営業秘密) と他の知的所有権に対する権利を保有します。SCILLC の製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLC は通告なしで、本書記載の製品の変更を行うことがあります。SCILLC は、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLC データシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLC は、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC 製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC 製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用に SCILLC 製品を購入または使用した場合、たとえ、SCILLC がその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLC とその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLC は雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。