



ON Semiconductor®

<http://onsemi.jp>

LV8824QA

Bi-CMOS 集積回路

ブラシレスモータ駆動用 PWM駆動ドライバIC

概要

LV8824QAは、3相ブラシレスモータに適したPWM方式のドライバICである。出力トランジスタには上下ともNchFETを使用する事を前提に設計している。外部よりPWMパルスまたはDC電圧を入力し、Dutyを変化させることにより、回転速度を制御することができる。また、ラッチ型拘束保護回路を内蔵している。

特長

- ・ $I_O \text{ max}=50\text{mA}$
- ・ PWMの直接入力(3.3V入力対応)及び、DC電圧による速度制御、同期整流
- ・ 3ホールFG出力
- ・ ラッチ型拘束保護回路(S/B, F/Rでラッチ解除)
- ・ 正逆転切替え回路、HALLバイアス端子
- ・ パワーセーブ回路
- ・ 電流制限回路、低電圧保護回路、過熱保護回路
- ・ チャージポンプ回路(外付けNch/Nch)、5Vレギュレータ出力
- ・ Start/Brake回路

絶対最大定格/ $T_a=25^\circ\text{C}$

項目	記号	条件	定格値	unit
電源電圧	$V_{CC \text{ max}}$	V_{CC} 端子	34	V
	$V_G \text{ max}$	V_G 端子	42	V
出力電流	$I_O \text{ max}$		50	mA
許容消費電力	$P_d \text{ max}$	基板実装 ※	1.45	W
接合部温度	$T_j \text{ max}$		150	$^\circ\text{C}$
動作周囲温度	T_{opr}		-40~+105	$^\circ\text{C}$
保存周囲温度	T_{stg}		-55~+150	$^\circ\text{C}$

※:指定基板:100mm×100mm×1.6mm, ガラスエポキシ基板(2層基板)

注1)絶対最大定格は、一瞬でも超えてはならない許容値を示すものである。

注2)絶対最大定格の範囲内で使用した場合でも、高温及び大電流/高電圧印加、多大な温度変化等で連続して使用される場合、信頼性が低下するおそれがあります。詳細については、弊社窓口までご相談ください。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LV8824QA

許容動作範囲/Ta=25°C

項目	記号	条件	定格値	unit
電源電圧範囲	V _{CC}		7.0~33	V
5V定電圧出力電流	I _{REG}		0~-10	mA
HB端子出力電流	I _{HB}		0~-200	μA
3FG端子印加電圧	V _{3FG}		0~6	V
3FG端子出力電流	I _{3FG}		0~10	mA

電気的特性/Ta=25°C, V_{CC}=24V

項目	記号	条件	min	typ	max	unit
電源電流1	I _{CC1}			5.0	6.0	mA
電源電流2	I _{CC2}	パワーセーブ時		0.8	0.98	mA
出力部 (UH, VH, WH, UL, VL, WL)						
下側出力オン抵抗1	R _{ON} (L1)	「L」レベル I _O =10mA		20	30	Ω
下側出力オン抵抗2	R _{ON} (L2)	「H」レベル I _O =-10mA		20	30	Ω
上側出力オン抵抗1	R _{ON} (H1)	「L」レベル I _O =10mA		25	40	Ω
上側出力オン抵抗2	R _{ON} (H2)	「H」レベル I _O =-10mA		65	90	Ω
5V定電圧出力						
出力電圧	V _{REG}	I _O =-5mA	4.8	5.1	5.4	V
電圧変動	ΔV(REG1)	V _{CC} =7.0~33V, I _O =-5mA			50	mV
負荷変動	ΔV(REG2)	I _O =-5mA~-10mA			100	mV
ホールアンプ						
入力バイアス電流	I _B (HA)		-2			μA
同相入力電圧範囲1	V _{ICM1}	ホール素子使用時	0.3		V _{REG} -1.7	V
同相入力電圧範囲2	V _{ICM2}	入力片側バイアス時 (ホールIC応用)	0		V _{REG}	V
ホール入力感度	V _{HIN}	SIN波	80			mV _{p-p}
ヒステリシス幅	ΔV _{IN} (HA)		9	20	35	mV
入力電圧L→H	V _{SLH}		3	7.5	15	mV
入力電圧H→L	V _{SHL}		-19	-11	-5	mV
CSD発振回路						
出力Hレベル電圧	V _{OH} (CSD)		2.7	3.0	3.3	V
出力Lレベル電圧	V _{OL} (CSD)		0.9	1.1	1.3	V
振幅	V(CSD)		1.6	1.9	2.2	V _{p-p}
外付けC充電電流	I _{CHG1} (CSD)	V _{CHG1} =2.0V	-14	-11.5	-9	μA
外付けC放電電流	I _{CHG2} (CSD)	V _{CHG2} =2.0V	9.5	12	14.5	μA
発振周波数	f(CSD)	C=0.022μF(設計目標値)		130		Hz
チャージポンプ出力 (VG端子)						
出力電圧	V _{GOUT}		V _{CC} +6.5	V _{CC} +7.0		V
CP1端子						
出力ON抵抗 (Hレベル)	V _{OH} (CP1)	I _{CP1} =-2mA		350	500	Ω
出力ON抵抗 (Lレベル)	V _{OL} (CP1)	I _{CP1} =2mA		200	280	Ω
チャージポンプ周波数	f(CP)		82	103	124	kHz

次ページへ続く。

LV8824QA

前ページより続く。

項目	記号	条件	min	typ	max	unit
内部PWM周波数						
発振周波数	f (PWM)		41	51.5	62	kHz
電流制限動作						
リミッタ電圧	VRF		0.18	0.20	0.22	V
PWM発振器						
出力Hレベル電圧	V _{OH} (PWM)		2.8	3.05	3.3	V
出力Lレベル電圧	V _{OL} (PWM)		0.85	1.0	1.15	V
振幅	V (PWM)		1.7	2.0	2.3	V _{p-p}
外付けC充電電流	ICHG1 (PWM)	VCHG1=2.0V	-135	-110	-85	μA
外付けC放電電流	ICHG2 (PWM)	VCHG2=2.0V	1.4	1.8	2.2	mA
発振周波数	f (PWM)	C=2200pF (設計目標値)		25		kHz
CTL入力電圧						
入力電圧1	VCTL1	出力Duty100%	2.79	3.1	3.4	V
入力電圧2	VCTL2	出力Duty0%	0.84	1.05	1.3	V
熱遮断動作						
動作温度	TSD	※設計目標値(接合部温度)	150	170		°C
ヒステリシス幅	ΔTSD	※設計目標値(接合部温度)		30		°C
HB端子						
出力電圧	VHB	IHB=-100μA	3.6	3.8	4.0	V
低電圧保護 (5V定電圧出力の検出)						
動作電圧	VSD		3.95	4.15	4.35	V
ヒステリシス幅	ΔVSD		0.2	0.3	0.4	V
3FG端子 (3FG端子)						
出力ON抵抗	VOL (3FG)	I3FG=5mA		30	45	Ω
出力リーク電流	IL (3FG)	V _O =6V			10	μA
STIME端子						
入力電圧範囲1	V _{T1} (TIME)		0		1.0	V
入力電圧範囲2	V _{T2} (TIME)		1.5		2.25	V
入力電圧範囲3	V _{T3} (TIME)		2.8		3.5	V
入力電圧範囲4	V _{T4} (TIME)		4.2		VREG	V
MODE端子						
入力電圧範囲1	V _{T1} (MODE)		0		1.0	V
入力電圧範囲2	V _{T2} (MODE)		1.5		2.25	V
入力電圧範囲3	V _{T3} (MODE)		2.8		3.5	V
入力電圧範囲4	V _{T4} (MODE)		4.2		VREG	V
S/B端子						
Hレベル入力電圧範囲	V _{IH} (SB)		2.0		VREG	V
Lレベル入力電圧範囲	V _{IL} (SB)		0		1.0	V
入力オープン電圧	V _{IO} (SB)		VREG-2.2	VREG-2.0	VREG-1.8	V
ヒステリシス幅	V _{IS} (SB)		0.25	0.33	0.4	V
Hレベル入力電流	I _{IH} (SB)	V _{SB} =VREG	45	65	85	μA

次ページへ続く。

LV8824QA

前ページより続く。

項目	記号	条件	min	typ	max	unit
Lレベル入力電流	I_{IL} (SB)	$V_{SB}=0V$	-125	-95	-65	μA
PWMIN端子						
推奨入力周波数	f (PWIN)		0.5		60	kHz
Hレベル入力電圧範囲	V_{IH} (PWIN)		2.0		VREG	V
Lレベル入力電圧範囲	V_{IL} (PWIN)		0		1.0	V
入力オープン電圧	V_{IO} (PWIN)		VREG-2.2	VREG-2.0	VREG-1.8	V
ヒステリシス幅	V_{IS} (PWIN)		0.25	0.33	0.4	V
Hレベル入力電流	I_{IH} (PWIN)	VPWIN=VREG	45	65	85	μA
Lレベル入力電流	I_{IL} (PWIN)	VPWIN=0V	-125	-95	-65	μA
F/R端子						
Hレベル入力電圧範囲	V_{IH} (FR)	※設計目標値	2.0		VREG	V
Lレベル入力電圧範囲	V_{IL} (FR)	※設計目標値	0		1.0	V
入力オープン電圧	V_{IO} (FR)		VREG-2.2	VREG-2.0	VREG-1.8	V
ヒステリシス幅	V_{IS} (FR)	※設計目標値	0.25	0.33	0.4	V
Hレベル入力電流	I_{IH} (FR)	VF/R=VREG	45	65	85	μA
Lレベル入力電流	I_{IL} (FR)	VF/R=0V	-125	-95	-65	μA

※設計目標値であり、測定は行わない。

3相ホールロジック真理値表 (IN=「H」とは、 $IN+ > IN-$ の状態を示す)

(上側ゲート=VH、下側ゲート=ULとは、VH端子に接続された上側FETがオンし、UL端子に接続された下側FETがPWM動作する状態を示す)

F/R=「H」			F/R=「L」			駆動出力	
IN1	IN2	IN3	IN1	IN2	IN3	上側ゲート	下側ゲート (PWM)
H	L	H	L	H	L	VH	UL
H	L	L	L	H	H	WH	UL
H	H	L	L	L	H	WH	VL
L	H	L	H	L	H	UH	VL
L	H	H	H	L	L	UH	WL
L	L	H	H	H	L	VH	WL

3FG出力			
IN1	IN2	IN3	3FG
H	L	H	L
H	L	L	H
H	H	L	L
L	H	L	H
L	H	H	L
L	L	H	H

S/B端子、PWMIN端子

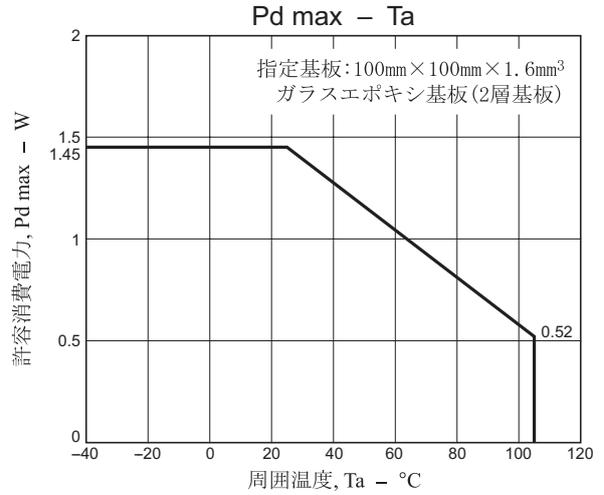
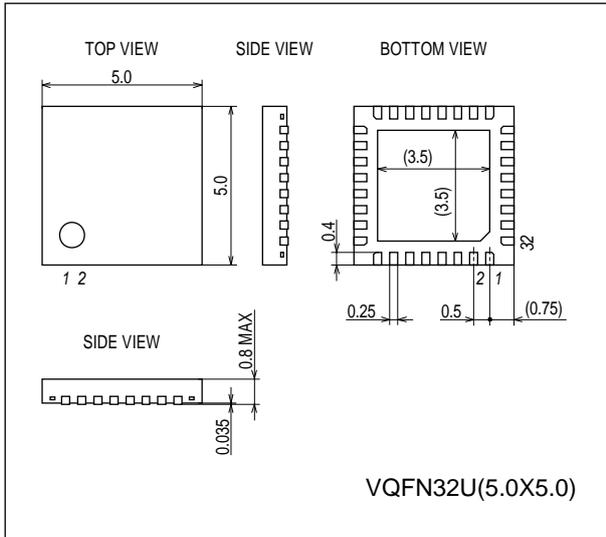
入力状態	S/B端子	PWMIN端子
Hまたはオープン	ストップ(ショートブレーキ)	出力OFF
L	スタート	出力ON

LV8824QA

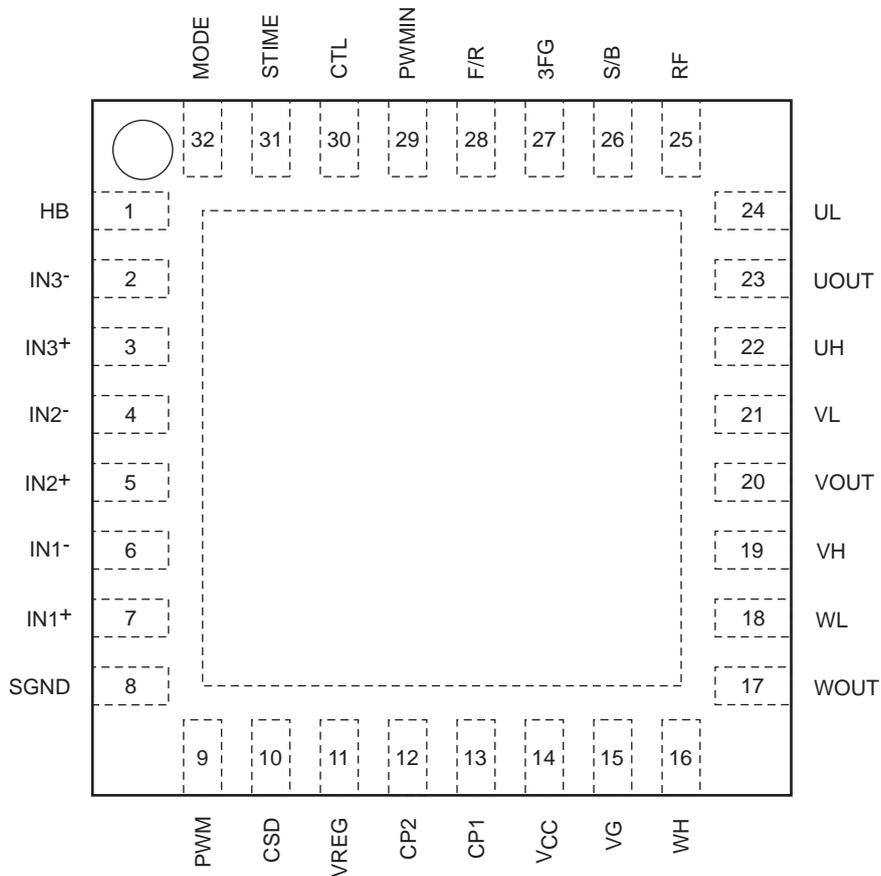
外形図

unit:mm (typ)

3436

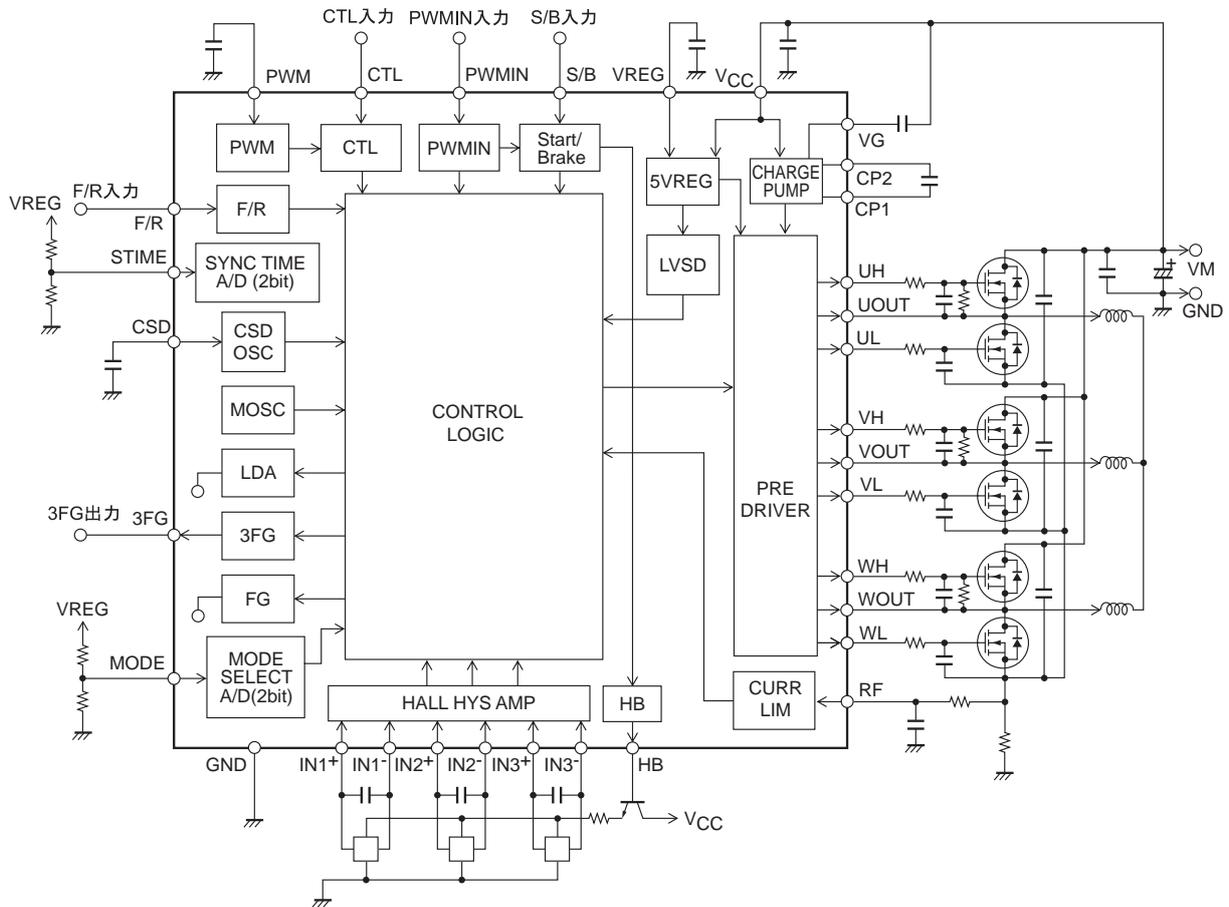


ピン配置図



LV8824QA

内部等価ブロック図および外付け部品参考回路



LV8824QA

端子説明

端子番号	端子名	端子説明	等価回路図
1	HB	ホールバイアス用端子 (3.8V _{typ} 出力)。 NPNトランジスタを接続する。 (P12「9. ホール入力信号」を参照) 省電力モード時、出力OFF(0V)となる。 HB端子を使用する事により、省電力モード時にホール素子で消費される電力を0にする事が出来る。	
2 3 4 5 6 7	IN3 ⁻ IN3 ⁺ IN2 ⁻ IN2 ⁺ IN1 ⁻ IN1 ⁺	ホール入力端子。 ・ IN ⁺ > IN ⁻ で「H」 逆は「L」とする。 ホール信号は、100mV _{p-p} (差動)以上の振幅が望ましい。ホール信号のノイズが問題となる場合は、IN ⁺ , IN ⁻ 間にコンデンサを接続する。	
8	SGND	制御回路部のGND端子。	
9	PWM	PWM生成用三角波発振端子。 GND間にコンデンサを接続する。 (P. 10「4. PWM発振周波数」を参照)	
10	CSD	拘束保護検出時間設定端子、および初期リセットパルス設定端子。 GND間にコンデンサを接続する。 保護回路を使用しない場合は、対GNDに約220kΩの抵抗と約4700pFのコンデンサを並列に接続する。 (P. 11「5. 拘束保護回路」を参照)	
11	VREG	5Vレギュレータ出力端子(制御回路源)。 安定化のため、GND間にコンデンサを接続する。 0.1μF程度が望ましい。 (P. 11「8. VREG安定化」 P. 13「15. 低電圧保護回路」を参照)	

次ページへ続く。

LV8824QA

前ページより続く。

端子番号	端子名	端子説明	等価回路図
12 13	CP2 CP1	チャージポンプ用コンデンサ接続端子。 CP1-CP2間にコンデンサを接続する。	
14	VCC	制御用電源端子。 ノイズ等が入らないようにGND間にコンデンサを接続する。 (P. 13「14. 電源安定化」を参照)	
15	VG	チャージポンプ出力端子 (上側FETゲート用電源)。 VCC間にコンデンサを接続する。 (P. 11「7. チャージポンプ回路」を参照)	
16 19 22	WH VH UH	H側出力端子。 (上側NchパワーFETのゲート駆動用出力端子) (P10「1. 出力駆動回路」を参照)	
17 20 23	WOUT VOUT UOUT	電源検出端子。 (上側NchパワーFETのソース電圧検出端子) (P10「1. 出力駆動回路」を参照)	
18 21 24	WL VL UL	L側出力端子。 (下側NchパワーFETのゲート駆動用出力端子) (P10「1. 出力駆動回路」を参照)	
25	RF	出力電流検出端子。 GND間に検出抵抗(Rf)を接続する。 電流制限値は、 $I = V_{RF} / R_f$ ($V_{RF} = 0.2V_{typ}$) で設定する。 (P. 10「2. 電流制限回路」を参照)	
26	S/B	Start/Brake選択端子。 「High」or「オープン」=ショートブレーキ 「Low」=スタート (P13. 「13. パワーセーブ回路」を参照)	
28	F/R	正回転、逆回転選択端子。 オープン時は「High」レベルとなる。	
29	PWMIN	PWM直接入力端子。 パルスを入力し、そのDutyにより出力を制御する事が出来る。 PWMIN端子を使用する場合は、CTL端子を「High」レベル電圧とすること。 (P. 10「3. 速度制御方法」を参照)	

次ページへ続く。

LV8824QA

前ページより続く。

端子番号	端子名	端子説明	等価回路図
27	3FG	3ホールFG信号出力端子。 オープンドレイン出力。	
30	CTL	制御入力端子。 CTL端子電圧とPWM発振波形の比較結果により、出力ON Dutyを制御する事が出来る。 CTL端子を使用する場合は、PWMIN端子を「Low」レベル電圧とすること。 (P. 10「3. 速度制御方法」を参照)	
31	STIME	同期整流のデッドタイム設定端子。 STIME端子に入力する電圧により、4通りの選択が出来る。 (P. 11「6. STIMEの設定方法」を参照)	
32	MODE	動作MODE設定端子。 MODE端子に入力する電圧により、4通りの選択が出来る。 (P. 12「10. MODE端子について」を参照)	

LV8824QAの概要

1. 出力駆動回路

本ICは、出力上下共にNchFETを使用する事を前提に設計されている。駆動方式は、出力での電力損失(パワロス)を少なくするために、ダイレクトPWM駆動方式を採用している。出力FET(下側)のオンデューティを変化させる事により、モータの駆動力を調整する。3相の各出力FET近傍には、基板パターン引き回し等による高周波発振を防止するため、コンデンサを付けること(電源-RF間に約0.1 μ F程度)。

FETのオンスピードが速すぎると、貫通電流が流れる場合がある。この場合は、ゲートに直列抵抗を入れてスピードを調整する。しかし、抵抗が大きすぎるとゲート波形が鈍り、PWMオンデューティが小さい時にゲート電圧が不足して、下側FETが発熱または破壊するおそれがある。

また、抵抗を入れない場合でも、FETのゲート容量が大きいと同様の現象となる。このような場合は、使用するスイッチング素子のASOを考慮の上、使用する最低デューティを制限する必要がある。使用するFETによっては、PWMオンデューティが小さい時に貫通電流が流れる場合がある。この場合は、上側FETのゲート-ソース間にコンデンサを入れる事により、対策する事が出来る。しかし、コンデンサの容量値が大きすぎると、スイッチングが遅くなりすぎて上側FETが発熱する場合があるので、注意が必要である。

2. 電流制限回路

電流制限回路は、 $I=V_{RF}/R_f$ ($V_{RF}=0.2V_{typ}$, R_f :電流検出抵抗)で決まる電流で制限(ピーク電流を制限)する。制限動作としては、UL, VL, WLのオンDutyが小さくなり、電流を抑える。

電流制限回路は、PWM動作によるダイオードの逆回復電流を検出して電流制限動作が誤動作しないようにするため、動作に遅延(約1.5 μ s)を設けている。モータのコイル抵抗が小さかったり、インダクタンスが小さいと、起動時(モータの逆起電力がない状態)の電流変化が速いため、この遅延により設定電流以上で電流制限動作をする場合がある。この場合は、遅延による電流増加分を考慮して電流制限値を設定する必要がある。

ノイズによる誤動作が問題となる場合は、フィルタを入れるなどの対策が必要となる。

※電流制限回路のPWM周波数について

電流制限回路のPWM周波数は、内部基準発振器により決まり、約50kHzとなる。

3. 速度制御方法

本ICの速度制御入力は、デジタル/アナログ入力に対応している。

①デジタル入力

PWMIN端子にパルスを入力し、そのDutyにより出力を制御することができる。

PWMIN端子は、

“L”レベル入力電圧 → PWM側(下側)出力ON

“H”レベル入力電圧 → PWM側(下側)出力OFF となる。

反転した論理で入力する必要がある場合は、外付けTr(NPN)の付加により対応可能となる。

PWMIN端子の入力が、一定時間(約2.5ms)“H”レベルとなるとDuty=0%と判断して、省電力モード選択時は、HB端子出力が“L”となる。

※PWMIN端子を使用する場合は、CTL入力を“H”レベル電圧とすること。

②アナログ入力

CTL端子電圧とPWM端子発振波形の比較結果により、出力ON Dutyを制御する事が出来る。

CTL端子電圧を約1V~3Vにすることにより、ON Dutyを0%~100%で制御できる。

一定時間(約2.5ms)CTL端子電圧<1.05V(typ)となると、Duty=0%と判断して、省電力モード選択時は、HB端子出力が“L”となる。

※CTL端子を使用する場合は、PWMIN入力を“L”レベル電圧とすること。

4. PWM発振周波数

PWM発振周波数は、PWM端子に接続するコンデンサ容量(C_{PWM})により設定する。

$$PWM\text{発振周波数 (kHz)} \approx 48 - 10.2 \times C_{PWM} (\text{nF})$$

2.2nFのコンデンサを付けると、約25kHzとなる。

5. 拘束保護回路

モータ拘束時のICおよびモータの保護を行うため、拘束保護回路を内蔵している。モータ動作状態で、ホール信号が一定時間切り替わらないと動作する。なお、拘束保護回路動作時は下側出力Trがオフする。また、省電力モード選択時には、HB端子出力がOFFとなる（詳細は、「10. MODE端子について」「12. HB端子について」を参照）。

時間設定は、CSD端子に接続するコンデンサ容量により行う。

$$\text{設定時間(s)} \approx 90 \times C(\mu\text{F})$$

0.022 μF のコンデンサを付けると、約2.0秒の保護時間となる。設定時間は、モータ起動時間に対して余裕を持った設定とすること。

拘束保護状態解除条件	モータ再起動条件
S/B端子 H入力(省電力モード時*1)	S/B端子 L入力*2
S/B端子 H入力(FG出力モード時*1)	S/B端子 L入力
F/R端子 入力H/L切替	(解除時即時)
PWM入力のDuty=0%検出後、Duty Up検出	(解除時即時)
低電圧保護回路動作	低電圧状態回復後*2

*1 P.12「10. MODE端子について」を参照。

*2 初期リセット状態となる為、モータ再起動条件を満たした後、CSD端子電圧が既定の電圧に達してから再起動する。この時間はCSD端子に0.022 μF コンデンサを接続した場合、1.0ms程度となる。なお、拘束保護状態において、過熱保護回路が動作した場合は、温度低下後も拘束保護状態は解除しない。

CSD端子は初期リセットパルス発生端子と兼用しているため、GNDと接続するとロジック回路がリセット状態となり、速度制御をすることができない。よって、拘束保護を使用しない場合は、対GNDに約220k Ω の抵抗と約4700pF程度のコンデンサを並列に接続すること。

6. STIMEの設定方法

STIME端子は、同期整流のデッドタイム(OFF-OFF)を設定する端子である。

同期整流を行う際に上下出力トランジスタの同時ONによる貫通電流を防ぐため、このデッドタイムを設けている。

STIME端子に入力する電圧により、下記の4通りを設定できる。

STIME端子入力電圧	デッドタイム
・0V~1.0V	→ 約2.0 μs
・1.5V~2.25V	→ 約1.5 μs
・2.8V~3.5V	→ 約1.0 μs
・4.2V~(VREG)V	→ 約0.5 μs

7. チャージポンプ回路

チャージポンプ回路により昇圧し、上側出力FETのゲート電圧を発生させる。CP1端子-CP2端子間に接続するコンデンサCPで昇圧し、VG端子-V_{CC}端子間コンデンサCGに電荷を蓄積する。CPとCGの容量値は、次の関係とすること。

$$CG \geq 4 \times CP$$

CPへの充放電は、100kHzの周期に基づいて行われる。CPの容量が大きい方が、VG電源の電流能力は上がるが、大きすぎると充放電動作が不十分となる。また、CGの容量が大きいほど、VG電圧は安定するが、大きすぎると電源投入時にVG電圧が発生する時間が長くなるので、注意が必要である。

CP及びCGの容量設定は、下記の容量値が望ましい。

$$CP=0.1\mu\text{F}$$

$$CG=0.47\mu\text{F}$$

8. VREG安定化

制御回路の電源であるVREG電圧を安定化するために対GNDに0.1 μF 以上のコンデンサを接続する。そのコンデンサのGNDは、できるだけICのGND端子近傍に配線すること。

LV8824QA

9. ホール入力信号

ホール入力は、ヒステリシス幅(35mV max)以上の振幅の信号入力が必要である。ノイズや位相ずれ等の影響を考えると、100mVp-p以上の振幅が望ましい。

ノイズにより出力波形(相切り替わり時)に乱れが生じる場合は、ホール入力間にコンデンサ等を入れて防止すること。拘束保護回路では、ホール入力を判断信号として利用している。ある程度のノイズは無視するようになっているが、注意が必要である。

ホール入力信号が、3相とも同入力状態(HHH or LLL)となると、出力は全オフとなる。

ホールICを使用する場合は、入力の片側(+, -いずれか)をホール素子使用時の同相入力範囲内の電圧(0.3V~VREG-1.7V)に固定することにより、別の片側入力は0V~VREGまで入力することができる。

○HALL素子の接続方法について

①の接続(HALL素子を3個直列)について

利点

- 直列接続により、HALL素子に流れる電流が共有できるため、並列接続に比べて消費電流が少なくなる。
- 電流制限用の抵抗が削減できる。
- 温度による振幅の変化が少なくなる。

欠点

- 一つのHALL素子に1Vしか印加されないため、十分な振幅を得られない可能性がある。
- 温度によってHALL素子に流れる電流が変化する。
- HALL素子バラツキ(特に入力抵抗)が振幅に影響しやすい。

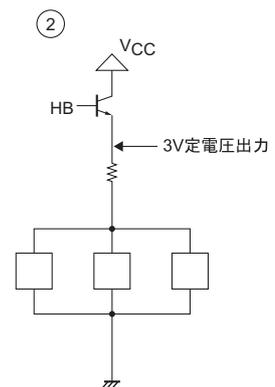
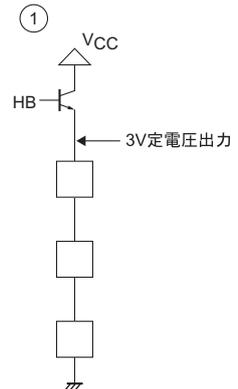
②の接続(HALL素子を3個並列)について

利点

- 電流制限用の抵抗により、HALL素子に流れる電流を決められる。
- HALL素子に印加する電圧を可変できるので、十分な振幅を得られる。

欠点

- HALL素子一つにつき、別途で電流が必要になるため、消費電流が大きくなる。
- 電流制限用の抵抗が必要。
- 温度によって振幅が変化する。



10. MODE端子について

MODE端子により、ICの一部機能を選択できる。

MODE端子に入力する電圧により、下記4通りを選択できる。

MODE端子入力電圧	モード
・0V~1.0V	→ モードB & 省電力モード
・1.5V~2.25V	→ モードB & FG出力モード
・2.8V~3.5V	→ モードA & FG出力モード
・4.2V~(VREG)V	→ モードA & 省電力モード

	モードA(ファン用途等に最適)	モードB(OA機器用途等に最適)
Duty=0%検出時	同期整流OFF(フリーラン)	ショートブレーキ
PWM入力の低周波時 (約7.5kHz以下)	同期整流OFF	同期整流ONのまま
PWM入力の低ON-Duty時 (ex. 周波数: 20kHz時、 ON-duty: 3%以下)	同期整流OFF	同期整流ONのまま
逆流電流検出機能	有り(検出時、同期整流OFF)	無し

LV8824QA

省電力モード：S/B端子=H(Brake)時にパワーセーブ状態となる。

Duty=0%検出時および拘束保護回路動作時にHB端子出力OFF。

(詳細は、「12. HB端子について」「13. パワーセーブ回路」を参照)

FG出力モード：パワーセーブ状態及び、HB端子出力OFFとならないため、常時FG出力が可能。

11. STIME端子、MODE端子の設定方法について

STIME端子、MODE端子の入力電圧は、下記の方法で設定できる。

- ・0V～1.0V → GNDにショート
- ・1.5V～2.25V → VREG-GND間に33kΩと22kΩを直列接続
- ・2.8V～3.5V → VREG-GND間に22kΩと33kΩを直列接続
- ・4.2V～(VREG)V → OPENまたはVREGとショート

12. HB端子について ※省電力モード選択時

HB端子は、スタンバイ時にHALL素子に流れる電流をカットする(省電力化)ために使用される。

下記の状態において、Motor停止後にHB端子出力がOFFとなる。

- ・S/B端子 Brake時
- ・PWMIN端子入力およびCTL端子電圧によるDuty=0%検出時
- ・拘束保護回路動作時

13. パワーセーブ回路(Start/Stop回路) ※省電力モード選択時

Brake状態では、Motor停止後にパワーセーブのため、大部分の回路を停止し、消費電流の低減を図っている。HB端子を使用すれば、パワーセーブ時の消費電流は1mA未満となる。また、出力はショートブレーキ状態(下側ショート)に固定される。尚、パワーセーブ状態においても、5Vレギュレータは出力される。

14. 電源安定化

本ICは、スイッチングによる駆動方式であるため、電源ラインが振られやすい。よって、VCC端子-GND間には、電源ラインの安定化のために十分な容量のコンデンサ(電解コンデンサ)を接続する必要がある。十分な容量のコンデンサ(電解コンデンサ)がIC近傍に付けられない場合は、IC近傍には約0.1μF程度のセラミックコンデンサを付けること。

電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

15. 低電圧保護回路

本ICはバンドギャップ電圧を基準とするコンパレータを内蔵している。S/B端子がLの間、VREG端子電圧(5V)をモニタしており、この電圧が4.15V以下(typ.)に下がると保護回路が作動する。

この際、各相の出力トランジスタは、MODE端子入力電圧とS/B端子入力電圧に応じて次のような状態が固定される。

MODE端子入力電圧	S/B端子入力電圧	Source側状態	Sink側状態
0V～2.25V	L/H	全てOFF	全てON
2.8V～(VREG)V	H	全てOFF	全てON
	L	全てOFF	全てOFF

16. 過熱保護回路

ICの接合部温度が170℃(設計目標値)を超えると過熱保護回路が作動し、全出力トランジスタはOFFとなる。

30℃(設計目標値)のヒステリシス以上に温度が下がると各出力トランジスタは動作状態に復帰する。ただし、過熱保護回路が作動するのは接合部温度が定格を超えた場合なので、セットの破壊防止を保証するものではない。

17. IC裏面金属部

IC裏面の金属部(Exposed Die-Pad)は、GNDまたはOPENとすること。

18. 使用上の注意

本ICは、高効率駆動の為、同期整流動作をしている。

同期整流動作は、出力 Tr の損失が低減するので、発熱低減と効率改善の効果がある。

しかし、同期整流動作は使用条件により、電源電圧の上昇を引き起こす場合がある。

- ・ 出力 Duty を急激に低下させた場合。
- ・ PWM 入力周波数が低い場合等々。

電源電圧が上昇した場合にも、最大定格を超えないように

- ・ 電源-GND間コンデンサの容量値を選択する。
- ・ 電源-GND 間にツェナーダイオードを入れる。

等の対策を施すこと。

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。