



ON Semiconductor®

<http://onsemi.jp>

# LC89091JA

CMOS LSI

## 民生用デジタルオーディオ インタフェースレシーバ

### 1 概要

LC89091JA は IEC60958、IEC61937、JEITA CPR-1205 によるデジタルオーディオ機器間のデータ伝送フォーマットに従い復調するデジタルオーディオインタフェースレシーバである。入力サンプリング周波数は 192kHz まで対応する。小型パッケージを採用しており、AV レシーバ、デジタル TV、DVD レコーダなど多様なシステムに適合する。

### 2 特長

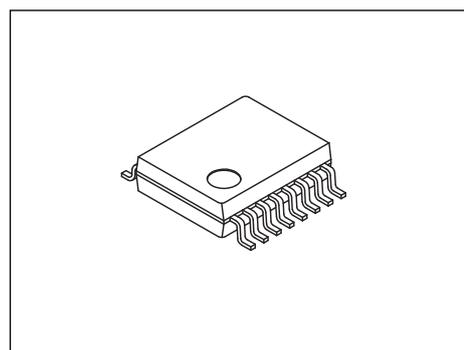
- ・ IEC60958、IEC61937、JEITA CPR-1205 民生フォーマット準拠 S/PDIF 復調処理
- ・ マスタクロック：512fs, 256fs, 128fs (出力周波数自動調整機能付)
- ・ オーディオデータフォーマット：I<sup>2</sup>S、MSB ファースト前詰め
- ・ シリアルマイコンインタフェース：I<sup>2</sup>C
- ・ パワーオンリセット内蔵
- ・ 電源電圧：3.0~3.6V
- ・ 小型パッケージ：SSOP16 (鉛フリー、ハロゲンフリー対応)
- ・ 動作保証温度：-30~70°C

### 用途

- ・ 民生オーディオ
- ・ デジタルオーディオインタフェース

### 製品用途

- ・ AV レシーバ
- ・ ホームシアター
- ・ ミニコンポ
- ・ サウンドバー
- ・ ヘッドフォンアンプ



SSOP16(225mil)

\* : I<sup>2</sup>C バスはフィリップス社の商標です。

### ORDERING INFORMATION

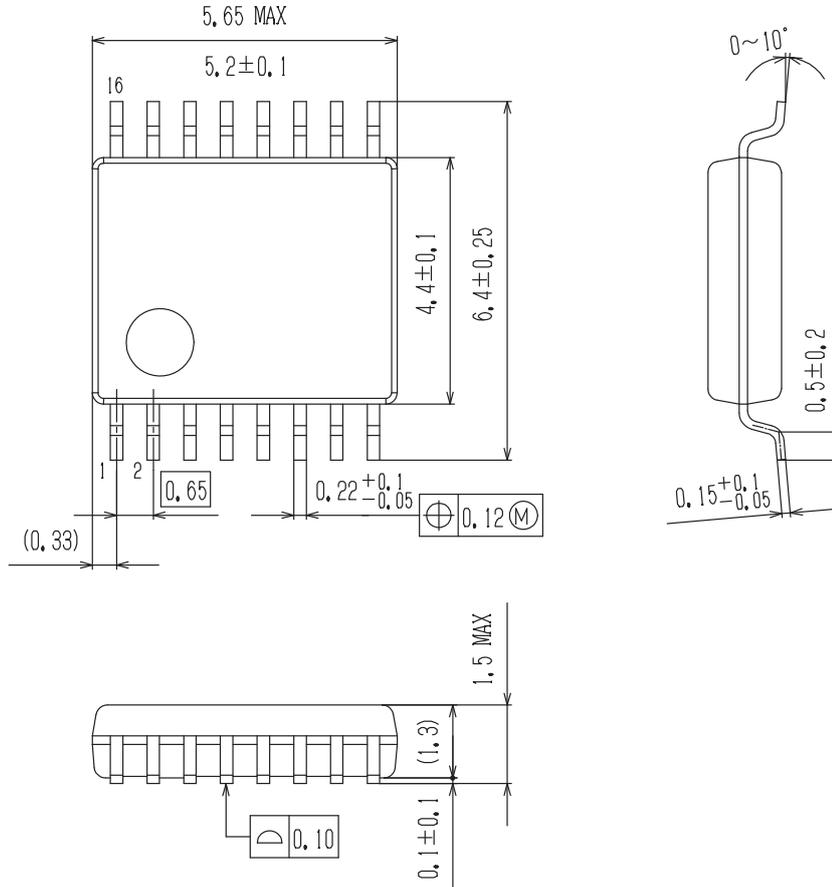
See detailed ordering and shipping information on page 30 of this data sheet.

# LC89091JA

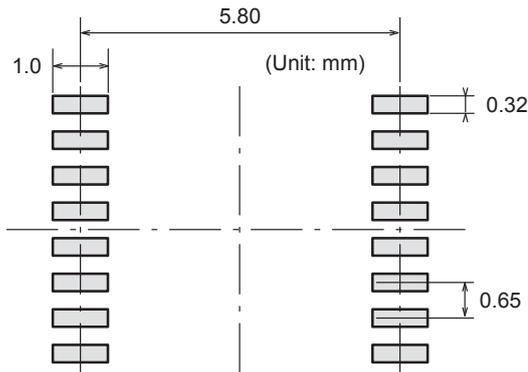
## 3 外形图

unit:mm

**SSOP16 (225mil)**  
CASE 565AM  
ISSUE A



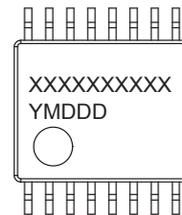
### SOLDERING FOOTPRINT\*



NOTE: The measurements are not to guarantee but for reference only.

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

### GENERIC MARKING DIAGRAM\*



XXXXX = Specific Device Code  
Y = Year  
M = Month  
DDD = Additional Traceability Data

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

4 ピン配置図

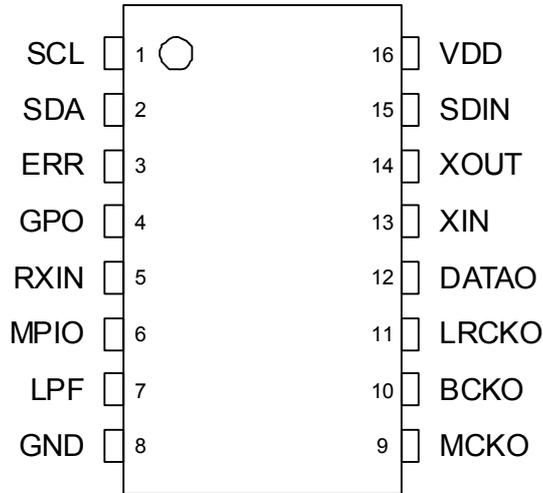


図 4.1 : ピン配置図 (Top view)

5 端子説明

表5.1 : 端子説明

No	名称	I/O	説明
1	SCL	I	マイコンインタフェース・I <sup>2</sup> C クロック入力端子
2	SDA	I	マイコンインタフェース・I <sup>2</sup> C データ入力端子
		O	マイコンインタフェース・I <sup>2</sup> C データ出力端子
3	ERR	O	PLL ロックエラーフラグ出力端子 (初期設定)
			出力データミュート信号出力端子
4	GPO	O	チャンネルステータス非 PCM 受信フラグ出力端子 (初期設定)
			入力 S/PDIF スルー出力端子
			マイコンレジスタ出力端子
5	RXIN	I	TTL 入力レベル対応 S/PDIF 入力端子
6	MPIO	O	チャンネルステータスエンファシスフラグ出力端子 (初期設定)
		I	TTL 入力レベル対応 S/PDIF 入力端子
7	LPF	O	PLL ループ・フィルタ接続出力端子
8	GND		GND
9	MCKO	O	マスタクロック出力端子 (512fs, 256fs, 128fs)
10	BCKO	O	ビットクロック出力端子 (64fs)
11	LRCKO	O	LR クロック出力端子 (fs)
12	DATA0	O	オーディオデータ出力端子
13	XIN	I	発振アンプ接続、外部クロック入力端子 (24.576MHz)
14	XOUT	O	発振アンプ接続出力端子
15	SDIN	I	シリアルオーディオデータ入力端子
16	VDD		電源 (3.3V)

\*: Pin. 2, Pin. 6 の出力はオープンドレイン構造である。

\*: Pin. 2 はマイコンインタフェースを使用する場合にプルアップ抵抗を挿入する必要がある。

\*: Pin. 6 を出力で使用する場合はプルアップ抵抗を挿入する必要がある。

6 ブロック図

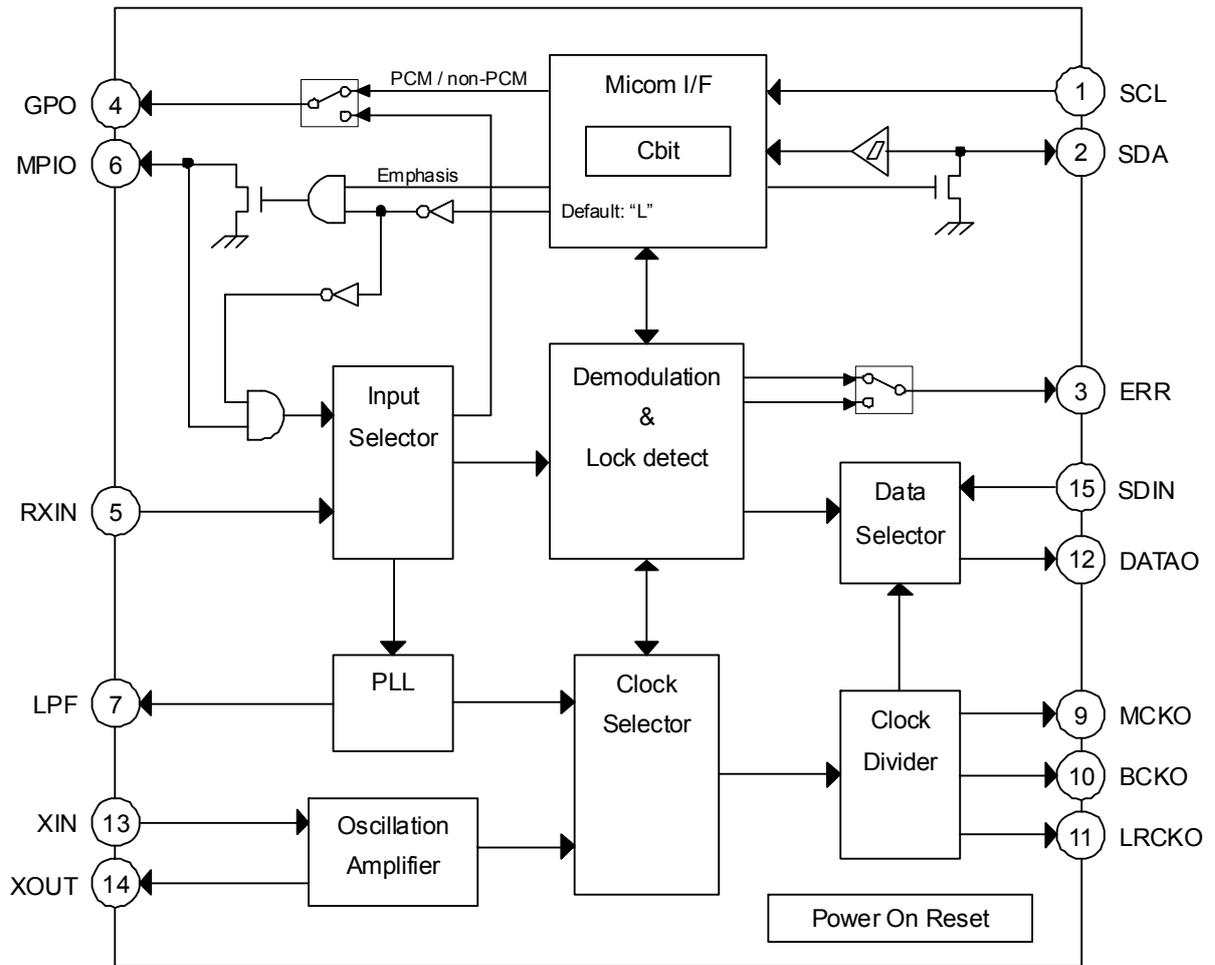


図 6.1 : ブロック図

# LC89091JA

## 7 電気的特性

### 7.1 絶対最大定格

表 7.1 : 絶対最大定格/GND=0V

項目	記号	条件	定格値	unit
最大電源電圧	V <sub>DD max</sub>	7-1-1	-0.3~4.6	V
入力電圧	V <sub>IN</sub>	7-1-2	-0.3~V <sub>DD max</sub> +0.3(max. 4.6V <sub>p-p</sub> )	V
出力電圧	V <sub>OUT</sub>	7-1-3	-0.3~V <sub>DD max</sub> +0.3(max. 4.6V <sub>p-p</sub> )	V
保存周囲温度	T <sub>stg</sub>		-55~125	°C
動作周囲温度	T <sub>opr</sub>		-30~70	°C
最大入出力電流	I <sub>IN</sub> , I <sub>OUT</sub>	7-1-4	±20	mA

7-1-1 : VDD 端子

7-1-2 : SCL, SDA, RXIN, MPIO, XIN, SDIN 端子

7-1-3 : SDA, ERR, GPO, MPIO, MCKO, BCKO, LRCKO, DATAO, XOUT 端子

7-1-4 : 入出力端子 1 端子当り

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

### 7.2 許容動作範囲

表 7.2 : 推奨動作条件/GND=0V

項目	記号	条件	min	typ	max	unit
電源電圧	V <sub>DD</sub>	7-2-1	3.0	3.3	3.6	V
入力電圧範囲	V <sub>IN</sub>	7-2-2	0	-	3.6	V
出力負荷容量	C <sub>L1</sub>	7-2-3	-	-	20	pF
出力負荷容量	C <sub>L2</sub>	7-2-4	-	-	30	pF
動作温度	V <sub>opr</sub>		-30	25	70	°C

7-2-1 : VDD 端子

7-2-2 : SCL, SDA, RXIN, MPIO, XIN, SDIN 端子

7-2-3 : MCKO 端子

7-2-4 : MCKO 以外の出力端子

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

### 7.3 DC 特性

表 7.3 : DC 特性/T<sub>a</sub>=-30~70°C, V<sub>DD</sub>=3.0~3.6V, GND=0V

項目	記号	条件	min	max	unit
入力高電圧	V <sub>IH</sub>	7-3-1	0.7V <sub>DD</sub>	-	V
入力低電圧	V <sub>IL</sub>		-	0.2V <sub>DD</sub>	V
入力高電圧	V <sub>IH</sub>	7-3-2	2.0	-	V
入力低電圧	V <sub>IL</sub>		-	0.8	V
出力高電圧	V <sub>OH</sub>	7-3-3	V <sub>DD</sub> -0.8	-	V
出力低電圧	V <sub>OL</sub>		-	0.4	V
消費電流 1	I <sub>DD1</sub>	7-3-4	-	20	mA
消費電流 2	I <sub>DD2</sub>	7-3-5	-	2	μA

7-3-1 : CMOS 対応 : XIN 入力端子 (外部クロック入力時)

7-3-2 : TTL 対応 : SCL, SDA, RXIN, MPIO, SDIN 入力端子

7-3-3 : I<sub>OH</sub>=-4mA, I<sub>OL</sub>=4mA : ERR, GPO, MCKO, BCKO, LRCKO, DATAO, XOUT 出力端子

I<sub>OH</sub>=-2mA, I<sub>OL</sub>=2mA : SDA, MPIO 出力端子

7-3-4 : f<sub>s</sub>=96kHz 時, MCKO=512fs

7-3-5 : パワーダウン状態時, PDMODE レジスタ設定時

# LC89091JA

## 7.4 AC 特性

表 7.4 : AC 特性/ $T_a = -30 \sim 70^\circ\text{C}$ ,  $V_{DD} = 3.0 \sim 3.6\text{V}$ ,  $GND = 0\text{V}$

項目	記号	min	typ	max	unit
VDD 立ち上がりスロープ	$t_{VDD}$	-	-	100	ms
RXIN, MPIO 入力受信周波数	$f_{RFS}$	-	-	195	kHz
RXIN, MPIO 入力デューティ比	$t_{RXDUY}$	40	50	60	%
XIN クロック入力周波数	$f_{XF}$	-	24.576	-	MHz
MCKO クロック出力周波数	$f_{MCK}$	4	-	50	MHz
MCKO クロック出力デューティ比	$f_{MCKDUY}$	40	50	60	%
MCKO-BCKO 出力遅延	$t_{MBO}$	-	-	10	ns
BCKO-LRCKO 出力遅延	$t_{BLO}$	-10	-	10	ns
BCKO-DATA0 出力遅延	$t_{BDO}$	-10	-	10	ns
LRCKO-DATA0 出力遅延	$t_{LDO}$	-10	-	10	ns

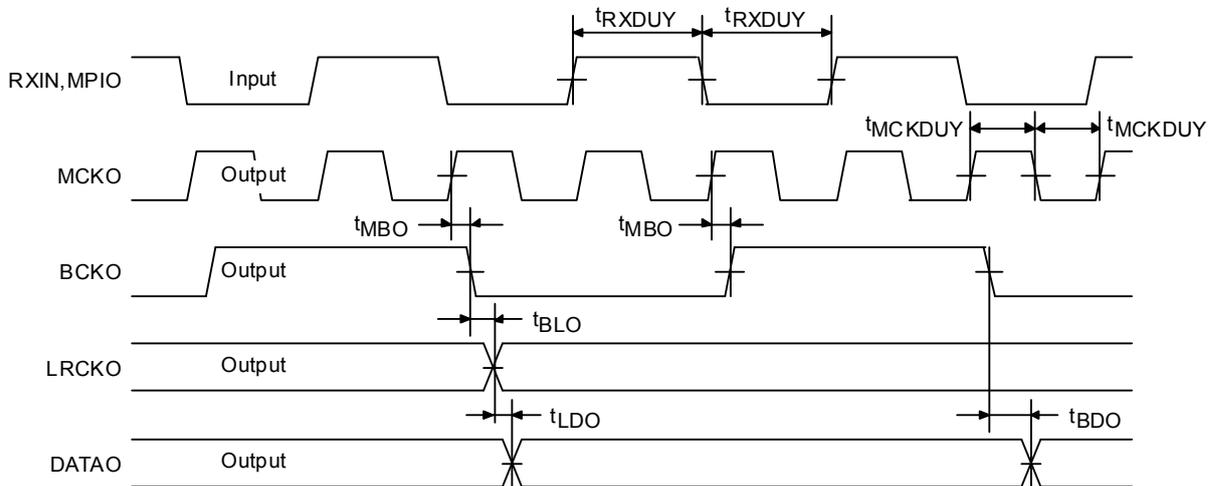


図 7.1 : 入力クロックタイミング図

# LC89091JA

## 7.5 I<sup>2</sup>C マイコンインタフェース AC 特性

表 7.5: I<sup>2</sup>C マイコンインタフェース AC 特性/Ta=-30~70°C, VDD=3.0~3.6V, GND=0V

項目	記号	min	max	unit
SCL クロック周波数	f <sub>SCL</sub>	-	400	kHz
Start (Repeated) ホールド	t <sub>STARThold</sub>	600	-	ns
SCL パルス幅 (L)	t <sub>SCLdw</sub>	1300	-	ns
SCL パルス幅 (H)	t <sub>SCLuw</sub>	600	-	ns
Start (Repeated) セットアップ	t <sub>STARTsetup</sub>	600	-	ns
SDA ホールド	t <sub>SDAhold</sub>	0	900	ns
SDA セットアップ	t <sub>SDAsetup</sub>	100	-	ns
SCL-SDA 立ち上がり	t <sub>SCLSDArd</sub>	20+0.1Cb	300	ns
SCL-SDA 立下り	t <sub>SCLSDafd</sub>	20+0.1Cb	300	ns
Stop セットアップ	t <sub>STOPsetup</sub>	600	-	ns
バス開放	t <sub>BUSopen</sub>	1300	-	ns
許容スパイクパルス幅	t <sub>SPKpw</sub>	0	50	ns

Cb : バスライン (SCL, SDA) のそれぞれのトータル容量 (単位:pF)

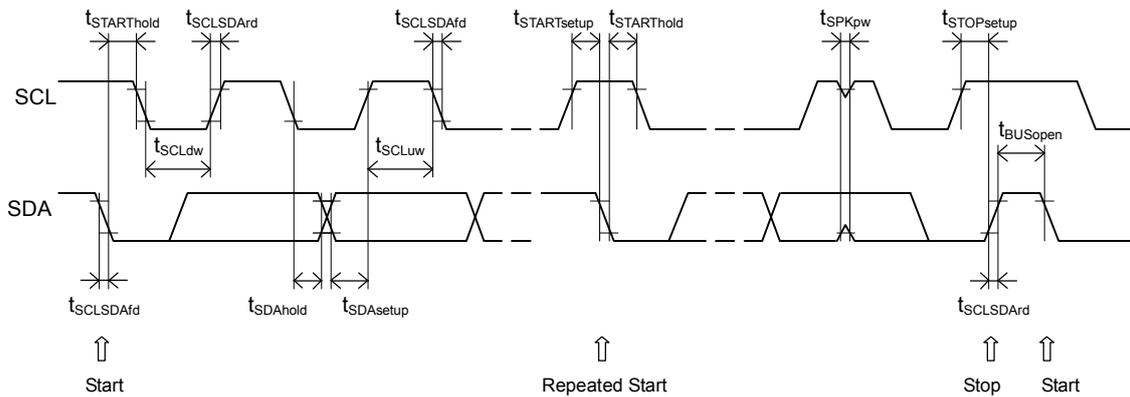


図 7.2: I<sup>2</sup>C マイコンインタフェースタイミング図

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

8 動作説明

8.1 パワーオンリセット

- ・パワーオンリセット回路を内蔵し電源状態を常時監視している。
- ・パワーオンリセットにより全ての回路が初期化される。

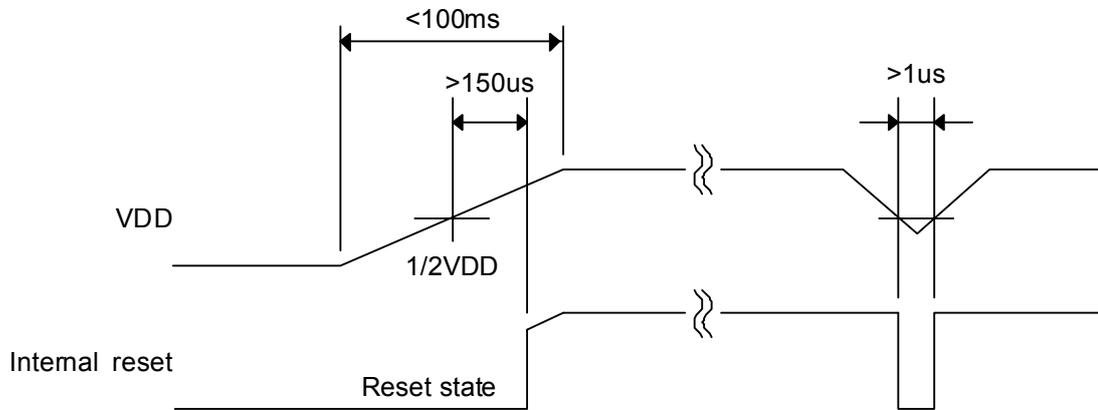


図 8.1: パワーオンリセットタイミング図

表 8.1 : 電源投入直後の各出力端子状態

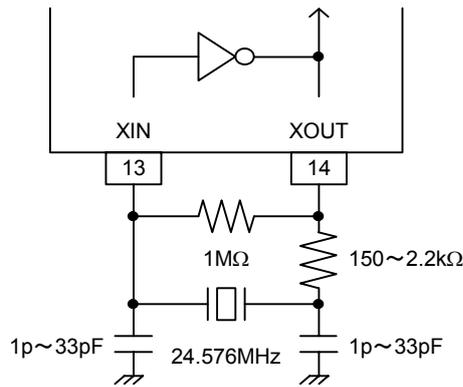
Pin No.	端子名	出力状態	Pin No.	端子名	出力状態
3	ERR	H 出力	10	BCKO	XIN/4 出力 (6.144MHz)
4	GPO	L 出力 (非 PCM フラグ)	11	LRCKO	XIN/256 出力 (96kHz)
6	MPIO	Hi-Z 出力 (エンファシスフラグ)	12	DATAO	SDIN 出力
9	MCKO	XIN 出力 (24.576MHz)	14	XOUT	XIN 反転出力

8.2 レジスタリセット、パワーダウンモード

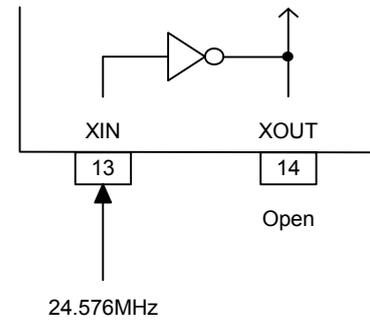
- ・SYSRST レジスタはレジスタ以外の回路をリセットする。
- ・リセット期間中は全てのレジスタは設定が保持され変更も可能である。
- ・リセット状態に設定しても発振アンプは動作し MCKO, BCKO, LRCKO からクロックが出力されるが DATAO は設定に関わらず L が出力される。
- ・PDMODE レジスタはパワーダウンモードに設定する。
- ・パワーダウンモード中は全てのレジスタは設定が保持され変更も可能である。
- ・パワーダウンモードに入るとパワーオンリセットおよびマイコンインタフェースを除く回路が停止状態になりクロックも出力されない。

8.3 発振アンプ端子設定 (XIN, XOUT)

- 発振アンプを内蔵し、水晶振動子、抵抗、負荷容量を XIN, XOUT へ接続して発振回路を構成する。下図に接続図を示す。
- 水晶振動子は基本波のものを使用し負荷容量は水晶振動子の特性に依存するため十分検討する。
- クロック源に発振モジュール等を使用して内蔵の発振アンプを使用しない場合は XIN に外部クロック供給源の出力を接続する。この時 XIN, XOUT の間に帰還抵抗を接続する必要はない。
- XIN へは 24.576MHz のクロックを常に供給する。
- XIN クロックは PLL アンロック時に MCKO, BCKO, LRCKO から出力される。



(a) XIN, XOUT 水晶振動子接続図



(b) XIN 外部クロック入力図

図 8.2 : XIN, XOUT 外付回路接続図

8.4 ループ・フィルタ端子設定 (LPF)

- VCO (Voltage Controlled Oscillator) を内蔵し サンプリング周波数 32kHz~192kHz、伝送レート 4MHz~25MHz のデータに同期する。
- PLL は 512fs でロックする。
- LPF は PLL のループ・フィルタ用端子で右図の抵抗、容量を近接して接続する。

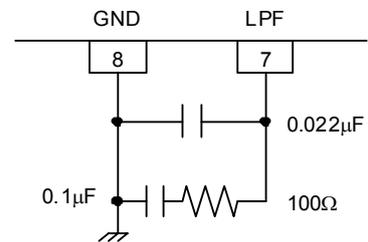


図 8.3 : LPF 外付回路接続図

8.5 クロック

8.5.1 マスタクロック

- ・クロックソースは以下の2種類のクロックから選択される。
  - 1) PLL ソースクロック : 512fs
  - 2) XIN ソースクロック : 24.576MHz

8.5.2 PLL ソースクロック

- ・PLL は入力 S/PDIF と同期して 512fs のクロックを出力する。
- ・PLL クロックは PLLACC, PLLDIV[1:0], PRSEL[1:0] レジスタの設定で制御される。
- ・通常「PLLACC=0」に設定された PLL クロックは入力サンプリング周波数の帯域ごとに出力される。  
この設定は  $f_s=32k\sim 48kHz$  では 512fs 出力、 $f_s=64k\sim 96kHz$  では 256fs 出力、 $f_s=128k\sim 192kHz$  では 128fs 出力などサンプリング周波数の変化による出力クロック周波数の変動を狭帯域に抑える。
- ・「PLLACC=0」設定時の PLL クロックは PLLDIV[1:0] レジスタで設定する。
- ・「PLLACC=0」設定時は PLL がロック状態のとき PLLDIV[1:0] レジスタを設定変更しても切換らない。 PLLDIV[1:0] レジスタの切換えは PLL がアンロック状態のときに実行する。この設定は PLL 再ロック後に有効になる。
- ・S/PDIF 入力サンプリング周波数に依存しない出力クロックの設定は「PLLACC=1」にする。この設定は  $f_s=32k\sim 192kHz$  を全て 256fs で出力するなどクロック周波数は常に定数倍されて出力される。
- ・「PLLACC=1」設定時の PLL クロックは PRSEL[1:0] レジスタで設定する。
- ・「PLLACC=1」設定時は PLL がロック状態でも PRSEL[1:0] レジスタの設定変更が可能である。
- ・「PLLACC=0」から「PLLACC=1」への設定変更は PLL がロック状態でも可能である。しかし「PLLACC=1」から「PLLACC=0」への設定変更は PLL 再ロック後に有効になる。
- ・以下に PLL 出力クロック設定のフローを示す。

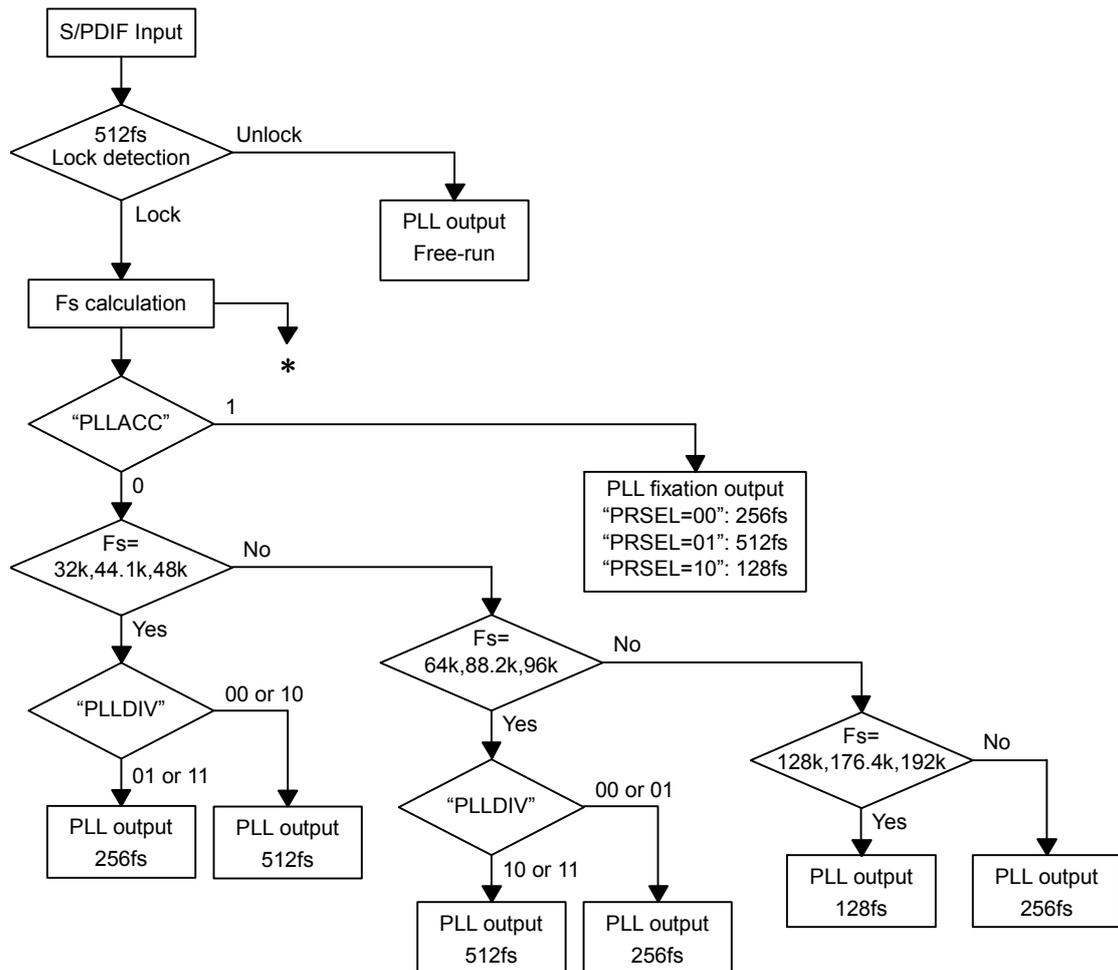


図 8.4 : PLL 出力クロックフロー

# LC89091JA

- 以下に PLL クロックの出力周波数を示す。
- 「PLLACC=1」, 「PRSEL[1:0]=01」設定 (512fs) で 128kHz, 176.4kHz, 192kHz の S/PDIF 受信は PLL 出力周波数が 50MHz を超えるため MCK0 への直接出力は保証できない。

表 8.2 : PLL クロック出力周波数(太字は初期値)

S/PDIF fs (kHz)	PLL 出力クロック周波数(MHz)						
	「PLLACC=0」 (入力 fs 帯域ごとに固定倍出力)				「PLLACC=1」 (入力 fs の固定倍出力)		
	「PLLDIV =00」	「PLLDIV =01」	「PLLDIV =10」	「PLLDIV =11」	「PRSEL=00」 (256fs)	「PRSEL=01」 (512fs)	「PRSEL=10」 (128fs)
32	<b>16.38</b>	8.19	16.38	8.19	8.19	16.38	4.09
44.1	<b>22.57</b>	11.28	22.57	11.28	11.28	22.57	5.64
48	<b>24.57</b>	12.28	24.57	12.28	12.28	24.57	6.14
64	<b>16.38</b>	16.38	32.76	32.76	16.38	32.76	8.19
88.2	<b>22.57</b>	22.57	45.15	45.15	22.57	45.15	11.28
96	<b>24.57</b>	24.57	49.15	49.15	24.57	49.15	12.28
128	<b>16.38</b>	16.38	16.38	16.38	32.76	65.54 *	16.38
176.4	<b>22.57</b>	22.57	22.57	22.57	45.15	90.32 *	22.57
192	<b>24.57</b>	24.57	24.57	24.57	49.15	98.30 *	24.57

\* : MCK0 端子への直接出力は保証されない。

## 8.5.3 XIN ソースクロック

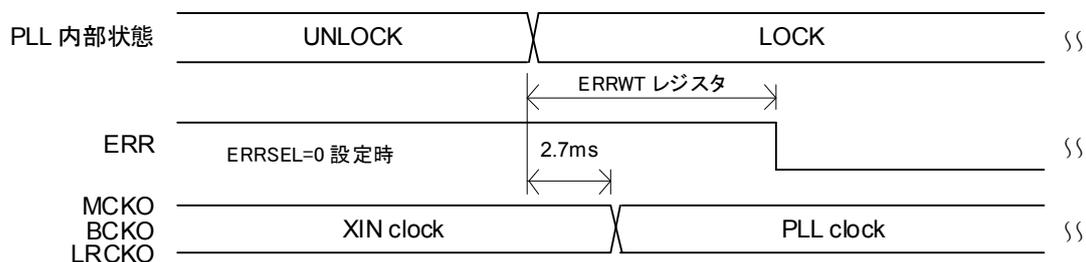
- XIN へのクロック供給を以下の用途に使用する。
  - 1) PLL アンロック時のクロックソース
  - 2) PLL ロックインのサポート
  - 3) S/PDIF 入力データのサンプリング周波数算出
- XIN へは 24.576MHz のクロックを常に供給する。
- 発振アンプは通常 PLL ロック中は自動停止するが PLL の状態に関わらず常に動作させることも可能である。これは AMPOPR レジスタで設定する。AMPOPR レジスタの設定は S/PDIF 入力前に行うかまたは PLL アンロック中に完了すること。
- XIN クロックに固定するには PLL をアンロック状態にする。ADMODE レジスタは PLL を常時アンロック状態に設定する。
- XIN ソース時の出力クロック周波数は XOUTCK レジスタで設定する。

表 8.3 : 出力クロック周波数一覧表

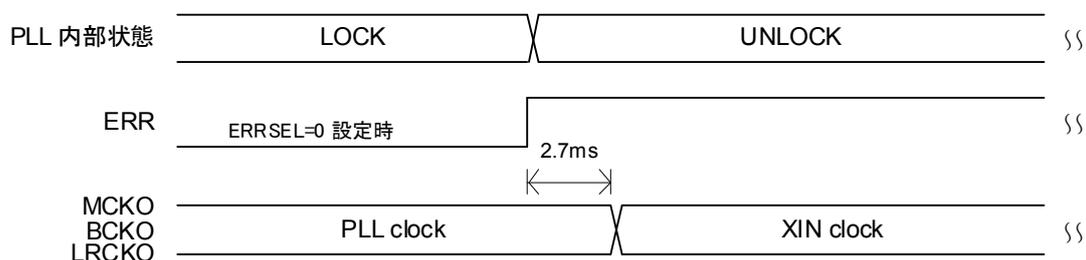
( ) は出力端子	PLL アンロック時 ソースクロック (XIN)	PLL ロック時 ソースクロック (PLL)
		24.576MHz
Master clock (MCK0)	24.576MHz	512fs
		256fs
		128fs
Bit clock (BCK0)	6.144MHz	64fs
	3.072MHz	
L/R clock (LRCK0)	96kHz	fs
	48kHz	

8.5.4 出力クロックの切換え (MCKO, BCKO, LRCKO)

- PLL のロック/アンロック動作でクロックソースは PLL クロック/XIN クロックへ自動的に切換る。
- PLL の状態が変化してから 2.7ms 後にクロックは切換る。



(a) : ロックイン過程時



(b) : アンロック過程時

図 8.5 : クロック切換えタイミング図

8.5.5 入力データサンプリング周波数の算出

- XIN クロックを使用して入力データのサンプリング周波数を算出する。
- 発振アンプが PLL のロック状態に応じて自動停止するモード (「AMPOPR=0」) では ERR のエラー期間に算出処理され発振アンプの停止とともに算出を完了して値を保持する。従って、算出確定後は PLL がアンロックするまで値は変化しない。
- 発振アンプが連続動作モード (「AMPOPR=1」) では常時算出処理を繰り返す。従って、チャンネルステータスの標本化情報が変化しない入力データが PLL のキャプチャレンジ内でサンプリングが変わっても入力データに追従した算出結果を読み出すことができる。
- 算出結果はマイコンインタフェースで読み出すことができる。

8.6 データ

8.6.1 S/PDIF 入力受信範囲

- ・入力データの受信範囲は 32kHz～192kHz である。

8.6.2 S/PDIF 入出力端子 (RXIN, MPIO, GPO)

- ・デジタルデータ入力端子は 2 系統備える。また S/PDIF スルー出力端子は 1 系統備える。
- ・RXIN, MPIO は TTL レベル対応の S/PDIF 入力端子である。
- ・MPIO を S/PDIF 入力として使用するには MPSEL レジスタの設定が必要である。
- ・復調データは DINSEL レジスタで選択する。
- ・RXIN, MPIO は 32kHz～192kHz のデータを受信することができる。
- ・GPO からは入力セクタで選択された S/PDIF をスルー出力することができる。
- ・復調するデータとスルー出力するデータをそれぞれ独立して選択することができる。
- ・GPO 端子の出力データは GPOSEL[1:0] レジスタで選択し THRSEL レジスタで設定する。
- ・MPIO が出力設定で無負荷のとき DINSEL, THRSEL レジスタで MPIO を選択することを禁止する。
- ・復調データ処理を停止して発振アンプ動作へ切換えるには RXIN, MPIO への S/PDIF 入力を停止するかまたは ADMODE レジスタで PLL を常時アンロック状態に設定する。

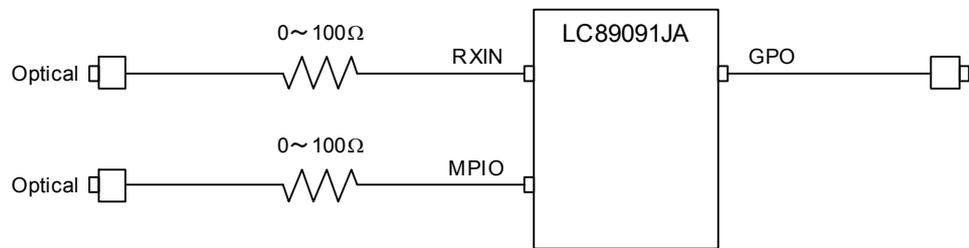
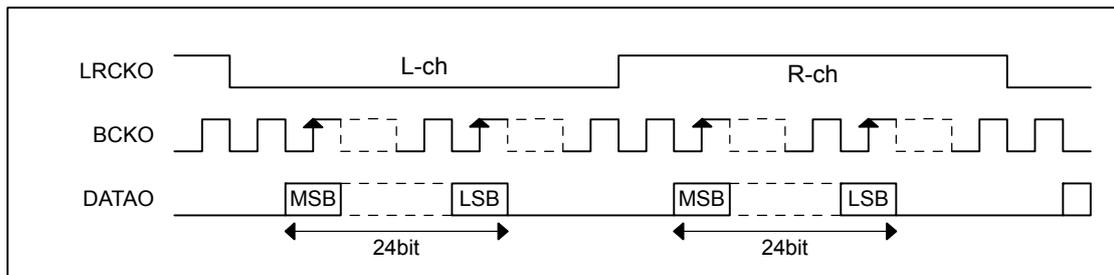


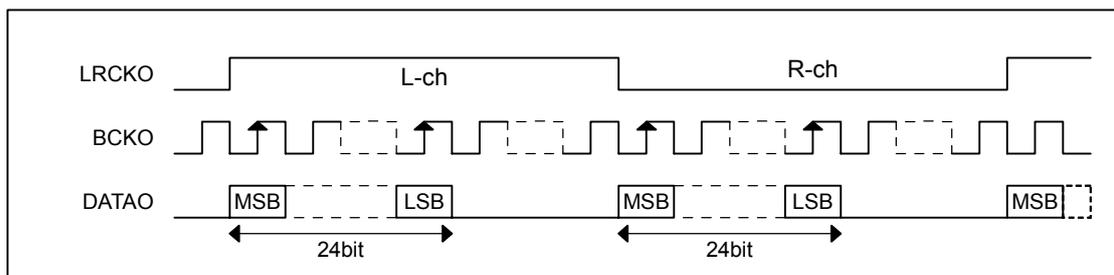
図 8.6 : S/PDIF 入力回路例

8.6.3 オーディオデータ出力フォーマット (DATA0)

- ・DATA0出力データフォーマットはDAFORMレジスタで設定する。
- ・出力フォーマットの初期値は I<sup>2</sup>S である。データは BCKO の立下りに同期して出力される。



「DAFORM=0」: I<sup>2</sup>S データ出力

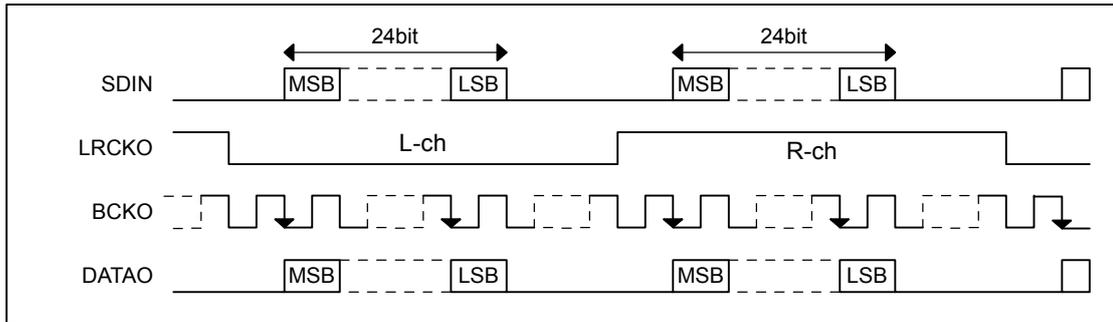


「DAFORM=1」: MSB ファースト前詰めデータ出力

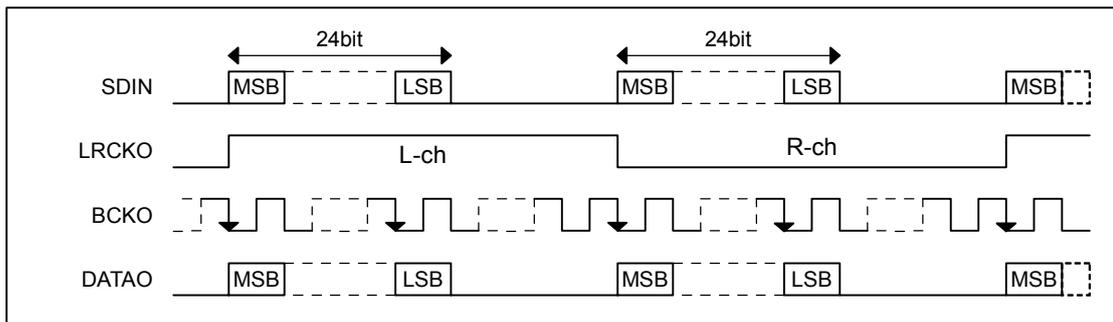
図 8.7 : オーディオデータ出力タイミング図

8.6.4 オーディオデータ入力フォーマット (SDIN)

- SDINはシリアルデータ入力端子である。
- SDINへ入力するデータはDAFORMレジスタで設定したフォーマットに合わせる。
- 入力データはBCKO, LRCKOクロックと同期が取れていること。
- SDINへ入力されたデータはDATAOへ直接出力される。データフォーマット変換は出来ない。
- 通常 SDIN へ入力されたデータは PLL アンロック時に DATAO へ出力されるが、ADMODE レジスタの設定で PLL 状態に関わらず常時 DATAO へ出力することが出来る。
- SDIN を使用しない場合は GND に接続する。



「DAFORM=0」: I<sup>2</sup>S データ入力

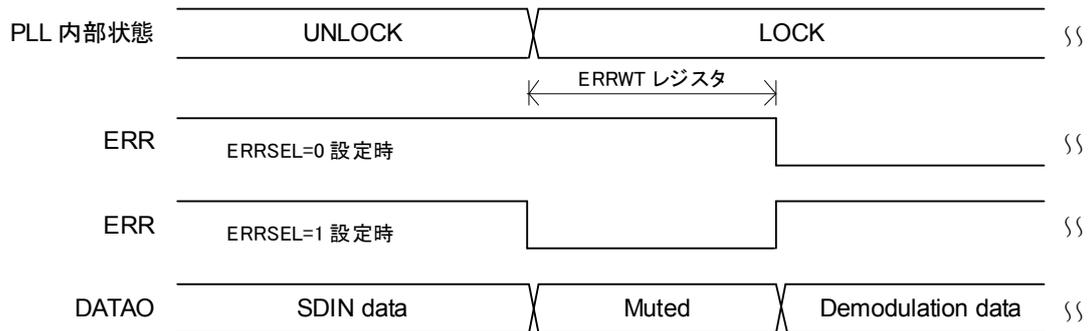


「DAFORM=1」: MSB ファースト前詰めデータ入力

図 8.8 : SDIN データ入力タイミング図

8.6.5 出力データの切換え (SDIN, DATA0)

- PLL ロック時に復調データ、PLL アンロック時に SDIN 入力データを DATA0 へ出力する。この切換えは PLL のロック/アンロック状態に応じて自動的に行われる。
  - SDIN 入力データ選択時は SDIN データに同期したクロックソースでなければならない。
  - DATA0 出力はミュート期間を経由して切換る。
  - ロックイン過程時のミュート期間は ERRWT レジスタで調整する。
  - アンロック過程時のミュート期間は DATWT レジスタで調整する。
  - DATMUT レジスタは DATA0 出力データを強制的にミュートする。
  - NPMODE レジスタは非 PCM データ受信時に DATA0 出力データをミュートする。
- 尚、非 PCM データとはチャンネルステータス・ビット 1 (データ区分ビット) の状態に準じる。



(a) : ロックイン過程時



(b) : アンロック過程時

図 8.9 : DATA0 出力データ切換えタイミング図

## 8.7 ERR 出力端子 (ERR)

- ERR は ERRSEL レジスタの設定で以下の出力を選択することができる。

### 8.7.1 PLL ロックエラー、伝送エラー出力 (「ERRSEL=0」)

- ERR は PLL がロックエラーした場合やデータエラーが生じた場合にエラーフラグを出力する。
- ERR は LRCKO に同期して出力される。またマイコンインタフェースで読み出すこともできる。

#### 8.7.1.1 PLL ロックエラー

- バイフェーズ変調の規則性が失われた入力データ、またはプリアンプル B、M、W を検出できない入力データに対して PLL はアンロックする。
- プリアンプル B、M、W が検出されても IEC60958 に準拠しないタイミングはアンロックとして処理される。例えば、プリアンプル B の周期が 192 フレーム毎でない場合など。
- ERR は PLL アンロック時に H を出力する。
- PLL ロックイン過程ではデータ復調後 3m~36ms 程度 H を保持してから L になる。
- PLL ロックイン過程時の保持時間は ERRWT で設定する。

表 8.4 : PLL ロック後の ERR エラー解除保持期間

S/PDIF 入力 サンプリング周波数 (kHz)	PLL ロック後 ERR 解除されるまでの保持時間 (ms)	
	「ERRWT=0」設定時	「ERRWT=1」設定時
32	18	36
44.1	13	26
48	12	24
88.2	6.5	13
96	6	12
176.4	3.3	6.5
192	3	6

#### 8.7.1.2 入力データパリティエラー

- 入力データ中のパリティビットから奇数個のエラー、入力パリティエラーを検出する。
- パリティエラーが発生した場合 ERR は H となる。
- 入力パリティエラーが発生した時の出力データは 1 フレーム前のデータに置き換えられる。但し、非 PCM データ受信時はデータの置き換えは行われずエラーを含むデータが出力される。

#### 8.7.1.3 その他のエラー

- ERR が L になってもチャンネルステータスのビット 24~27 (標本化周波数) を常時取り込んで 1 ブロック前のデータと現データの比較を行っている。また、入力データから抽出された fs クロックから入力データのサンプリング周波数を算出して前述同様に fs 算出値の比較を行っている。ここでこれらデータに相違が生じた場合、直ちに ERR を H にして PLL ロックエラーと同等の処理を実行する。この時、クロックも XIN ソースへ切替りロック判定動作から実行される。
- fs が変化するソース (例: バリアブルピッチ機能付き CD プレーヤ等) に対応するため ERR 解除後に fs が変化しても PLL キャプチャーレンジ内の fs 変化ならば ERR へ反映されない。

### 8.7.2 DATA0 データミュート信号出力 (「ERRSEL=1」)

- 「ERRSEL=1」で DATA0 から出力されるオーディオデータの状態を出力する。(図 8.9 参照)
- 非 PCM オーディオデータ受信時のミュート処理設定 (「NPMODE=1」) も反映される。

表 8.5 : DATA0 出力状態信号出力

ERR 出力	DATA0 出力条件
L	ミュート状態
H	出力状態

## 8.8 GPO 出力端子 (GPO)

- GPO は GPOSEL[1:0] レジスタの設定で以下の出力を選択することができる。

### 8.8.1 チャンネルステータス・ビット1 出力 (「GPOSEL[1:0]=00」)

- GPO の初期設定は入力バイフェーズデータが PCM オーディオデータか否かを示すチャンネルステータスのビット 1 (データ区分ビット) を出力する。
- ERR がエラー出力期間でも検出されれば直ちに出力される。

表 8.6 : チャンネルステータス・ビット1 出力

GPO 出力	GPO 出力条件
L	PCM オーディオデータ (ビット 1= L)
H	オーディオデータ以外のデータ (ビット 1= H)

### 8.8.2 入力 S/PDIF スルー出力 (「GPOSEL[1:0]=01」)

- 復調データとは異なる S/PDIF 入力データを THRSEL レジスタで選択して出力することが出来る。

表 8.7 : 入力 S/PDIF 出力

GPO 出力	GPO 出力条件
RXIN or MPIO 入力データ	「GPOSEL[1:0]=01」

### 8.8.3 マイコンレジスタ出力 (「GPOSEL[1:0]=10 or 11」)

- マイコンインタフェースで設定されたデータを出力する。周辺回路のコントロール信号として使用することができる。

表 8.8 : マイコンレジスタ出力

GPO 出力	GPO 出力条件
L	「GPOSEL[1:0]=10」
H	「GPOSEL[1:0]=11」

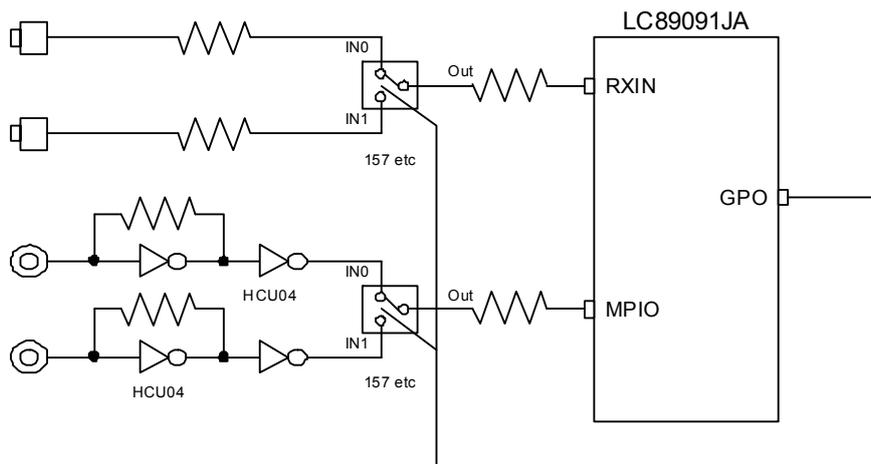


図 8.10 : GPOSEL[1:0] レジスタの使用例

## 8.9 MPIO 入出力端子 (MPIO)

- MPIO は MPSEL レジスタで以下の入出力を選択することができる。
  - MPIO を出力で使用する場合はプルアップ抵抗を挿入する必要がある。
  - MPIO を使用しない場合は無接続 (オープン状態) にする。
- 但し、DINSEL, THRSEL レジスタで MPIO を選択してはならない。

### 8.9.1 エンファシスフラグ出力 (「MPSEL=0」)

- MPIO の初期設定はチャンネルステータスの民生用エンファシス時定数  $50/15\mu s$  の有無を出力する。
- MPIO はエンファシス信号が検出されない状態では Hi-Z 出力となるためプルアップ抵抗を挿入する。MPIO 出力を反転させて DAC へ接続した使用例を以下に示す。

表 8.9 : MPIO エンファシスフラグ出力

MPIO 出力	MPIO 出力条件
H **	プリエンファシス無
L	$50/15\mu s$ プリエンファシス有

\*\*: MPIO にプルアップ抵抗を装備した場合

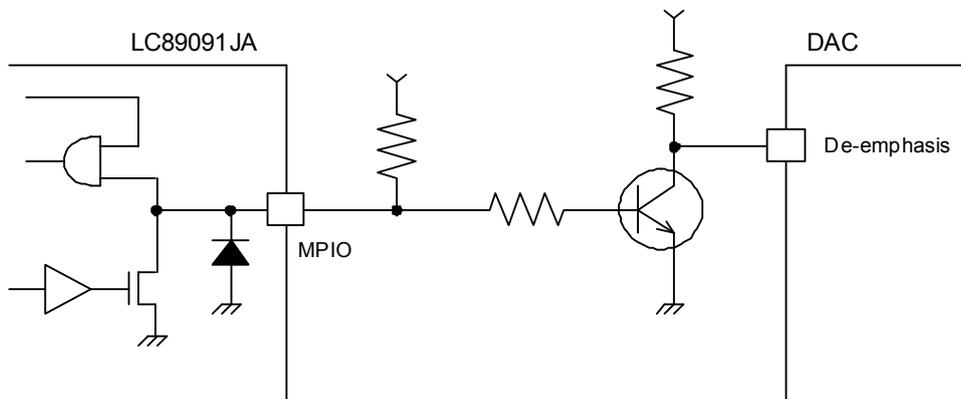


図 8.11 : MPIO 使用例 (エンファシスフラグ出力)

### 8.9.2 S/PDIF 入力 (「MPSEL=1」)

- 「MPSEL=1」で S/PDIF 入力端子として使用できる。
- 電源投入直後の MPIO は出力状態に設定されているため全ての S/PDIF 信号を入力する前に MPSEL レジスタで MPIO を入力状態に設定する必要がある。MPSEL レジスタ設定より S/PDIF 信号の入力 (RXIN 入力) が先行しエンファシスフラグが検出されると MPIO の出力と周辺回路の入力設定で信号がショートする恐れがあるので必ず S/PDIF を受信する前に MPIO の入力設定を完了すること。

## 9 マイコンインタフェース

- ・マイコンとのインタフェースは I<sup>2</sup>C (Fast-mode, 400kbps) で行う。

### 9.1 端子設定 (SCL, SDA)

- ・SCL, SDA にはプルアップ抵抗を接続する。抵抗値は電流およびタイミングを十分考慮すること。
- ・クロックラインが Hi-Z 状態にならなければ SCL のプルアップ抵抗は削除しても構わない。
- ・マイコンを使用しない場合 SCL, SDA は GND 接続する。レジスタは初期値が設定される。

### 9.2 データ転送

- ・I<sup>2</sup>C スレーブ送受信インタフェースは ver2.1 に準拠する。(HS モードには対応していない)
- ・LC89091JA へのアクセスは、スタート条件、スレーブアドレス、R/W を順に入力後、アクノリッジが生成されるのでその後にライト命令、リード命令 (レジスタアドレス、コントロールデータ入力) を実行する。命令終了時にはストップ条件を入力する。
- ・SCL が H の間には SDA ラインの状態は一定でなければならない。SDA ラインが H と L の間で状態を変更できるのは SCL が L のとき限られる。SCL が H の間に SDA データを変更するとスタート条件またはストップ条件として認識されてしまう。

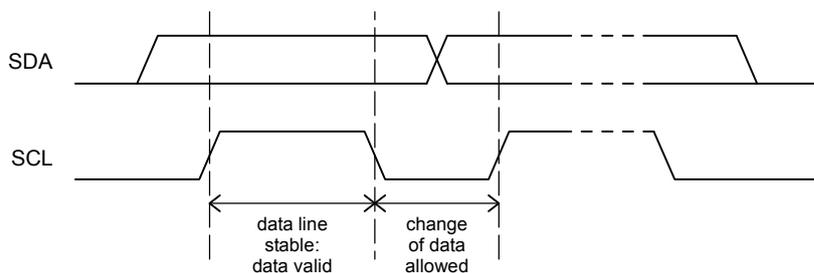


図 9.1 : I<sup>2</sup>C バス上でのビット転送

### 9.3 スタート条件とストップ条件

- ・スタート条件は SCL の H 期間中に SDA を H から L にする。
- ・ストップ条件は SCL の H 期間中に SDA を L から H にする。

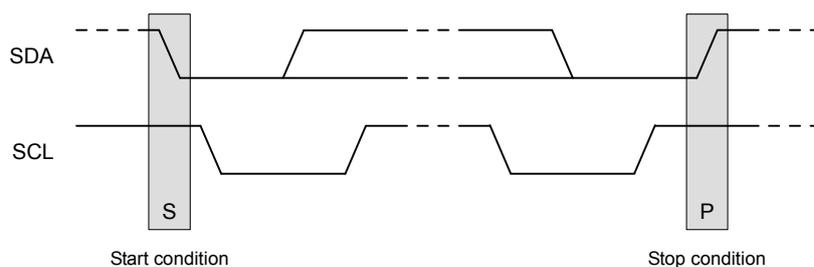


図 9.2 : スタート条件とストップ条件

### 9.4 アクノリッジ

- ・LC89091JA は 1 バイトのデータが送出された後 SDA ラインが開放されると SDA ラインを L 状態で安定させる。この動作はアクノリッジと呼ばれる。
- ・LC89091JA はスレーブアドレスを受け取るとアクノリッジを生成する。更にライト命令の場合には 8 ビット (1 バイト) の受信を完了する度に生成され、リード命令の場合には指定されたアドレスのデータを出力した後 SDA ラインを開放してマイコンからの命令を待つ。マイコンがストップコンディションを送らずにアクノリッジを生成した場合、次のアドレスのデータを出力する。アクノリッジが生成されなかったらデータ出力を終了する。

## 9.5 スレーブアドレス

- ・スタート条件後にスレーブアドレスを入力する。
- ・スレーブアドレスは7ビットで構成される。上位5ビット（00100）はデバイスコードで00100を設定する。下位2ビット（010）はデバイスアドレスで10を設定する。
- ・R/Wビットは0のとき書き込み命令が実行され、1のとき読出し命令が実行される。

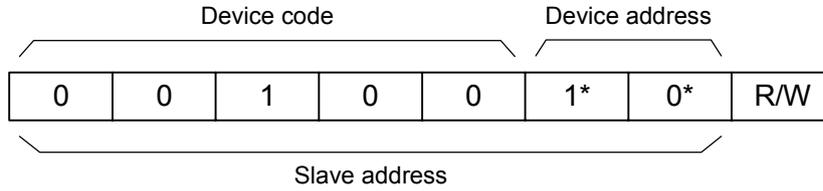


図 9.3： スレーブアドレス、R/W ビット構成

## 9.6 レジスタアドレス

- ・スレーブアドレスを含む1バイトのデータ転送後、次のバイトでレジスタアドレスを設定する。

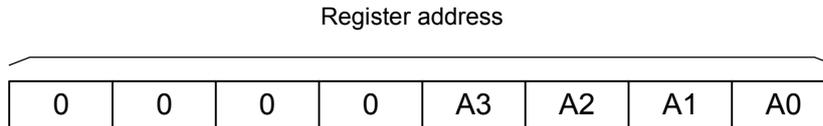


図 9.4： レジスタアドレス構成

## 9.7 コントロールデータ

- ・レジスタアドレス転送後にコントロールデータを設定する。
- ・コントロールデータ (D7~D0) は MSB ファーストで構成される。

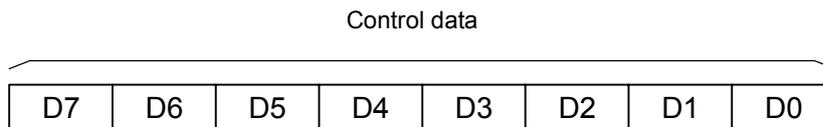


図 9.5： コントロールデータ構成

9.8 データ書き込み方法

- R/W ビットが 0 のとき書き込み動作を行う。
- スタート条件入力後、スレーブアドレス(「R/W=0」)、レジスタアドレスを順次入力する。
- アクノリッジ生成後、ライトデータはアクノリッジクロックパルス直前の SCL↑で取り込まれる。
- スレーブアドレスが不一致の場合、直後のアクノリッジは生成されず SDA ラインは開放状態になる。この場合スタート条件 (S) から入力しなければならない。

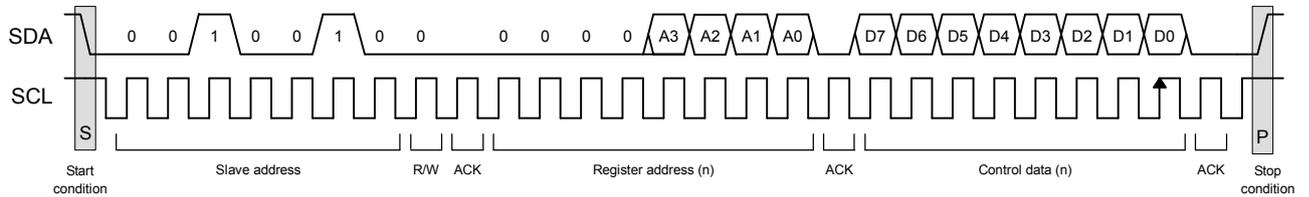


図 9.6 : データライト・タイミング図 (バイトライト)

- 8 ビット(1 バイト)のデータを送りアクノリッジ生成後にストップ条件を送らずに更にデータ(1 バイト)を送るとレジスタアドレスカウンタがインクリメントして次のアドレスにデータが格納される。
- アドレス値が 08h を超えるとロールオーバーし次のデータは 00h から順にオーバーライトされる。

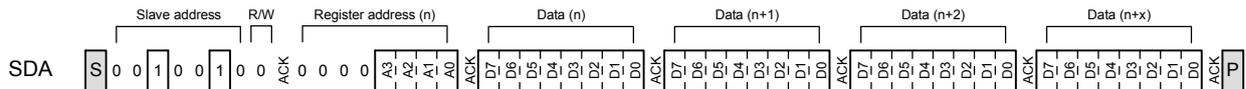


図 9.7 : データライト・タイミング図 (ページライト)

9.9 データ読出し方法

- R/W ビットが 1 のとき読出し動作を行う。
- スタート条件入力後、スレーブアドレス(「R/W=0」)、レジスタアドレスを順次入力する。
- LC89091JA がアクノリッジを生成した後に再びスタート条件(Sr)、スレーブアドレス(「R/W=1」)を入力し、アクノリッジが生成された後に指定したレジスタアドレスのデータが出力される。
- データ出力後マイコンがアクノリッジを返さずストップ条件を送ると読出し動作は終了する。

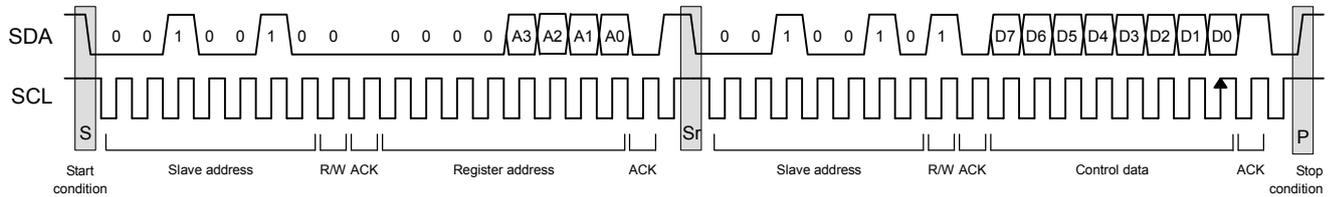


図 9.8 : データリード・タイミング図 (ランダムリード)

- 8 ビット(1 バイト)のデータ出力後にマイコンがアクノリッジを返してくると続けて次のアドレスのデータ(1 バイト)が読み出される。
- アドレス値が 08h を超えると次のアドレスは 00h のデータから順に読み出される。
- データ出力後マイコンがアクノリッジを返さずストップ条件を送ると読出し動作は終了する。

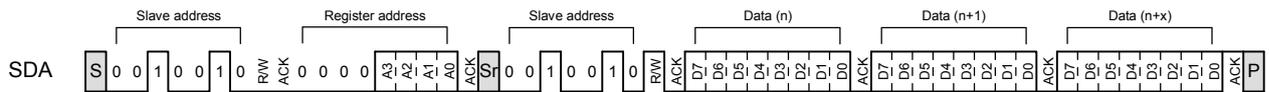


図 9.9 : データリード・タイミング図 (シーケンシャルリード)

# LC89091JA

## 9.10 レジスタ

### 9.10.1 レジスタマップ

表 9.1 : レジスタマップ

設定項目	R/W	Adr	D7	D6	D5	D4	D3	D2	D1	D0
システム	R/W	00h	‘0’	MPSEL	DATWT	ERRWT	ADMODE	AMPOPR	PDMODE	SYSRST
クロック	R/W	01h	‘0’	‘0’	XOUTCK	PRSEL1	PRSEL0	PLLDIV1	PLLDIV0	PLLACC
データ	R/W	02h	NPMODE	ERRSEL	GPOSEL1	GPOSEL0	DATMUT	THRSEL	DINSEL	DAFORM
fs 算出値	R	03h	0	0	0	ERRFLG	FSC3	FSC2	FSC1	FSC0
チャンネル ステータス	R	04h	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
	R	05h	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8
	R	06h	CS23	CS22	CS21	CS20	CS19	CS18	CS17	CS16
	R	07h	CS31	CS30	CS29	CS28	CS27	CS26	CS25	CS24
	R	08h	CS39	CS38	CS37	CS36	CS35	CS34	CS33	CS32

- ・ ‘0’ は予約ビットである。0 を入力すること。

# LC89091JA

## 9.10.2 レジスタ詳細

アドレス : 00h・システム設定

00h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	MPSEL	DATWT	ERRWT	ADMODE	AMPOPR	PDMODE	SYSRST
初期値	0	0	0	0	0	0	0	0
設定	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- SYSRST システムリセット設定  
0: リセットしない(初期値)  
1: レジスタ以外の回路をリセットする。レジスタ設定は保持される。
- PDMODE パワーダウンモード設定  
0: 通常動作(初期値)  
1: パワーダウンモード設定 (クロック動作停止)
- AMPOPR 発振アンプ動作設定  
0: PLL ロック時発振アンプ自動停止(初期値)  
1: 常時連続動作
- ADMODE S/PDIF 受信拒否モード設定  
0: 通常動作(初期値)  
1: 常時 PLL をアンロック状態にする。
- ERRWT PLL ロック後エラー(ERR)解除待ち時間設定  
0: プリアンブル B を 3 カウント後にエラー解除(初期値)  
1: プリアンブル B を 6 カウント後にエラー解除
- DATWT PLL アンロック後 SDIN データへ切替わるまでのミュート(L)出力期間設定  
0: およそ 5.4ms 後にミュート解除(初期値)  
1: およそ 342ms 後にミュート解除
- MPSEL MPIO 入出力端子設定  
0: エンファシスフラグ出力設定(初期値)  
1: S/PDIF 入力設定

# LC89091JA

アドレス : 01h・クロック設定

01h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	0	XOUTCK	PRSEL1	PRSEL0	PLLDIV1	PLLDIV0	PLLACC
初期値	0	0	0	0	0	0	0	0
設定	R	R	R/W	R/W	R/W	R/W	R/W	R/W

PLLACC           PLL クロック出力周波数設定  
                  0: 自動制御(初期値)  
                  1: マニュアル設定

PLLDIV[1:0]   「PLLACC=0」設定時の PLL ロック時 MCKO 出力設定  
                  00: 512fs 出力 : 32kHz, 44.1kHz, 48kHz 受信時 (初期値)  
                      256fs 出力 : 64kHz, 88.2kHz, 96kHz 受信時  
                      128fs 出力 : 128kHz, 176.4kHz, 192kHz 受信時  
                  01: 256fs 出力 : 32kHz, 44.1kHz, 48kHz 受信時  
                      256fs 出力 : 64kHz, 88.2kHz, 96kHz 受信時  
                      128fs 出力 : 128kHz, 176.4kHz, 192kHz 受信時  
                  10: 512fs 出力 : 32kHz, 44.1kHz, 48kHz 受信時  
                      512fs 出力 : 64kHz, 88.2kHz, 96kHz 受信時  
                      128fs 出力 : 128kHz, 176.4kHz, 192kHz 受信時  
                  11: 256fs 出力 : 32kHz, 44.1kHz, 48kHz 受信時  
                      512fs 出力 : 64kHz, 88.2kHz, 96kHz 受信時  
                      128fs 出力 : 128kHz, 176.4kHz, 192kHz 受信時

PRSEL[1:0]   「PLLACC=1」設定時の PLL ロック時 MCKO 出力設定  
                  00: 256fs 出力(初期値)  
                  01: 512fs 出力  
                  10: 128fs 出力  
                  11: Reserved

XOUTCK           PLL アンロック時の XIN クロック出力周波数設定  
                  0: MCKO=24.576MHz, BCKO=6.144MHz, LRCKO=96kHz(初期値)  
                  1: MCKO=24.576MHz, BCKO=3.072MHz, LRCKO=48kHz

## LC89091JA

アドレス：02h・データ設定

02h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	NPMODE	ERRSEL	GPOSEL1	GPOSEL0	DATMUT	THRSEL	DINSEL	DAFORM
初期値	0	0	0	0	0	0	0	0
設定	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DAFORM 出力データオーディオフォーマット設定

- 0: I<sup>2</sup>S(初期値)
- 1: MSB ファースト前詰め

DINSEL 復調データ設定

- 0: RXIN(初期値)
- 1: MPIO (「MPSEL=1」設定時)

THRSEL 「GPOSEL[1:0]=01」設定時の GPO 出力データ設定

- 0: RXIN(初期値)
- 1: MPIO (「MPSEL=1」設定時)

DATMUT DATA0 ミュート設定

- 0: PLL アンロック時、SDIN データを出力 (初期値)
- 1: ミュート、L 出力

GPOSEL[1:0] GPO 出力端子設定

- 00: チャンネルステータス・ビット 1 出力設定(初期値)
- 01: 入力 S/PDIF スルー出力設定
- 10: L 出力固定
- 11: H 出力固定

ERRSEL ERR 出力端子設定

- 0: PLL ロックエラー、伝送エラー出力 (初期値)
- 1: DATA0 データミュート信号出力

NPMODE S/PDIF 非 PCM データ受信時の DATA0 出力設定

- 0: 出力 (初期値)
- 1: ミュート、L 出力

- MPIO が出力設定で無負荷のとき DINSEL, THRSEL レジスタで MPIO を選択することを禁止する。
- 「NPMODE=1」の設定で非 PCM データ検出時に DATA0 出力はミュートされるがデータエラーでは無いため ERR 出力は PLL ロック状態 (L 出力) のままである。

# LC89091JA

アドレス : 03h・入力 fs 算出値

03h	D7	D6	D5	D4	D3	D2	D1	D0
レジスタ名	0	0	0	ERRFLG	FSC3	FSC2	FSC1	FSC0
設定	R	R	R	R	R	R	R	R

FSC[3:0]      入力データ fs 算出結果読出し

0000: 44.1kHz

0001: Out of range

0010: 48kHz

0011: 32kHz

0100: -

0101: -

0110: -

0111: -

1000: 88.2kHz

1001: -

1010: 96kHz

1011: 64kHz

1100: 176.4kHz

1101: 128kHz

1110: 192kHz

1111: -

ERRFLG      ERR 端子出力読出し（「ERRSEL=1」設定時でも読出し可能）

0: PLL ロック状態で伝送エラー無

1: PLL アンロック状態または伝送エラー有

# LC89091JA

アドレス：04h-08h・チャンネルステータス情報（読出しのみ）

Address	D7	D6	D5	D4	D3	D2	D1	D0
04h	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
05h	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8
06h	CS23	CS22	CS21	CS20	CS19	CS18	CS17	CS16
07h	CS31	CS30	CS29	CS28	CS27	CS26	CS25	CS24
08h	CS39	CS38	CS37	CS36	CS35	CS34	CS33	CS32

表 9.2：チャンネルステータスレジスタ内容

アドレス	レジスタ	CS ビット	内容	アドレス	レジスタ	CS ビット	内容
04h	CS0	Bit-0	コントロール	07h	CS24	Bit-24	標本化周波数
	CS1	Bit-1			CS25	Bit-25	
	CS2	Bit-2			CS26	Bit-26	
	CS3	Bit-3			CS27	Bit-27	
	CS4	Bit-4			CS28	Bit-28	クロック精度
	CS5	Bit-5			CS29	Bit-29	
	CS6	Bit-6	モード		CS30	Bit-30	未規定
CS7	Bit-7	CS31		Bit-31			
05h	CS8	Bit-8	カテゴリコード	08h	CS32	Bit-32	データビット幅
	CS9	Bit-9			CS33	Bit-33	
	CS10	Bit-10			CS34	Bit-34	
	CS11	Bit-11			CS35	Bit-35	
	CS12	Bit-12			オリジナル 標本化周波数	CS36	Bit-36
	CS13	Bit-13				CS37	Bit-37
	CS14	Bit-14				CS38	Bit-38
	CS15	Bit-15				CS39	Bit-39
06h	CS16	Bit-16	ソース番号				
	CS17	Bit-17					
	CS18	Bit-18					
	CS19	Bit-19					
	CS20	Bit-20	チャンネル番号				
	CS21	Bit-21					
	CS22	Bit-22					
	CS23	Bit-23					

・詳細については IEC60958 規格書で確認すること。



ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LC89091JA-AH	SSOP16(225mil) (Pb-Free / Halogen Free)	2000 / Tape & Reel
LC89091JA-H	SSOP16(225mil) (Pb-Free / Halogen Free)	90 / Fan-Fold

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。