



ON Semiconductor®

<http://onsemi.jp>

LV5685PV

Bi-CMOS 集積回路

車載インフォテインメント用電源IC マルチ出力リニアレギュレータ

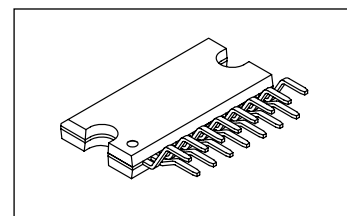
概要

LV5685PVは車載インフォテインメントシステムに最適な低消費電流のマルチ出力レギュレータICです。LV5685PVはリニアレギュレータ出力5系統、ハイサイドパワースイッチ2系統、I²C-bus制御、ACC検知回路、バッテリー電圧検知、また、過電流保護、過電圧保護、過熱保護の各種保護機能を備えています。

VDD出力とSW33V出力用の入力端子は低電圧仕様となっておりDC-DCコンバータ等の外部電源を接続することで消費電力を低減することが可能です。

機能

- 低消費電流 65μA (typ, VDDのみ動作時)
- レギュレータ出力5系統
 - マイコン用：出力電圧3.3V、出力最大電流350mA
 - システム用：出力電圧3.3/5V(I²C BUSで設定)、出力最大電流450mA
 - オーディオ用：出力電圧5/8.5/9/11.5V(I²C BUSで設定)、出力最大電流250mA
 - イルミネーション用：出力電圧5/8/10.5/12V(I²C BUSで設定)、出力最大電流300mA
 - CD用：出力電圧5/6/7/8V(I²C BUSで設定)、出力最大電流1300mA
- VCC連動のハイサイドスイッチ2系統
 - EXT：最大出力電流350mA、入出力間電位差0.5V
 - ANT：最大出力電流300mA、入出力間電位差0.5V
- ACC減電検知回路
 - 検知電圧2.7/3.2/3.6/4.2V(I²C BUSで設定)
- バッテリー電圧検知(BDET)：VCC2
 - 低電圧検知(UVDET) 6/7/7.8/9V(I²C BUSで設定)
 - 過電圧検知(OVDET) 18V
- FLG出力
 - CMOS出力、ACC検知/UVDET/OVDET/OVP
- I²C BUS 制御入力
 - VDDを除く6出力の独立ON/OFF制御、ILM/CD/AUDIO/ACC/UV電圧設定
 - Read back対応：出力電圧設定、出力過電流、FLG(ACC/UV/OVDET/OVP)
- 電源入力端子
 - V6IN：VDD、システム用(SW33V)電源入力(6V)
 - VCC1：基準電圧、制御回路部電源
 - V6IN電圧低下時はVCC1からVDD出力へ電源供給
 - VCC2：オーディオ、イルミネーション、CD、EXT/ANT用電源入力
- 過電流保護機能
- 過電圧保護機能(OVP) VCC1, VCC2：Typ 23V (VDD出力は除く)
- 過熱保護機能 Typ 175°C



HZIP15

*：I²C バスはフィリップス社の商標です。

ORDERING INFORMATION

See detailed ordering and shipping information on page 29 of this data sheet.

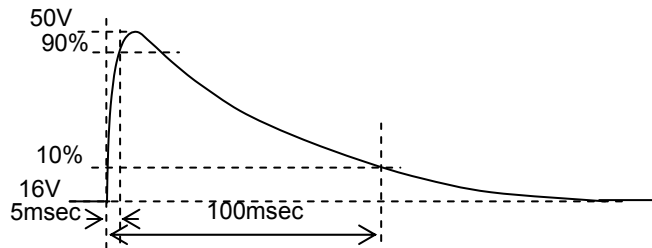
LV5685PV

最大定格/Ta=25℃

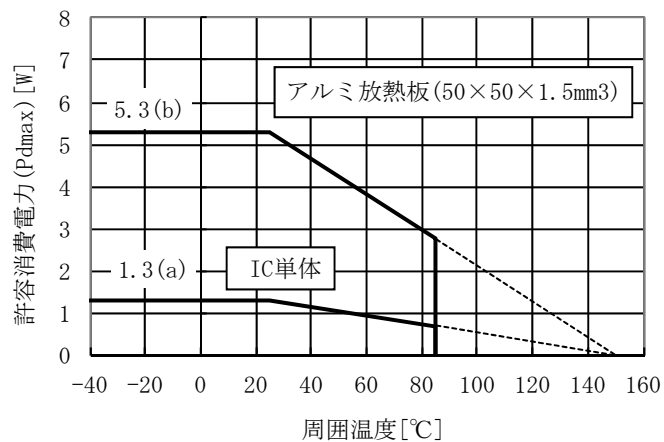
項目	記号	条件	定格値	unit
電源電圧	Vcc max V6in max	VCC1,VCC2 V6IN	36 7	V
許容端子電圧	Vio max	SDA,SCL,FLG ACCIN	7 36	V
許容消費電力	Pd max (Ta≤25℃)	・ IC 単体 ・ Al 放熱板(50×50×1.5mm ³)使用時 ・ 無限大放熱時	1.3 5.3 26	W
尖頭電源電圧	Vcc peak	VCC1/VCC2/ACCIN 下記サージ試験波形 参照	50	V
動作周囲温度	Topr		-40~+85	℃
保存周囲温度	Tstg		-55~+150	℃
ジャンクション温度	Tjmax		+150	℃

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

サージ試験印加波形 (VCC1, VCC2, ACCIN)



・ 許容消費電力ディレーティングカーブ



(a) IC 単体(HZIP15)
(b) Al 放熱板(50×50×1.5mm³)使用時
・ Al 放熱板取付け条件
締付トルク：39N・cm、シリコングリス塗布

LV5685PV

推奨動作条件/ $T_a=25^{\circ}\text{C}$

■VCC1

項 目	条 件	定 格	単 位
動作電源電圧 1	VDD 出力	7~16	V

■VCC2

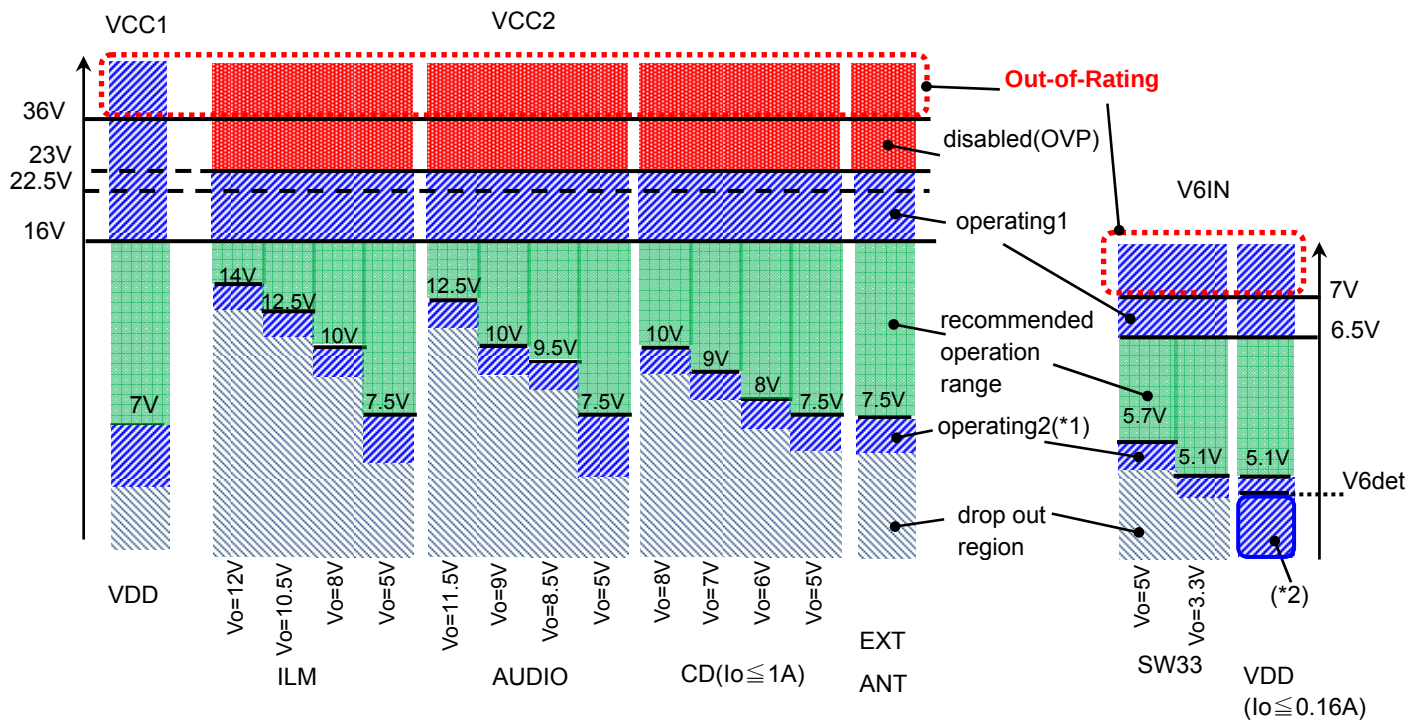
項 目	条 件	定 格	単 位
動作電源電圧 2	ILM 出力 10.5V 時	12.5~16	V
	ILM 出力 8V 時	10~16	V
動作電源電圧 3	AUDIO 出力 8.5V 時	9.5~16	V
動作電源電圧 4	CD(8V) 出力 ($I_o=1.3\text{A}$)	10.5~16	V
	CD(8V) 出力 ($I_o\leq 1\text{A}$)	10~16	V
動作電源電圧 5	EXT 出力, ANT 出力	7.5~16	V

■V6IN

項 目	条 件	定 格	単 位
動作電源電圧 6	VDD 出力	5.1~6.5	V
	SW33V 出力 3.3V 時	5.1~6.5	V
	SW33V 出力 5V 時	5.7~6.5	V

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

- ・定格と推奨動作範囲の関係



(*1) 下限値は出力電圧+ドロップアウト電圧

(*2) VCC1→VDD 供給経路で動作

LV5685PV

電気的特性/VCC1=VCC2=14.4V, V6IN=6V, Ta=25°C (※1)

項 目	記 号	条 件	Min	Typ	Max	Unit
消費電流	I _{cc}	VDD 無負荷, V6IN=0V, ACCIN=0V I ² C register Gr0/Gr1/Gr2=00h		65	100	μA
VDD (3.3V) 出力						
出力電圧	V _{o1}	I _{o1} =200mA	3.13	3.3	3.47	V
出力電流	I _{o1}	V _{o1} ≥ 3.1V	350			mA
ラインレギュレーション	ΔV _{oLN1}	5.7V < V6IN < 6.5V, I _{o1} =200mA or V6IN=0V, 7.5 < VCC1 < 16V, I _{o1} =200mA		30	90	mV
ロードレギュレーション	ΔV _{oLD1}	1 mA < I _{o1} < 200mA		70	150	mV
ドロップアウト電圧 1	V _{DROP1}	I _{o1} =200mA, V6IN=0V (VCC1→VDD に対する規定)		0.5	1.0	V
ドロップアウト電圧 2	V _{DROP12}	I _{o1} =200mA (V6IN→VDD に対する規定, 設計仕様)		1.1	1.3	V
リップルリジクション(※2)	R _{REJ1}	f=120Hz, V6IN or VCC1=0.5Vpp I _{o1} =200mA	40	50		dB
V6IN 検知電圧	V6det	V6IN 上昇, VCC1→V6IN 切換電圧(※3)	4.7	4.85	5.0	V
検知電圧 hys 幅	V6hys			100		mV

※3 : I_o > 160mA の場合は V6IN ≥ 5.7V にてご使用ください。V6IN 電圧が低下した場合、V6IN 検知電圧付近で出力電圧が低下する可能性があります。

SW33V (3.3V/5V) 出力 ; SW33_EN=1

出力電圧 1	V _{o21}	I _{o2} =200mA, SW_V=0	3.13	3.3	3.47	V
出力電圧 2	V _{o22}	I _{o2} =200mA, SW_V=1	4.75	5.0	5.25	V
出力電流	I _{o2}	V _{o21} ≥ 3.1V, V _{o22} ≥ 4.7V	450			mA
ラインレギュレーション	ΔV _{oLN2}	5.7V < V6IN < 6.5V, I _{o2} =200mA		30	90	mV
ロードレギュレーション	ΔV _{oLD2}	1 mA < I _{o2} < 200mA		70	150	mV
ドロップアウト電圧	V _{DROP2}	I _{o2} =200mA		0.25	0.5	V
リップルリジクション(※2)	R _{REJ2}	f=120Hz, V6IN or VCC1=0.5Vpp I _{o2} =200mA	40	50		dB

ILM (5-12V) 出力 ; ILM_EN=1

出力電圧 1	V _{o31}	I _{o3} =200mA, ILM_V[1:0]=00	4.75	5.0	5.25	V
出力電圧 2	V _{o32}	I _{o3} =200mA, ILM_V[1:0]=01	7.6	8.0	8.4	V
出力電圧 3	V _{o33}	I _{o3} =200mA, ILM_V[1:0]=10	9.97	10.5	11.03	V
出力電圧 4	V _{o34}	I _{o3} =200mA, ILM_V[1:0]=11	11.4	12	12.6	V
出力電流	I _{o3}		300			mA
ラインレギュレーション	ΔV _{oLN3}	V _o +2V < V _{cc2} < 16V, I _{o3} =200mA		30	90	mV
ロードレギュレーション	ΔV _{oLD3}	1 mA < I _{o3} < 200mA		70	150	mV
ドロップアウト電圧 1	V _{DROP3}	I _{o3} =200mA		0.6	1.05	V
ドロップアウト電圧 2	V _{DROP3'}	I _{o3} =100mA		0.3	0.53	V
リップルリジクション(※2)	R _{REJ3}	f=120Hz, I _{o3} =200mA	40	50		dB

次ページへ続く。

LV5685PV

前ページより続く。

項 目	記 号	条 件	Min	Typ	Max	Unit
CD 出力 (5-8V) ; CD_EN=1						
出力電圧 1	Vo41	Io4=1000mA, CD_V[1:0]=00	4.75	5.0	5.25	V
出力電圧 2	Vo42	Io4=1000mA, CD_V[1:0]=01	5.7	6.0	6.3	V
出力電圧 3	Vo43	Io4=1000mA, CD_V[1:0]=10	6.65	7.0	7.35	V
出力電圧 4	Vo44	Io4=1000mA, CD_V[1:0]=11	7.6	8.0	8.4	V
出力電流	Io4	Vo41 ≥ 4.7V, V44 ≥ 7.6V	1300			mA
ラインレギュレーション	ΔV_{OLN4}	Vo+2V < Vcc2 < 16V, Io4=1000mA		50	100	mV
ロードレギュレーション	ΔV_{OLD4}	10mA < Io4 < 1000mA		100	200	mV
ドロップアウト電圧 1	V _{DROP4}	Io4=1000mA		0.9	1.5	V
ドロップアウト電圧 2	V _{DROP4'}	Io4=500mA		0.45	0.75	V
リップルリジエクション(※2)	R _{REJ4}	f=120Hz, Io4=1000mA	40	50		dB
AUDIO (5-11.5V) 出力 ; AUDIO_EN=1						
出力電圧 1	Vo51	Io5=150mA, AUD_V[1:0]=00	4.75	5.0	5.25	V
出力電圧 2	Vo52	Io5=150mA, AUD_V[1:0]=01	8.13	8.5	8.87	V
出力電圧 3	Vo53	Io5=150mA, AUD_V[1:0]=10	8.55	9.0	9.45	V
出力電圧 4	Vo54	Io5=150mA, AUD_V[1:0]=11	10.9	11.5	12.08	V
出力電流	Io5		250			mA
ラインレギュレーション	ΔV_{OLN5}	Vo+1V < Vcc2 < 16V, Io5=150mA		30	90	mV
ロードレギュレーション	ΔV_{OLD5}	1mA < Io5 < 150mA		70	150	mV
ドロップアウト電圧	V _{DROP5}	Io5=150mA		0.25	0.45	V
リップルリジエクション(※2)	R _{REJ5}	f=120Hz, Io5=150mA	40	50		dB
EXT HS-SW ; EXT_EN=1						
出力電圧	Vo6	Io6=350mA	Vcc2-1.0	Vcc2-0.5		V
出力電流	Io6	Vo6 ≥ Vcc2-1.0	350			mA
ANT HS-SW ; ANT_EN=1						
出力電圧	Vo7	Io7=300mA	Vcc2-1.0	Vcc2-0.5		V
出力電流	Io7	Vo7 ≥ Vcc2-1.0	300			mA
ACC 減電検知 :						
ACC 検知電圧 1	Vacc1	ACC_V[1:0]=00, ACCIN falling	2.62	2.7	2.78	V
ACC 検知電圧 2	Vacc2	ACC_V[1:0]=01, ACCIN falling	3.1	3.2	3.3	V
ACC 検知電圧 3	Vacc3	ACC_V[1:0]=10, ACCIN falling	3.49	3.6	3.71	V
ACC 検知電圧 4	Vacc4	ACC_V[1:0]=11, ACCIN falling	4.07	4.2	4.33	V
ACC 解除電圧 1	Vaccr1	ACC_V[1:0]=00, ACCIN rising	2.81	2.9	2.99	V
ACC 解除電圧 2	Vaccr2	ACC_V[1:0]=01, ACCIN rising	3.3	3.4	3.5	V
ACC 解除電圧 3	Vaccr3	ACC_V[1:0]=10, ACCIN rising	3.68	3.8	3.92	V
ACC 解除電圧 4	Vaccr4	ACC_V[1:0]=11, ACCIN rising	4.26	4.4	4.54	V
検知ヒステリシス電圧	Vachs			0.2		V

次ページへ続く。

LV5685PV

前ページより続く。

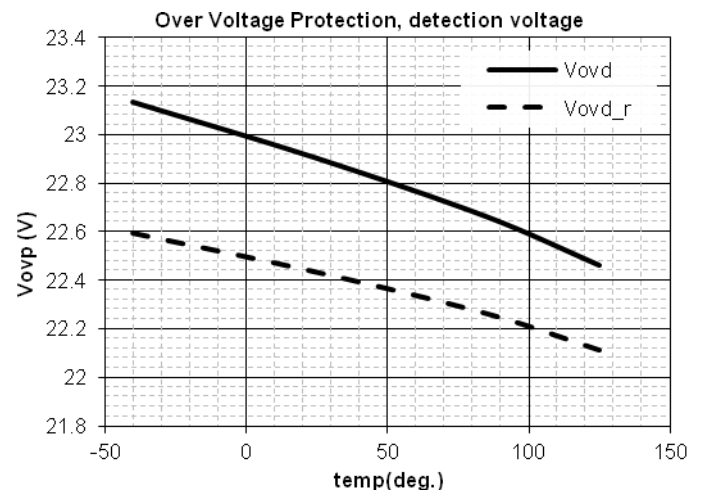
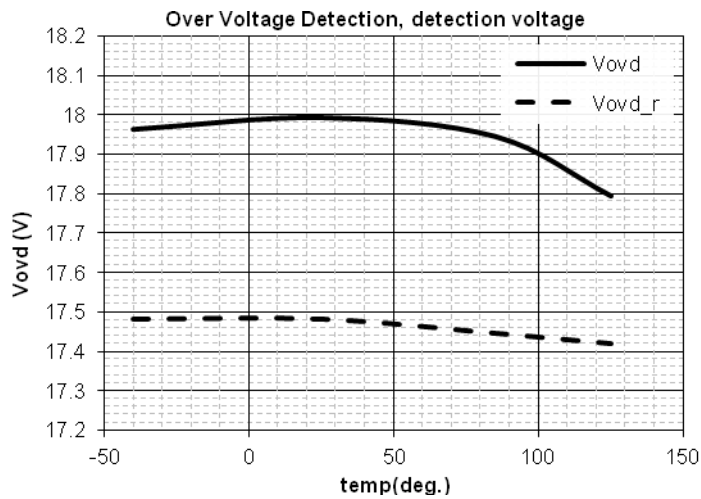
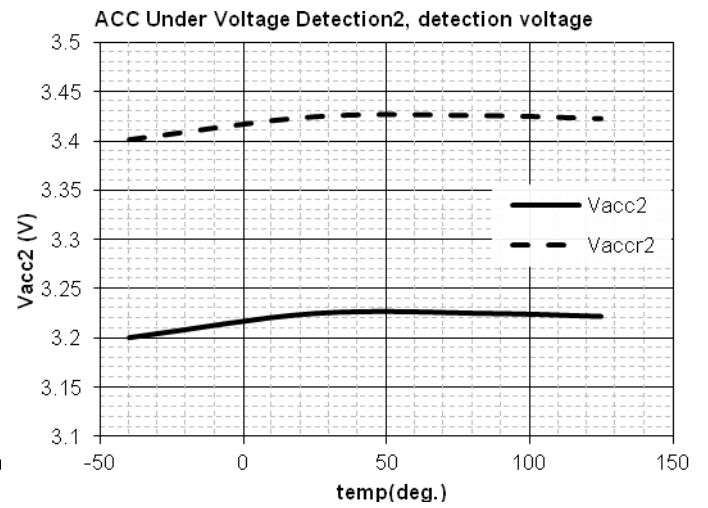
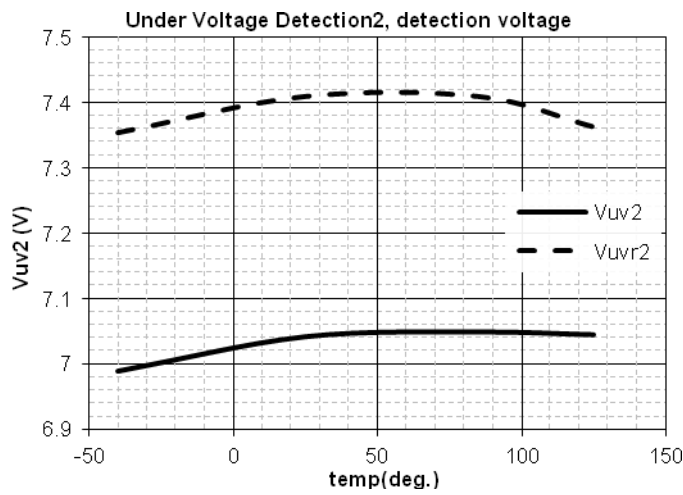
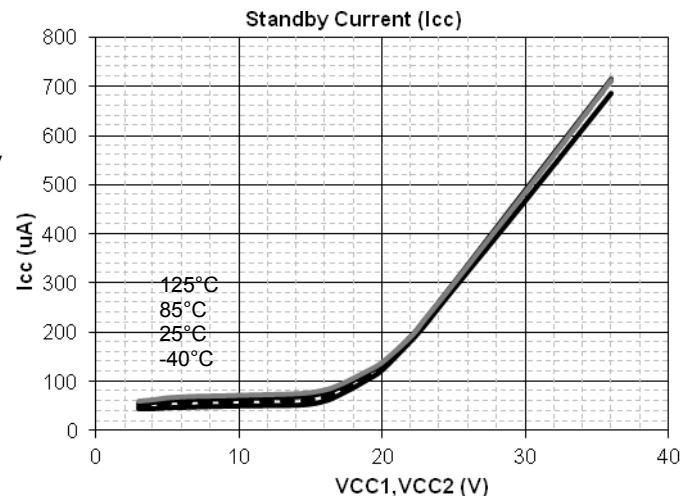
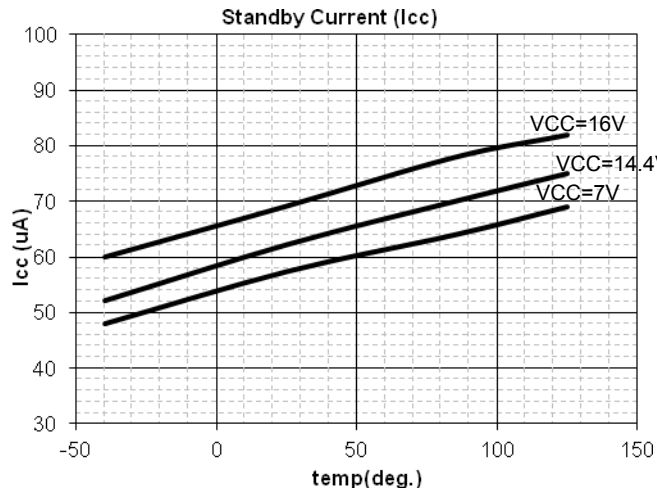
項 目	記 号	条 件	Min	Typ	Max	Unit
低電圧検知 : UVDET						
UV 検知電圧 1	Vuv1	VCC2 falling, UVD_V[1:0]=00	5.82	6.0	6.18	V
UV 検知電圧 2	Vuv2	VCC2 falling, UVD_V[1:0]=01	6.79	7.0	7.21	V
UV 検知電圧 3	Vuv3	VCC2 falling, UVD_V[1:0]=10	7.56	7.8	8.04	V
UV 検知電圧 4	Vuv4	VCC2 falling, UVD_V[1:0]=11	8.73	9.0	9.27	V
UV 解除電圧 1	Vuvr1	VCC2 rising, UVD_V[1:0]=00	6.06	6.25	6.43	V
UV 解除電圧 2	Vuvr2	VCC2 rising, UVD_V[1:0]=01	7.13	7.35	7.57	V
UV 解除電圧 3	Vuvr3	VCC2 rising, UVD_V[1:0]=10	8.05	8.3	8.55	V
UV 解除電圧 4	Vuvr4	VCC2 rising, UVD_V[1:0]=11	9.40	9.7	9.99	V
検知ヒステシス電圧 1	Vuvhs1	UVD_V[1:0]=00		0.25		V
検知ヒステシス電圧 2	Vuvhs2	UVD_V[1:0]=01		0.35		V
検知ヒステシス電圧 3	Vuvhs3	UVD_V[1:0]=10		0.5		V
検知ヒステシス電圧 4	Vuvhs4	UVD_V[1:0]=11		0.7		V
過電圧検知 : OVDET						
OV 検知電圧	Vovd	VCC2 rising	17	18	19	V
検知ヒステシス電圧	Vodhys			0.5		V
過電圧保護 : OVP						
OVP 検知電圧	Vovp	VCC1 or VCC2 rising, 出力停止		23		V
検知ヒステシス電圧	Vovhys			0.5		V
V6IN 遮断検知 : V6SDN						
V6SDN 検知電圧	V6sdn	V6IN falling, 出力停止	0.6	1.02	1.4	V
検知ヒステシス電圧	V6sdhs			80		mV
FLG 出力 :						
FLG 出力 H 電圧	VflgH	Isource=1mA		VDD-0.3	VDD	V
FLG 出力 L 電圧	VflgL	Isink=1mA		0.3	0.4	V
I²C-BUS I/F : SCL, SDA						
入力 L 電圧	V _{IL}		0		0.4	V
入力 H 電圧	V _{IH}		2.8	3.3	5.5	V
SDA 出力 L 電圧	V _{OL}	Isink=1mA, ACK or data read		0.3	0.4	V

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

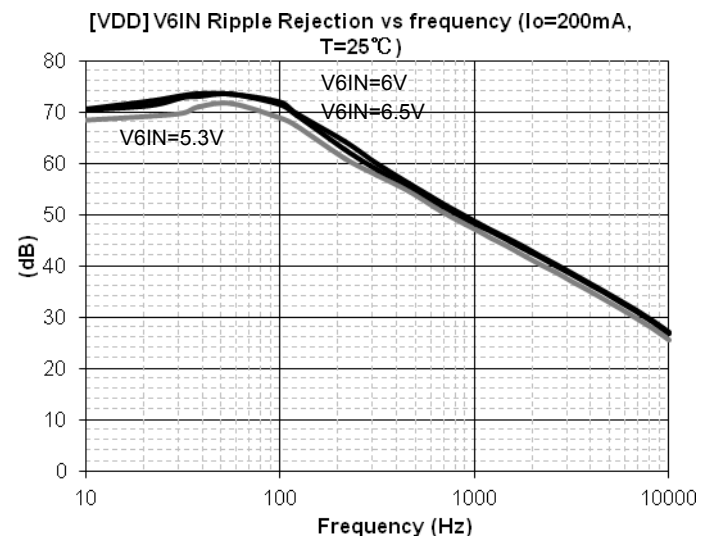
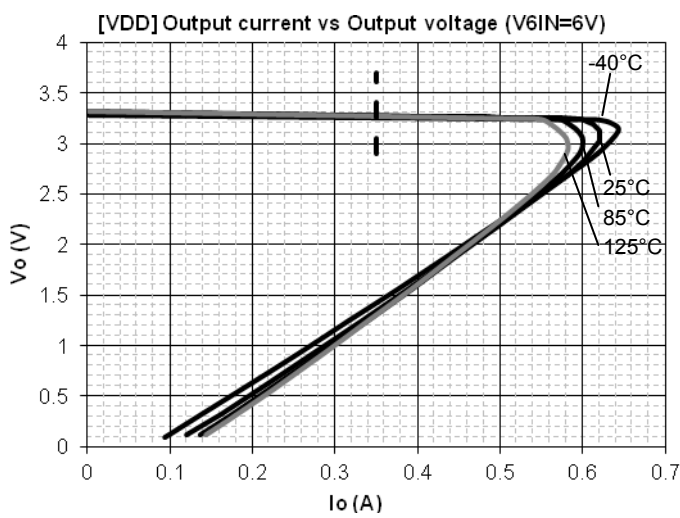
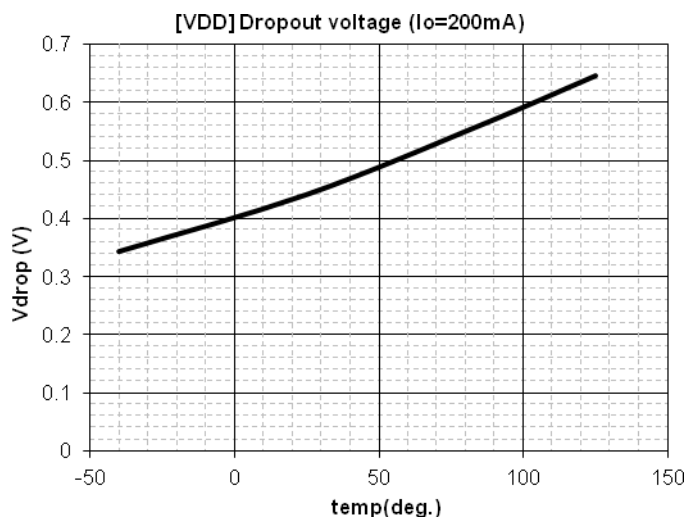
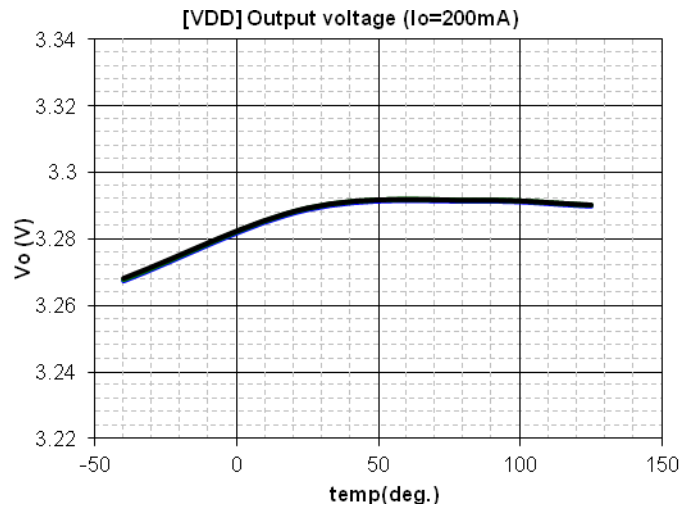
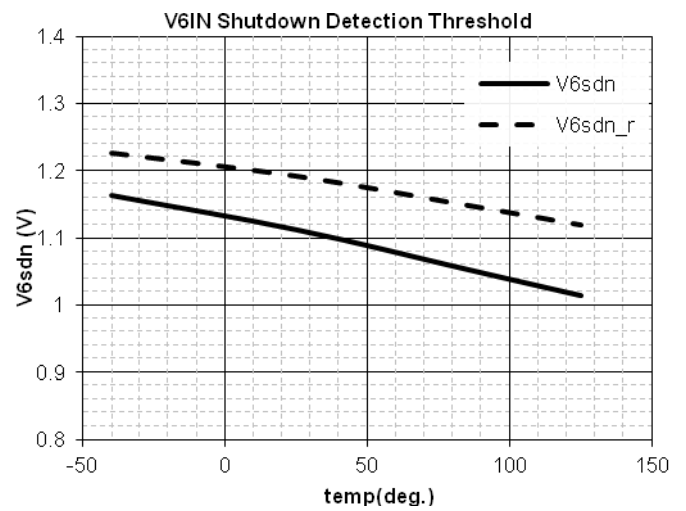
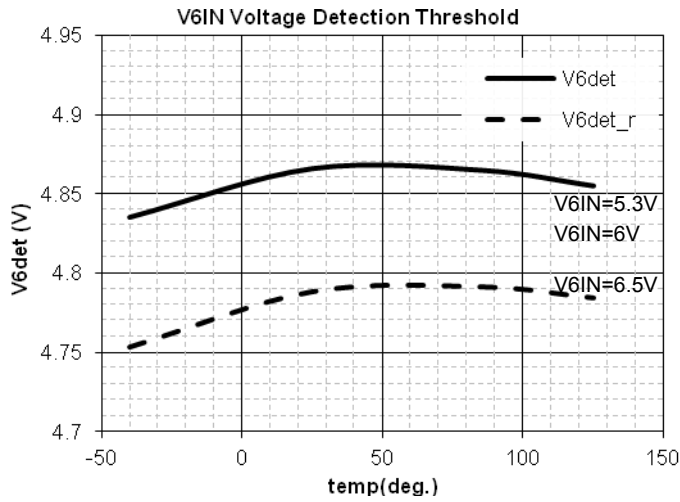
※1 : 全ての仕様は T_j と Ta(=25℃) がほぼ等しい状態でのテストにより規定されている。接合部温度 T_j の上昇を極力抑えるため、パルス負荷によりテストを行っている。

※2 : 設計保証

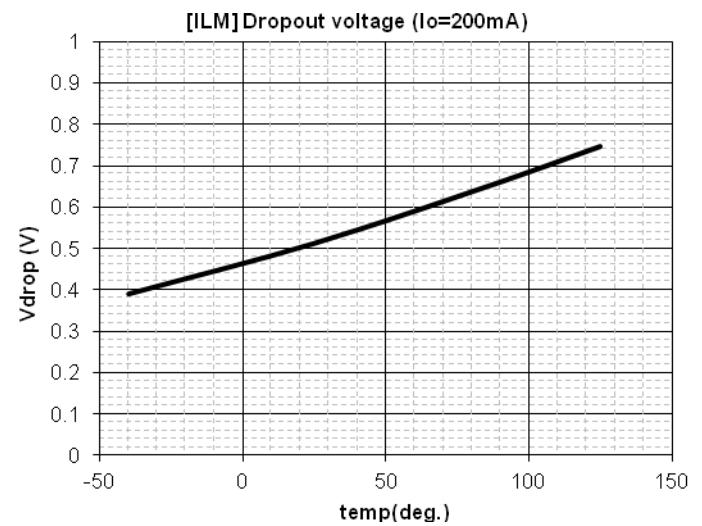
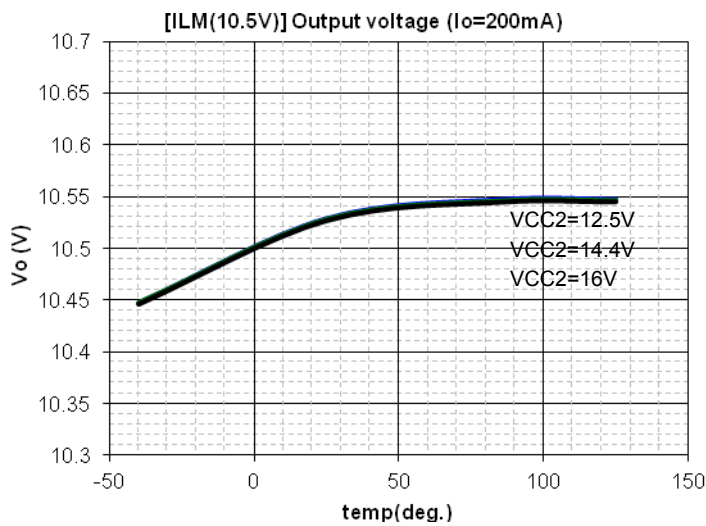
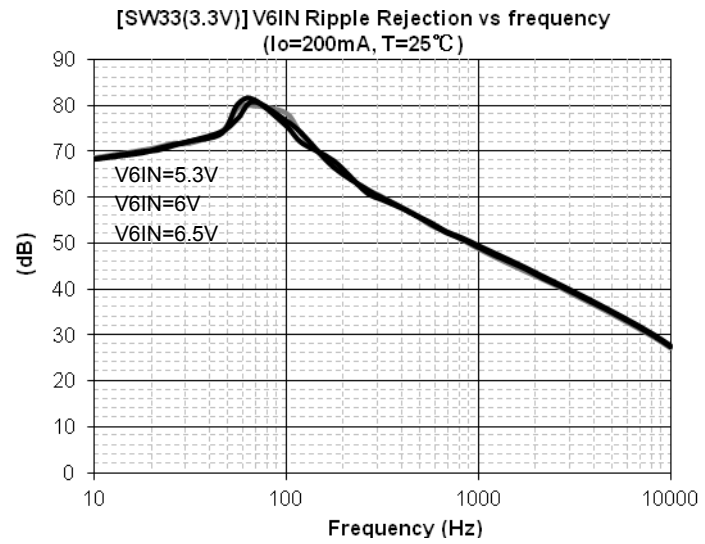
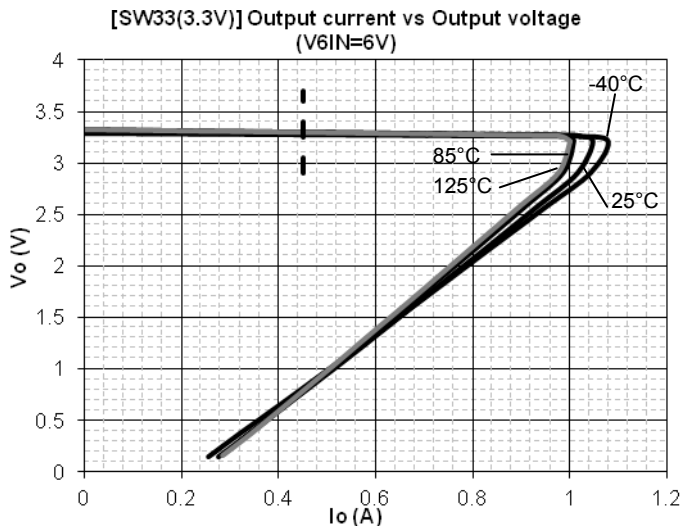
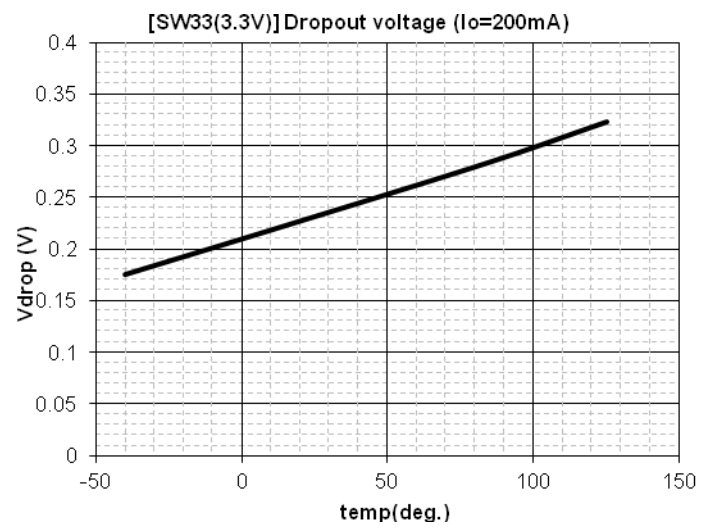
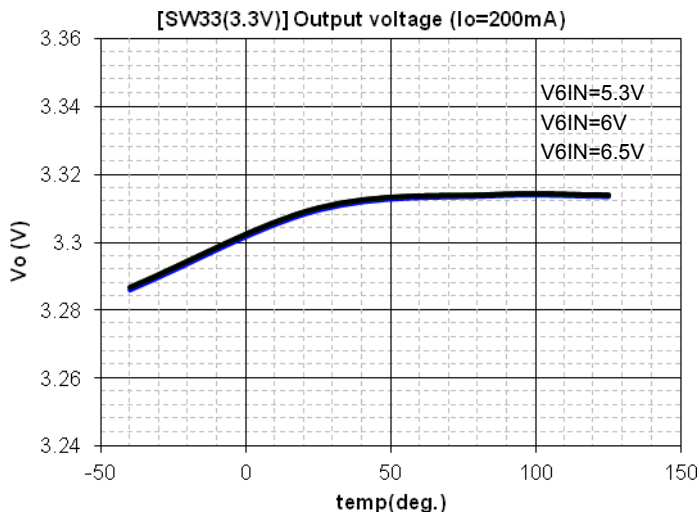
TYPICAL CHARACTERISTICS



LV5685PV

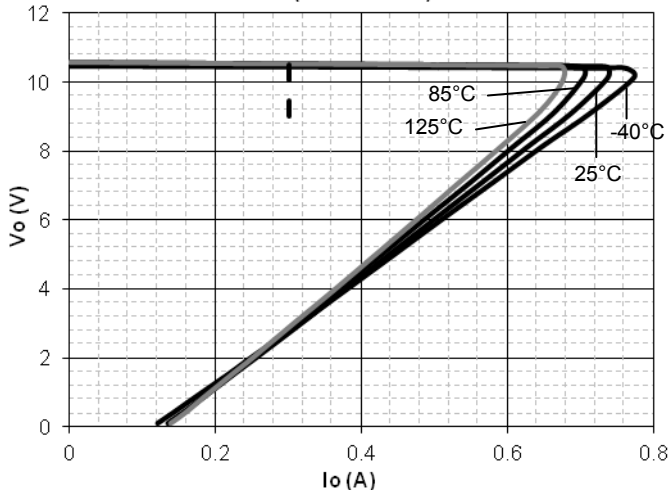


LV5685PV

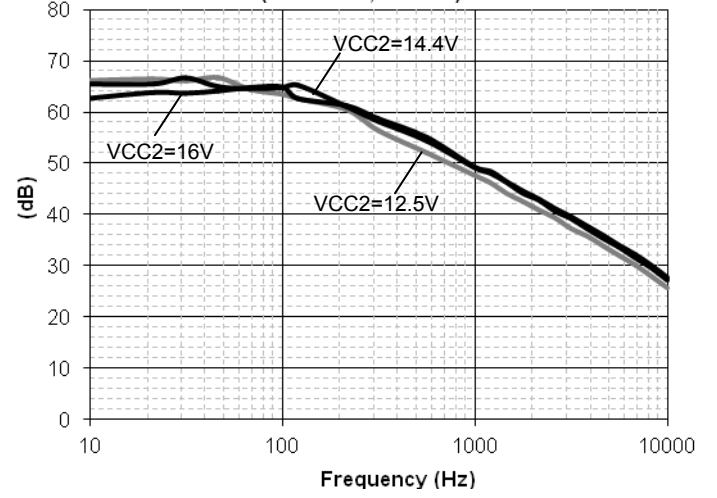


LV5685PV

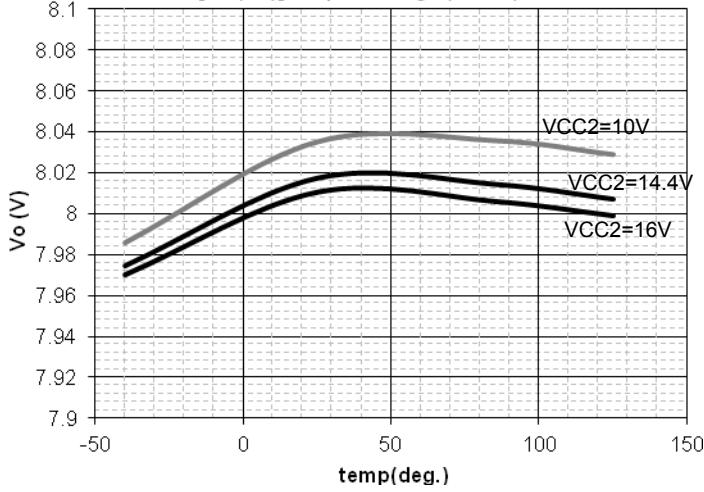
[ILM(10.5V)] Output current vs Output voltage
(VCC2=14.4V)



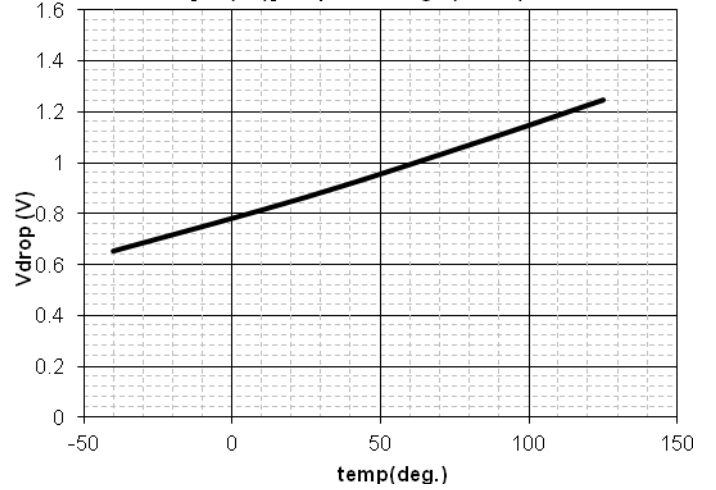
[ILM(10.5V)] Ripple Rejection vs frequency
(Io=200mA, T=25°C)



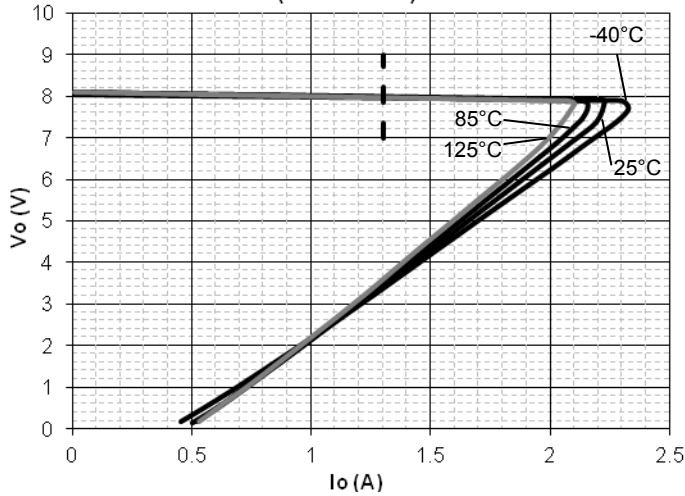
[CD(8V)] Output voltage (Io=1A)



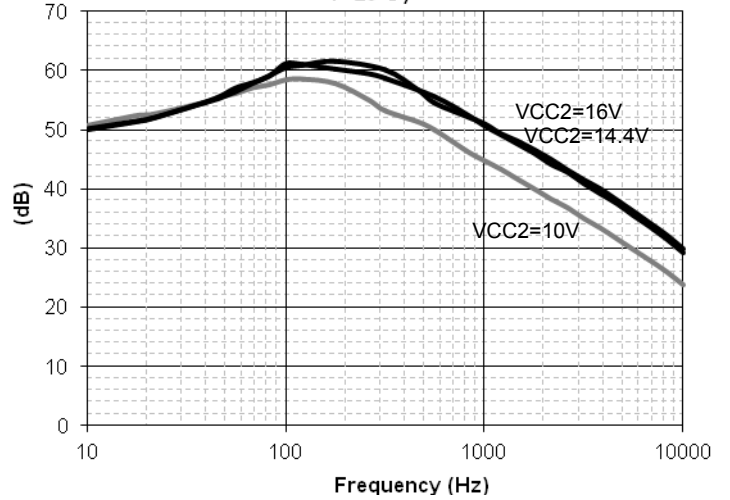
[CD(8V)] Dropout voltage (Io=1A)



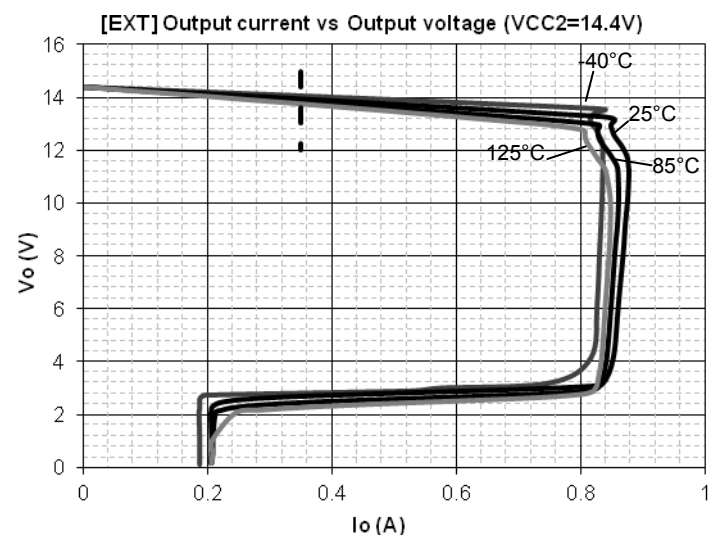
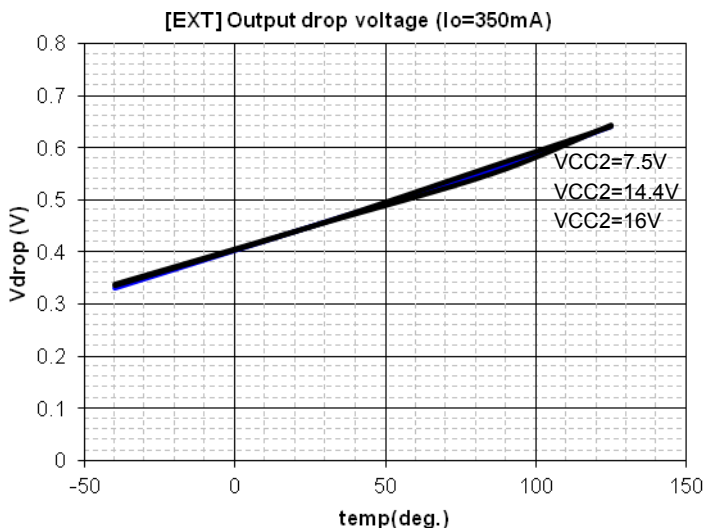
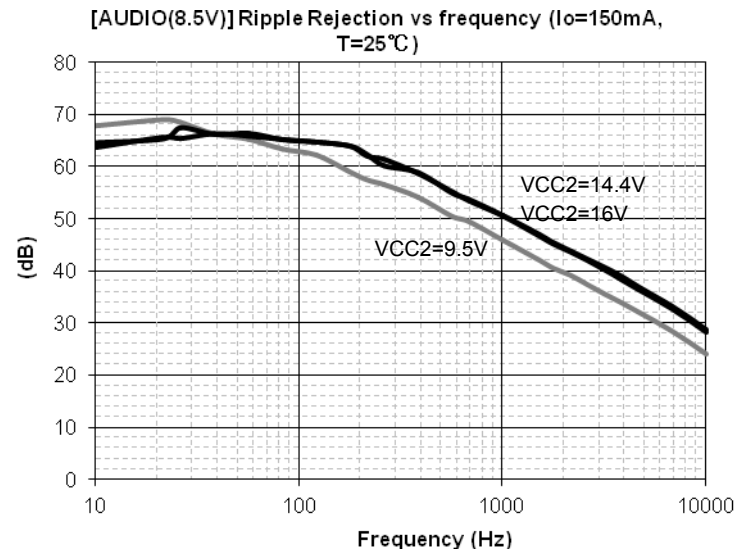
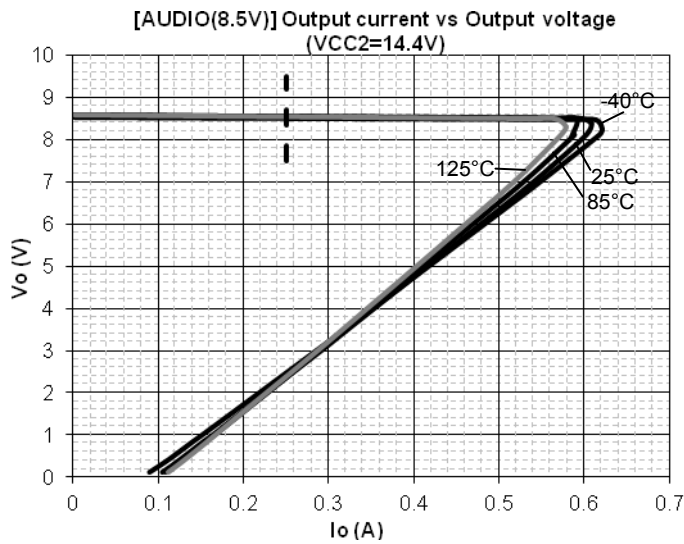
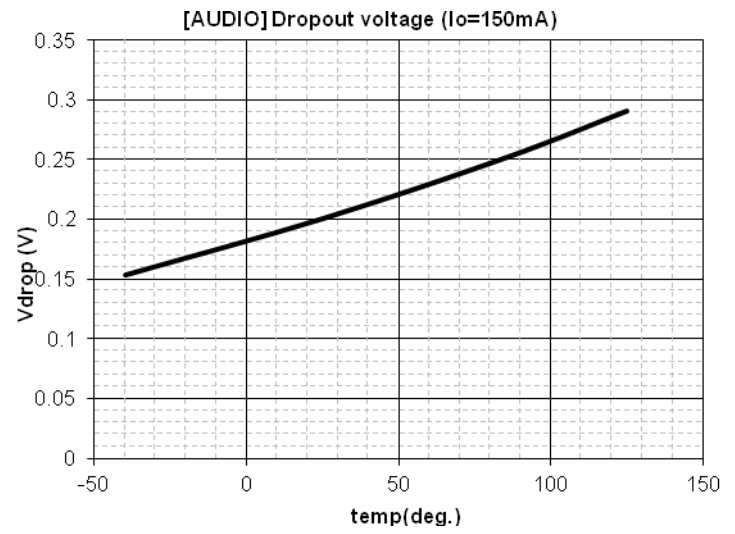
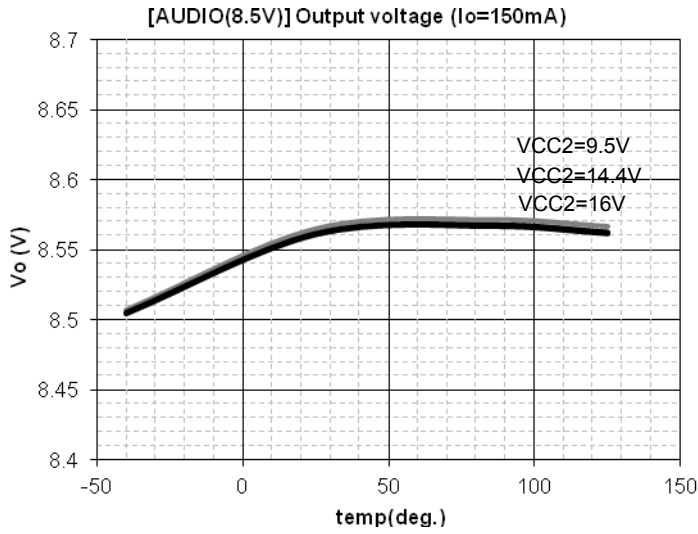
[CD(8V)] Output current vs Output voltage
(VCC2=14.4V)

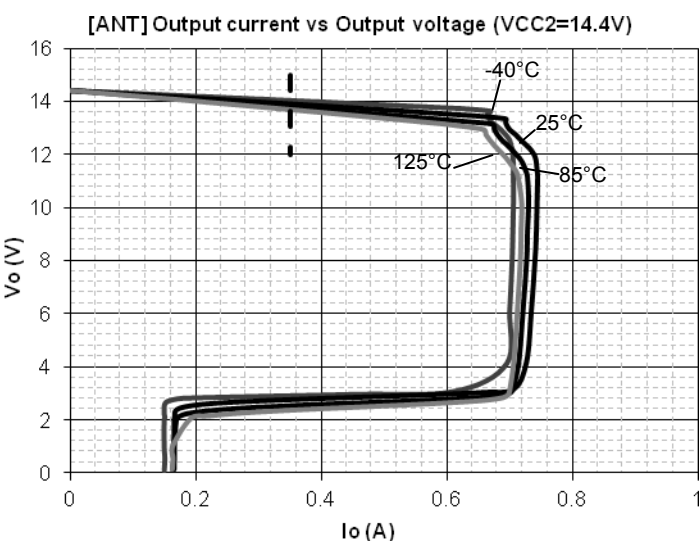
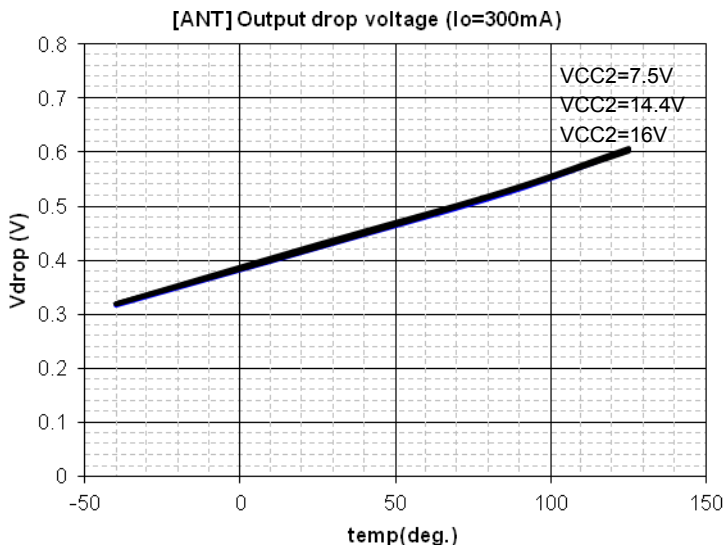


[CD(8V)] Ripple Rejection vs frequency (Io=1000mA, T=25°C)



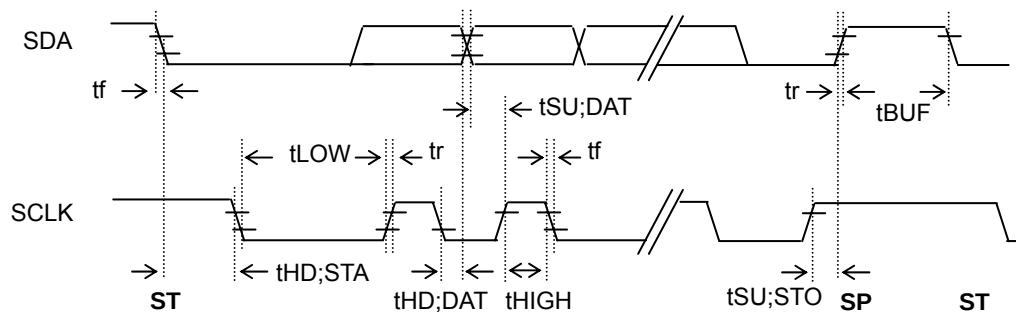
LV5685PV





I²C シリアルインターフェースタイミング

項目	記号	min	typ	max	unit
SCL クロック周波数	fSCL	0		400	kHz
ホールド時間、「START」条件	tHD;STA	0.6			us
SCL クロックの"L"期間	tLOW	1.3			us
SCL クロックの"H"期間	tHIGH	0.6			us
データホールド時間	tHD;DAT	0			us
データセットアップ時間	tSU;DAT	0.1			us
SDA 及び SCL 信号の立上がり時間	tr			0.3	us
SDA 及び SCL 信号の立下がり時間	tf			0.3	us
「STOP」条件のセットアップ時間	tSU;STO	0.6			us
「STOP」条件「START」条件との間の バス・フリー時間	tBUF	1.3			us
バス・ラインの容量性負荷	Cb			400	pF



I²C シリアルインターフェースフォーマット (MSB first)

本 IC の制御は I²C-BUS 制御方式を採用しており、SCL, SDA の 2 線により制御を行います。

通信プロトコルは、スタート条件・デバイスアドレス・サブアドレス・データ・ストップ条件となります。

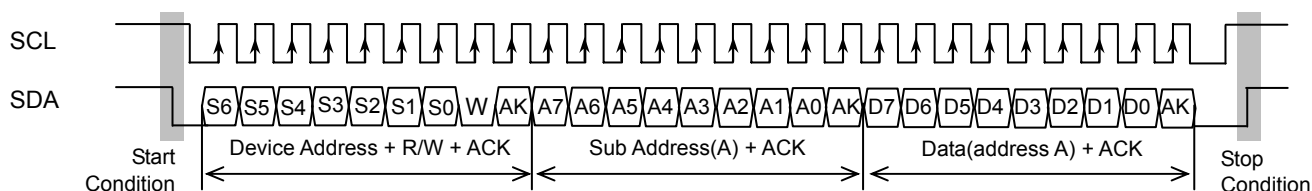
各 8bit の後には ACK bit が続き、受信側のデバイスが SDA ラインをプルダウンします。

本 IC はオートアドレスインクリメントに対応しません。(データの書き込みは 1 回の通信で 1 レジスタのみとなります。)

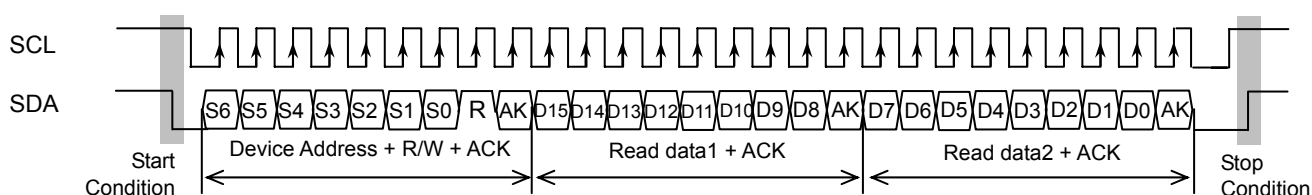
Read mode 時のプロトコルは、スタート条件・デバイスアドレス・データ 1・データ 2・ストップ条件となります。

(注) I²C-BUS 回路は VDD 出力を電源として動作するので、VDD 電圧が正常でない条件下では通信が不能になります。

Write mode



Read mode



・デバイスアドレス

S6	S5	S4	S3	S2	S1	S0	R/W
0	0	0	1	0	0	0	1/0

・レジスタマップ

Write

	D7	D6	D5	D4	D3	D2	D1	D0	init
PM	ILM_EN	CD_EN	AUDIO_EN	SW33_EN	EXT_EN	ANT_EN			00000000
VCTL	ILM_V1	ILM_V0	CD_V1	CD_V0	AUD_V1	AUD_V0	SW_V		00000000
DET	ACC_V1	ACC_V0	UVD_V1	UVD_V0	FLGMD1	FLGMD0			00000000

Read

	D15	D14	D13	D12	D11	D10	D9	D8	init
VCTL	ILM_V1	ILM_V0	CD_V1	CD_V0	AUD_V1	AUD_V0	SW_V	V6DET	00000000

	D7	D6	D5	D4	D3	D2	D1	D0	init
FLG	ACCUV	UV	OV	OVP	V6SDN	OC	0	0	00000000

LV5685PV

Write レジスタ説明

ADR	bit	Name	init	Description
00h	7	ILM_EN	0	ILM 出力制御 1: ON 0: OFF
	6	CD_EN	0	CD 出力制御 1: ON 0: OFF
	5	AUDIO_EN	0	AUDIO 出力制御 1: ON 0: OFF
	4	SW33_EN	0	SW33 出力制御 1: ON 0: OFF
	3	EXT_EN	0	EXT 出力制御 1: ON 0: OFF
	2	ANT_EN	0	ANT 出力制御 1: ON 0: OFF
	1		0	
	0		0	

ADR	bit	Name	init	Description
01h	[7:6]	ILM_V[1:0]	00	ILM 出力電圧制御(*) 11: 12V 10: 10.5V 01: 8V 00: 5V
	[5:4]	CD_V[1:0]	00	CD 出力電圧制御(*) 11: 8V 10: 7V 01: 6V 0: 5V
	[3:2]	AUD_V[1:0]	00	AUDIO 出力電圧制御(*) 11: 11.5V 10: 9V 01: 8.5V 00: 5V
	1	SW_V	0	SW33V 出力電圧制御(*) 1: 5V 0: 3.3V
	0		0	

* 出力電圧制御の設定は、対応する出力が"OFF"設定 (xxx_EN=0) の時のみ有効です。"ON"設定 (xxx_EN=1) の時は無視されます。

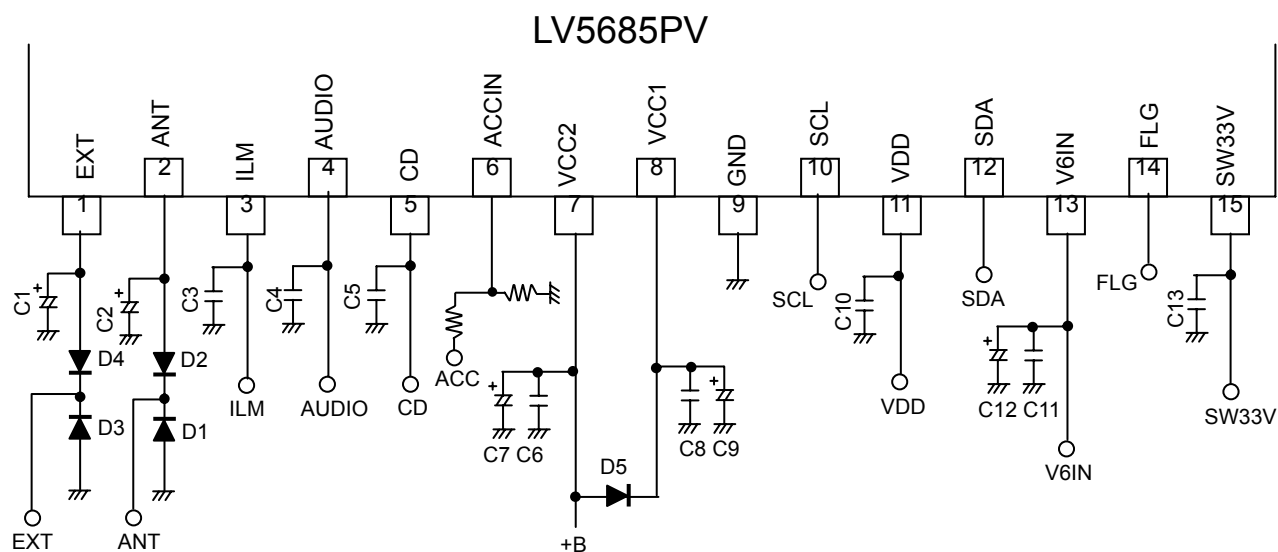
ADR	bit	Name	init	Description
02h	[7:6]	ACC_V[1:0]	00	ACC 検知電圧制御 11: 4.2V 10: 3.6V 01: 3.2V 00: 2.7V
	[5:4]	UVD_V[1:0]	00	UVDET 検知電圧制御 11: 9V 10: 7.8V 01: 7V 00: 6V
	[3:2]	FLGMD[1:0]	00	FLG 出力モード 11/10: BDET only, 01: ACC only 00:ACC/BDET
	1		0	
	0		0	

Read レジスタ説明

ADR	bit	Name	init	Description
	[15:14]	ILM_V[1:0]	00	ILM 出力電圧設定 11: 12V 10: 10.5V 01: 8V 00: 5V
	[13:12]	CD_V[1:0]	00	CD 出力電圧設定 11: 8V 10: 7V 01:6V 0: 5V
	[11:10]	AUD_V[1:0]	00	AUDIO 出力電圧設定 11: 11.5V 10: 9V 01: 8.5V 00: 5V
	9	SW_V	0	SW33V 出力電圧設定 1: 5V 0: 3.3V
	8	V6DET	0	V6INDET/VDD 供給元 1: V6IN 0: VCC1
	7	ACCUV	0	ACC 減電検出 1: Under Voltage 0: Normal
	6	UV	0	UV 検出 1: Under Voltage 0: Normal
	5	OV	0	OV 検出 1: Over Voltage 0: Normal
	4	OVP	0	OVP 検出 1: Over Voltage Protection 0: Normal
	3	V6SDN	0	V6IN 遮断検知 1: V6IN shutdown 0: V6IN applied
	2	OC	0	出力過電流 1: Over current 0: Normal
	1		0	
	0		0	

LV5685PV

■応用回路例



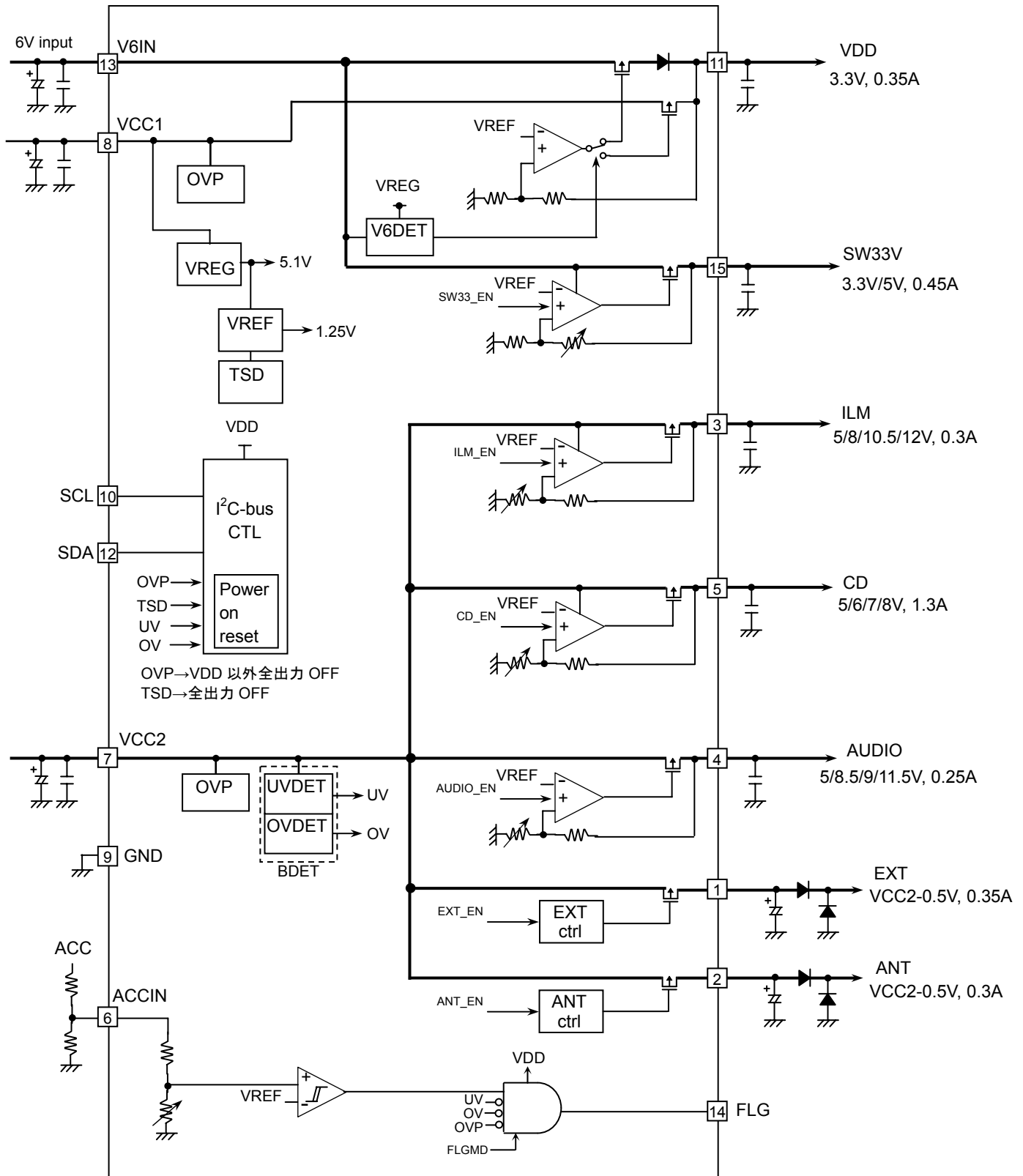
■周辺部品表

部品名	説明	推奨値	備考
C1, C2	EXT/ANT 出力安定用容量	2.2 μ F 以上	
C3, C4, C5, C10, C13	出力安定用容量	10 μ F 以上(*1)	
C7, C9, C12	電源バイパス用容量	C7: 100 μ F 以上 C9, C12: 47 μ F 以上	VCC, GND ピン近くに配置 して下さい
C6, C8, C11	発振防止用容量	0.22 μ F 以上	
D1, D2, D3, D4	内部素子保護用ダイオード	ON Semiconductor SB1003M3	
D5	逆流防止用ダイオード	ON Semiconductor SB1003M3	

(*1) 出力コンデンサは、電圧/温度変動および個体差を含めて、容量値 10 μ F 以上かつ ESR0.001~10 Ω を満たすこと。また、電解コンデンサは高周波特性の良いものを使用すること。

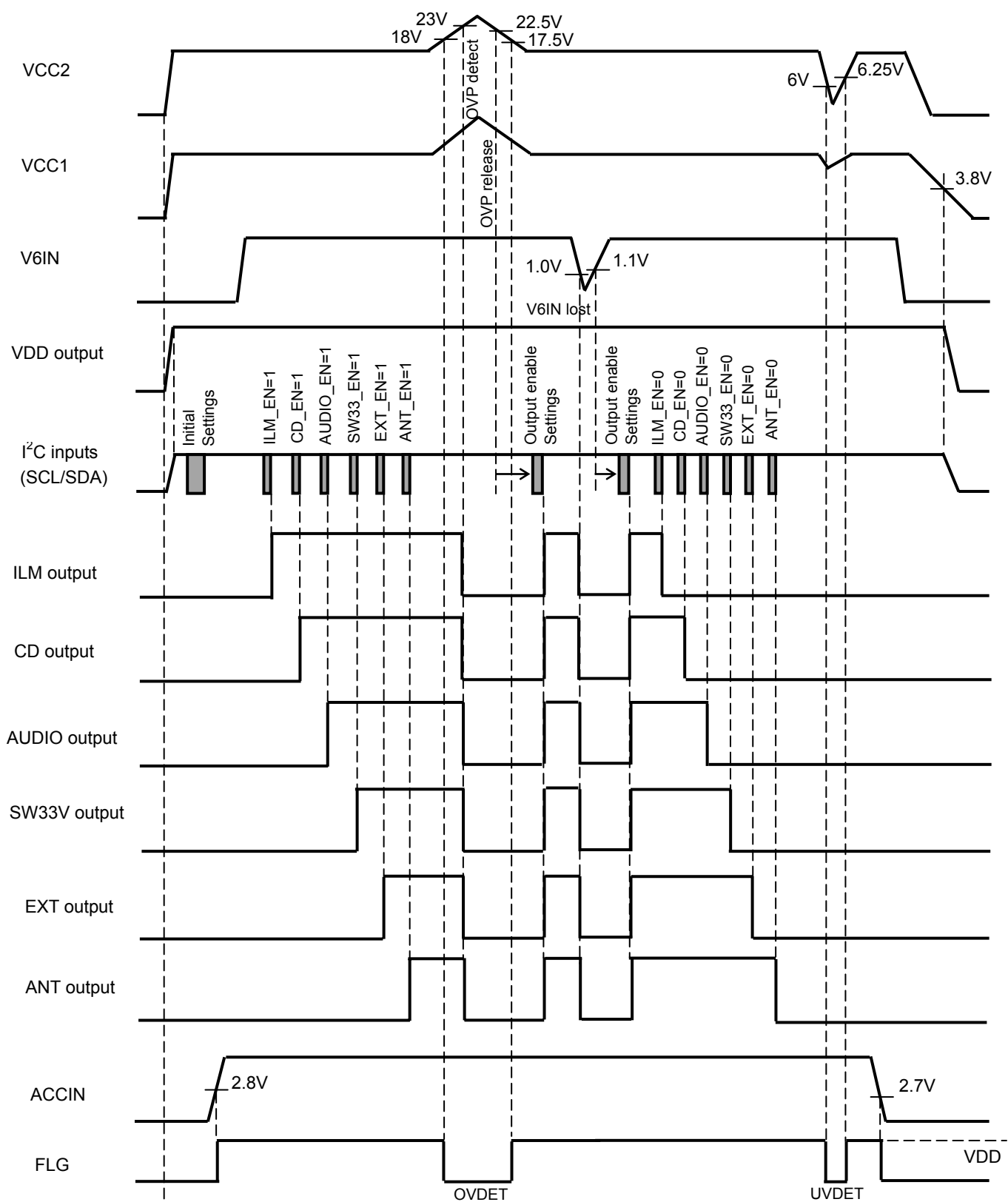
LV5685PV

■ ブロック図



LV5685PV

■ タイミングチャート



※上記数値は typ, 各電圧設定は default

動作説明・使用上の注意点

[スタンバイモード]

VCC1 が入力されると内部制御回路がリセットされ、スタンバイモードで起動します。

スタンバイモードでは以下の機能が有効です。

VDD(3.3V)出力

I²C 通信 (PM レジスタ以外)

過電圧保護 (OVP)/UVDET/OVDET/ACC 検知、FLG 出力

過熱保護 (TSD)

[VCC1/VCC2/V6IN]

VCC1 は、VDD 出力および基準電圧や内部制御回路などの共通回路の電源入力であり、デバイスの動作に必ず必要です。

VCC2 は ILM/CD/AUDIO/EXT/ANT 出力用の電源入力です。

LV5685PV は VCC1, 2 及び ACCIN 端子について 50V のサージ入力耐性を備えていますが、セットの安全設計のために、バッテリーへ接続するラインにはサージを吸収するためのパワーツェナー等のクランプ素子を追加することを推奨いたします。

LV5685PV はバッテリー逆接続に対する保護を備えていませんので、デバイスに負電圧が印加されないようショットキーダイオードを追加することを推奨いたします。

V6IN は SW33V 出力用の電源入力です。V6IN 電圧が 4.85V を超えた時は VDD 出力の電源にもなります。

VCC2 および V6IN が入力されると ILM/CD/AUDIO/SW33V/EXT/ANT 出力をイネーブルに設定可能となります。

V6IN 電圧<1.1V(typ) (max:1.5V) の状態では上記出力のイネーブル設定は受け付けられません。

[コントロール]

LV5685PV の各機能は I²C-bus で制御されます。詳細は「I²C シリアルインターフェースフォーマット」の項を参照してください。

[リニアレギュレータ]

VDD 出力

VDD 出力は制御の状態に関係なく VCC1 が印加されている限り常時アクティブです。V6IN 電圧が 4.85V (typ) 以上になると VDD 出力の駆動は VCC1 から V6IN にスイッチします。詳細は「VDD レギュレータ動作説明」の項を参照してください。

SW33V/CD/AUDIO/ILM 出力

各出力は I²C-bus により個別に ON/OFF させることができます。

各出力は、出力電圧を I²C-bus により選択することが可能です。出力電圧設定は必ず該当出力をイネーブルにする前に行って下さい。出力電圧設定を変更する場合は一度出力をディセーブルにした後に行ってください。レギュレータ出力が動作中に電圧が切替わらないようにするため、出力電圧設定は対応する出力が“OFF”設定 (xxx_EN=0) の時のみ有効となる論理になっています。“ON”設定 (xxx_EN=1) の時は無視されます。

出力電圧設定の状態は I²C-bus の READ (VCTL レジスタ) により確認することができます。万一通信エラー等が発生し誤ったコマンドデータを受信した場合でも意図しない出力電圧にならないようにするため、レギュレータ出力をイネーブルにする直前に VCTL レジスタ を READ し正しい設定か確認することを推奨します。

各出力は過負荷状態になると出力電流制限を行います。デバイスへかかるストレスを低減するため、リミット電流値は出力電圧の低下に従って小さくなります (フの字型電流制限)。

LV5685PV のレギュレータは全て P チャンネル LDMOS 出力の LDO です。出力コンデンサの選択する際は、出力電圧起動時間、過渡応答、安定性の 3 つを主に考慮する必要があります。コンデンサの値やタイプはコスト、サイズ、温度特性、調達性などの制約があります。タンタル、アルミ電解、フィルム、セラミックコンデンサは全て使用可能ですが、ESR の制約には注意が必要です。アルミ電解コンデンサは最も安価ですが、低温 (-25~-40°C) にて容量値や ESR 値がかなり変動します。この特性についてはコンデンサメーカーのデータシートを参照してください。

[ハイサイドスイッチ]

ANT/EXT は VCC2 連動のハイサイドスイッチです。各出力は I²C-bus により個別に ON/OFF させることができます。

各出力は過負荷状態になると出力電流制限を行います。デバイスへかかるストレスを低減するため、出力電圧が 2.5V (typ) 以下になるとリミット電流値は小さい値にシフトします。

これらの出力が誘導性の負荷もしくは異なる接地電位を持つ負荷に接続される場合は、デバイスを負電圧から保護するためにダイオード (D1-4) を追加する必要があります。

[過電流制限]

レギュレータ出力 (VDD/SW33V/ILM/CD/AUDIO) およびハイサイドスイッチ出力 (EXT/ANT) はフォールドバック型電流制限回路を内蔵しており、出力の短絡からデバイスを保護します。

各出力 (VDD 出力以外) のいずれかが過電流制限状態になると、I²C-bus の FLG レジスタ 0C bit が 1 にセットされます。

[FLG 出力]

FLG 出力は、複数の検知結果を組合せた CMOS レベルのロジック出力です。

FLG 出力は以下の全条件を満たす時 High (VDD 電圧) となります。

		FLGMD[1:0]		
	Conditions	00	01	10 or 11
ACC	ACC 入力 > ACC 検知電圧	✓	✓	ignored
BDET	VCC2 電圧 > UVDET 閾値	✓	ignored	✓
	VCC2 電圧 < OVDET 閾値	✓	ignored	✓
OVP	VCC1 < OVP 閾値 かつ VCC2 < OVP 閾値	✓	ignored	✓
TSD	チップ温度 < 175°C (typ)	✓	✓	✓
	VDD 出力電流 < I _{omax}	✓	✓	✓

(注) I²C-bus の FLG レジスタの各 bit は FLGMD[1:0] の設定にかかわらず有効です。

[検出回路]**減電圧検知 (UVDET)**

VCC2 電圧が設定値(UVD_V[1:0])以下になると減電圧検知し、I²C-bus の FLG レジスタ UV bit が 1 にセットされます。また、FLGMD[1:0]=01 以外の時は UVDET 検出時に FLG 出力=Low となります。減電圧検知しても各出力は停止しません。

過電圧検知 (OVDET)

VCC2 電圧が 18V(typ)以上に達すると過電圧検知し、I²C-bus の FLG レジスタ OV bit が 1 にセットされます。また、FLGMD[1:0]=01 以外の時は OVDET 検出時に FLG 出力=Low となります。過電圧検知しても各出力は停止しません。

ACC 減電検知

ACCIN 電圧が設定値(ACC_V[1:0])以下になると減電圧検知し、I²C-bus の FLG レジスタ ACCUV bit が 1 にセットされます。また、FLGMD[1:0]=00or01 の時は ACC 減電検出時に FLG 出力=Low となります。ACC 減電検知しても各出力は停止しません。

過電圧保護 (OVP)

VCC1 または VCC2 が 23V(typ)以上に達すると OVP 検出し、I²C-bus の FLG レジスタ OVP bit が 1 にセットされます。また、VDD 以外の全出力が自動的に停止します。VCC1 および VCC2 が 22.5V(typ)以下に復帰すると OVP 解除されます。但し、一度 OVP 検知すると I²C-bus の PM レジスタがリセットされるため、OVP 解除しても各出力は停止したままとなります(ラッチオフ)。FLGMD[1:0]=01 以外の時は OVP 検出時に FLG 出力=Low となります。

V6IN 遮断検知

V6IN 電圧が 1.0V(typ)以下に低下すると V6IN 遮断を検知し、I²C-bus の FLG レジスタ V6SDN bit が 1 にセットされます。また、VDD 以外の全出力が自動的に停止します。一度 V6IN 遮断検知すると、I²C-bus の PM レジスタがリセットされるため、V6IN 電圧が復帰しても各出力は停止したままとなります(ラッチオフ)。

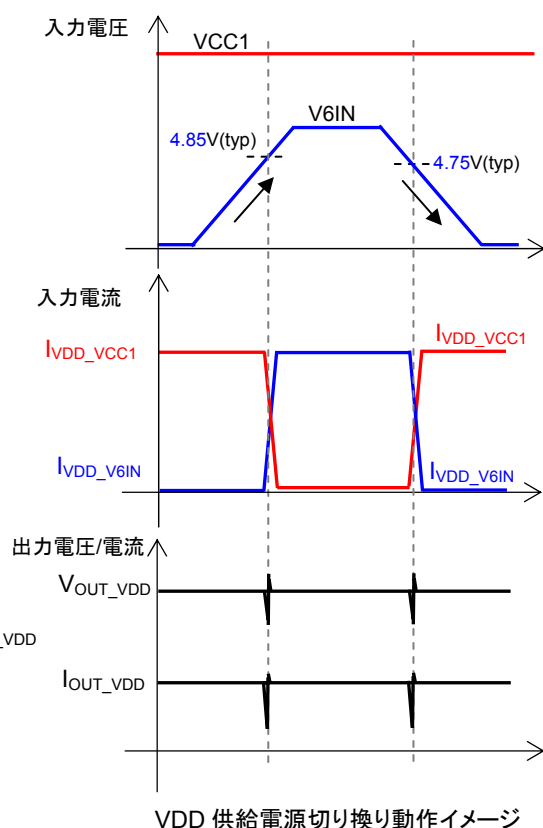
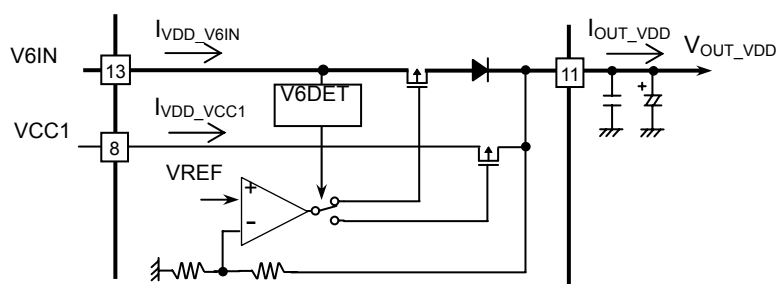
過熱保護(サーマルシャットダウン)

デバイスを過熱から保護するため、ジャンクション温度が約 175°C(typ)を超えると制御の状態に関係なく全出力を停止します。ジャンクション温度が約 145°C(typ)未満になると、VDD 出力は自動復帰し I²C-bus による制御が可能になります。定格(Tjmax=150°C)を超える領域での動作となるため、本 IC の過熱保護機能を利用した製品設計は行わないで下さい。

VDD レギュレータ動作説明

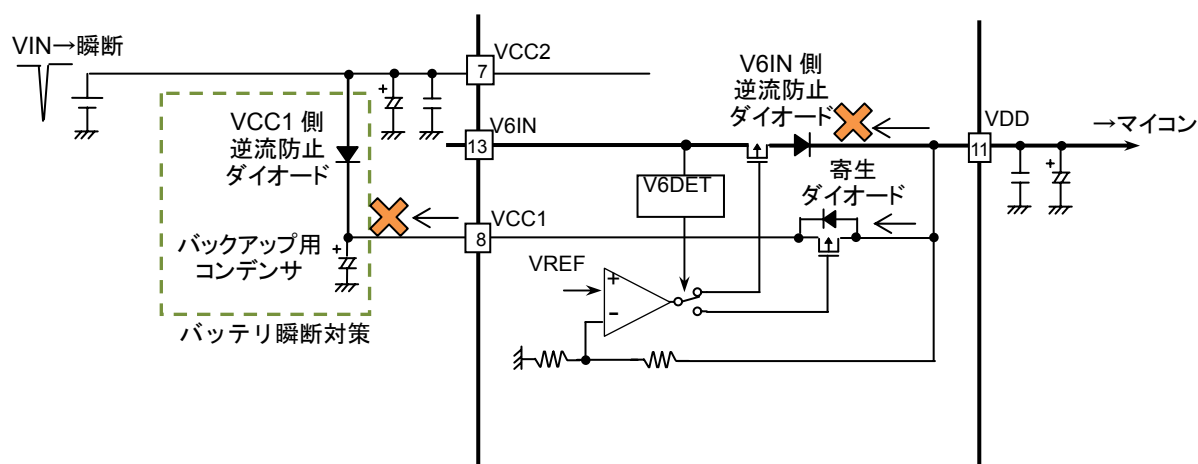
・入力切替動作

VDD レギュレータはサーマルシャットダウン (TSD) 作動時以外、常時動作する出力です。VDD レギュレータには入力系統が VCC1 と V6IN の2つあります。VCC1 は高耐圧入力でバッテリーを接続することが可能です。また V6IN は低電圧入力であり、外部 DC/DC コンバータを供給元とすることで IC での消費電力を低減することが出来ます。VCC1 と V6IN の供給経路は V6IN 電圧値に応じて自動で切替わります。V6IN が 4.85V (typ) 以上のとき V6IN が供給源となります。供給源切替わり時には出力にリップルが発生する場合があります。このリップルは出力容量で改善することが出来ます。出力容量に関しては使用条件に合ったものを選択してください。



・バッテリー瞬断時逆流電流対策

IC 内部には VDD 出力から VCC1 への逆流電流を防止する機能が搭載されていません。そのためバッテリー瞬断時 VDD 電圧を保持するために外付け回路で対策する必要があります。VDD から V6IN へは逆流防止用のダイオードが内蔵されていますので、VCC2-VCC1 入力間に下図の様にダイオードを挿入してください。



■端子説明

端子番号	端子名	機能	等価回路
1	EXT	EXT 出力端子 VCC2~0.5V/350mA	
2	ANT	ANT 出力端子 VCC2~0.5V/300mA	
3	ILM	ILM出力端子 5V~12V	
4	AUDIO	AUDIO出力端子 5V~11.5V	

次ページへ続く。

LV5685PV

前ページより続く。

端子番号	端子名	機能	等価回路
5	CD	CD出力端子 5V~8V/1.3A	
6	ACCIN	ACC検出入力端子	
7	VCC2	電源端子	
8	VCC1	電源端子	
9	GND	GND端子	
13	V6IN	電源端子	
10	SCL	I ² C クロック入力端子	
11	VDD	VDD出力端子 3.3V/0.35A	

次ページへ続く。

LV5685PV

前ページより続く。

端子番号	端子名	機能	等価回路
12	SDA	I ² C データ入力端子	
14	FLG	FLG出力端子	
15	SW33V	SW33V出力端子 3.3V/5V 0.45A	

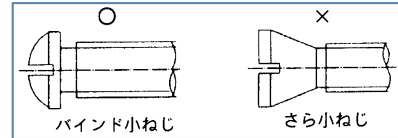
HZIP15 放熱板の取付けについて

半導体デバイスの発熱を外部へ放熱し、接合部温度を下げる目的で放熱板を使用しますが、その放熱板を取付ける際の注意点を示します。

a. 指定のないものについては、ヒートシンクにはんだ付けしないこと

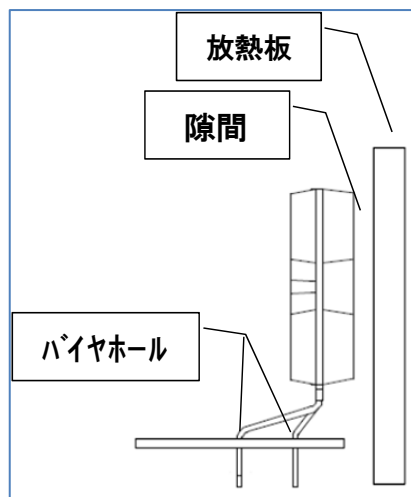
b. 放熱板の取付けについて

- ・ 平ねじを使用
- ・ ワッシャを併用（パッケージの保護）
- ・ 締付けトルクは $39 \sim 59 \text{ N} \cdot \text{cm}$ ($4 \sim 6 \text{ kg} \cdot \text{cm}$) の範囲内
- ・ タッピングねじを使用する場合は半導体デバイス取付け部の穴径より太いものを使用しない
- ・ 放熱板と半導体デバイスのタブやヒートシンクの間に、**隙間を作らない。**
- ・ **バイヤホールの位置に注意する**
- ・ クズ、ゴミ等をはさまない
- ・ 放熱板はプレス・バリやねじ穴のバリがないことを確認する
- ・ 放熱板および基板の反りは凸および凹ともにねじ穴間隔で 0.05 mm 以下
- ・ ねじれについては最大 0.05 mm 以下
- ・ **放熱板と半導体デバイスは平行に取り付ける**



電動ドライバーまたはエアードライバーを使用する際

- ・ 回転数の目安：max 700rpm～typ 400rpm



c. シリコングリスの塗布について

- ・放熱板取付け時はシリコングリスを使用し、均一に塗布する
- ・弊社推奨シリコングリス：YG-6260
(モメンティブ・パフォーマンス・マテリアルズ・ジャパン合同会社製)

d. 基板実装時の注意事項

- ・半導体デバイスは、放熱板を取付けた後、プリント基板に実装する
- ・プリント基板に実装後、放熱板を取付ける場合は、ネジ締め時に半導体デバイス、外部端子に無理な機械的ストレスが掛からないように実装に合った設計をする

e. 固定金具等を使用して放熱板へ半導体デバイスを取付ける場合の注意事項

- ・固定金具や位置決めダボ等への乗り上げが無いこと
- ・固定金具は半導体デバイスに無理な機械的ストレスが掛からないような設計

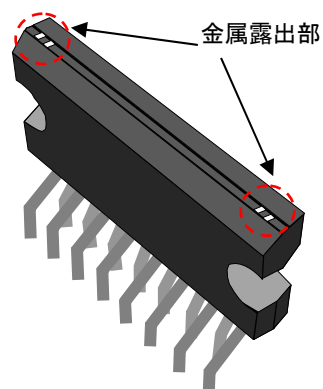
f. 放熱板のねじ穴径について

- ・放熱板の面取り・ダレは使用するねじ頭径より大きくしない
- ・ナット止めの場合は、放熱板の穴径は使用するねじ頭径より大きくしない
(ビス径に対し+15%程度の穴径が望ましい)。
- ・タッピングねじ止めの場合は、放熱板の穴径は小さすぎないようにする
(ビス径に対し-15%程度の穴径が望ましい)。

g. 半導体デバイスをスプリングバンドを使用して放熱板に取り付ける方法は、スプリング力の経時変化や振動等による位置ズレの可能性があるため推奨していません

・セット基板への IC 取付け時の注意点

本製品のパッケージ「HZIP15」には右図に示す通り接続端子と背面放熱部(ヒートシンク)以外に、一部金属が露出している箇所があります(右図参照)。これらはヒートシンクに導通しており、IC チップのサブ基板(GND)とも同電位となります。セット基板の GND 電位と接触しても問題はありませんが、他電位のノードに接触しないように注意して下さい。



ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LV5685PV-XH	HZIP15 (Pb-Free / Halogen Free)	20 / Fan-Fold

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC(SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起り得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。