



LC87F5NC8A

CMOS LSI

8-bit Microcontroller

128K-byte Flash ROM / 4096-byte RAM / 100-pin

ON Semiconductor®

<http://onsemi.jp>

概要

LC87F5NC8A は、最小バスサイクルタイム 83.3ns で動作する CPU 部を中心にして、128K バイトのフラッシュ ROM(オンボード書き換え可能), 4096 バイト RAM, オンチップデバッグ機能, 高機能 16 ビットタイマ/カウンタ(8 ビットタイマに分割可), 16 ビットタイマ/カウンタ(8 ビット分割可, 8 ビット PWM 可), プリスケラ付き 8 ビットタイマ×4, 時計用ベースタイマ, 高速クロックカウンタ, 自動転送機能付き同期式 SIO×2, 非同期/同期式 SIO×1, UART×2(全二重), 8 ビット 15 チャンネル AD コンバータ, 12 ビット PWM×4, システムクロック分周機能, 29 要因 10 ベクタ割り込み機能等を 1 チップに集積した 8 ビットマイクロコントローラである。

特長

フラッシュROM

- ・電源電圧 3.0~5.5V の幅広いオンボード書き込みが可能
- ・128 バイト単位でのブロック消去可能。
- ・131072×8 ビット

RAM

- ・4096×9 ビット

最小バスサイクルタイム

- ・83.3ns(12MHz) $V_{DD}=2.8\sim 5.5V$
- ・125ns(8MHz) $V_{DD}=2.5\sim 5.5V$
- ・500ns(2MHz) $V_{DD}=2.2\sim 5.5V$

(注)バスサイクルタイムは ROM の読み出し速度を表す。

最小命令サイクルタイム(tCYC)

- ・250ns(12MHz) $V_{DD}=2.8\sim 5.5V$
- ・375ns(8MHz) $V_{DD}=2.5\sim 5.5V$
- ・1.5 μ s(2MHz) $V_{DD}=2.2\sim 5.5V$

この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

LC87F5NC8A

ポート

- ・ ノーマル耐圧入出力ポート
 - 1 ビット単位で入出力指定可能 64(P1n, P2n, P3n, P70 ~ P73, P8n, PAn, PBn, PCn, S2Pn, PWM0, PWM1, XT2)
 - 2 ビット単位で入出力指定可能 16(PEn, PFn)
 - 4 ビット単位で入出力指定可能 8(P0n)
- ・ ノーマル耐圧入力ポート 1(XT1)
- ・ 発振専用ポート 2(CF1, CF2)
- ・ リセット端子 1($\overline{\text{RES}}$)
- ・ 電源端子 8($V_{SS1} \sim 4, V_{DD1} \sim 4$)

タイマ

- ・ タイマ 0 : キャプチャレジスタ付の 16 ビットのタイマ/カウンタ
 - モード 0 : 8 ビットプログラマブルプリスケアラ付 8 ビットタイマ (8 ビットキャプチャレジスタ付) × 2 チャンネル
 - モード 1 : 8 ビットプログラマブルプリスケアラ付 8 ビットタイマ (8 ビットキャプチャレジスタ付) + 8 ビットカウンタ (8 ビットキャプチャレジスタ付)
 - モード 2 : 8 ビットプログラマブルプリスケアラ付 16 ビットタイマ (16 ビットキャプチャレジスタ付)
 - モード 3 : 16 ビットカウンタ (16 ビットキャプチャレジスタ付)
- ・ タイマ 1 : PWM/トグル出力可能な 16 ビットのタイマ/カウンタ
 - モード 0 : 8 ビットプリスケアラ付 8 ビットタイマ (トグル出力付) + 8 ビットタイマ/カウンタ (トグル出力付)
 - モード 1 : 8 ビットプリスケアラ付 8 ビット PWM × 2 チャンネル
 - モード 2 : 8 ビットプリスケアラ付 16 ビットタイマ/カウンタ (トグル出力付) (下位 8 ビットからもトグル出力可能)
 - モード 3 : 8 ビットプリスケアラ付 16 ビットタイマ (トグル出力付) (下位 8 ビットは PWM として使用可能)
- ・ タイマ 4 : 6 ビットプリスケアラ付 8 ビットタイマ
- ・ タイマ 5 : 6 ビットプリスケアラ付 8 ビットタイマ
- ・ タイマ 6 : 6 ビットプリスケアラ付 8 ビットタイマ (トグル出力付)
- ・ タイマ 7 : 6 ビットプリスケアラ付 8 ビットタイマ (トグル出力付)
- ・ ベースタイマ
 - クロックは、サブクロック (32.768kHz 水晶発振), システムクロック, タイマ 0 のプリスケアラ出力から選択できる。
 - 5 種類の時間での割り込み発生が可能。

高速クロックカウンタ

最高 24MHz のクロックをカウントできる (メインクロック 12MHz 使用時)
リアルタイム出力

LC87F5NC8A

シリアルインタフェース

- ・ SI00 : 8ビット同期式シリアルインタフェース
 - LSB先頭/MSB先頭切換え可能
 - 8ビットポーレートジェネレータ内蔵(最大転送クロック周期4/3tCYC)
 - 連続自動データ通信(1~256ビットまでビット単位で切換え可能、バイト単位で転送途中停止・再開が可能)
- ・ SI01 : 8ビット非同期/同期式シリアルインタフェース
 - モード0 : 同期式8ビットシリアルI/O(2線式または3線式, 転送クロック2~512tCYC)
 - モード1 : 非同期シリアルI/O
 - (半二重, データ8ビット, ストップビット1, ポーレート8~2048tCYC)
 - モード2 : バスモード1(スタートビット, データ8ビット, 転送クロック2~512tCYC)
 - モード3 : バスモード2(スタート検出, データ8ビット, ストップ検出)
- ・ SI02 : 8ビット同期式シリアルインタフェース
 - LSB先頭
 - 8ビットポーレートジェネレータ内蔵(最大転送クロック周期4/3tCYC)
 - 連続自動データ通信(1~32バイト)

UART : 2チャンネル

全二重通信

データ長7/8/9ビット切換え

ストップビット1ビット(連続送信時は2ビット)

ビットポーレートジェネレータ内蔵(ポーレート { 16/3 ~ 8192/3 } tCYC)

ADコンバータ : 8ビット×15チャンネル

PWM : 周期可変12ビットPWM×4チャンネル

リモコン受信回路(P73/INT3/T0IN端子と共用)

- ・ ノイズ除去機能(ノイズ除去フィルタの時定数選択1/32/128tCYC)
- ・ ノイズ除去機能は P73 の INT3 信号および T0IN 信号, T0HCP 信号に対して有効である。P73 を命令で読み込むとノイズ除去機能に関係なく端子レベルを読み込む。

ウォッチドッグタイマ

- ・ RC 外付けによるウォッチドッグタイマ
- ・ 割り込み, リセットの選択可能

クロック出力機能

システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を出力可能

サブクロックの源発振クロックを出力可能

LC87F5NC8A

割り込み

・29要因10ベクタ

割り込みは低レベル(L),高レベル(H),最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。

2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	XまたはL	INT0
2	0000BH	XまたはL	INT1
3	00013H	HまたはL	INT2/T0L/INT4
4	0001BH	HまたはL	INT3/INT5/ベースタイマ 0/ベースタイマ 1
5	00023H	HまたはL	T0H/INT6
6	0002BH	HまたはL	T1L/T1H/INT7
7	00033H	HまたはL	SIO0/UART1 受信/UART2 受信
8	0003BH	HまたはL	SIO1/SIO2/UART1 送信/UART2 送信
9	00043H	HまたはL	ADC/T6/T7/PWM4,5
10	0004BH	HまたはL	ポート 0/T4/T5/PWM0,1

・優先レベル X>H>L

・同一レベルではベクタアドレスの小さいものが優先

サブルーチンスタックレベル：最大2048レベル(スタックはRAMの中に設定)

高速乗除算命令

- ・16ビット×8ビット (実行時間：5tCYC)
- ・24ビット×16ビット (実行時間：12tCYC)
- ・16ビット÷8ビット (実行時間：8tCYC)
- ・24ビット÷16ビット (実行時間：12tCYC)

発振回路

- ・RC発振回路(内蔵) : システムクロック用
- ・CF発振回路 : システムクロック用,Rf内蔵
- ・水晶発振回路 : 低速システムクロック用
- ・周波数可変RC発振回路(内蔵) : システムクロック用

システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルで 250ns,500ns,1.0μs,2.0μs,4.0μs,8.0μs,16.0μs,32.0μs,64.0μs の選択が可能(メインクロック12MHz使用時)

LC87F5NC8A

スタンバイ機能

- ・ HALTモード：命令実行停止,周辺回路動作継続
発振の停止は自動的には行わない。
システムリセットまたは割り込みの発生により解除。
- ・ HOLDモード：命令実行停止,周辺回路動作停止
CF発振,RC発振,水晶発振のいずれも自動的に停止する。
HOLDモードを解除するには次の3つの方法がある。
(1)リセット端子に「L」レベルを入力する。
(2)INT0, INT1, INT2, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
- ・ X'tal HOLDモード：命令実行停止,ベースタイム以外の周辺回路動作停止
CF発振,RC発振は自動的に停止する。
水晶発振は突入時の状態を維持する。
X'tal HOLDモードを解除するには次の4つの方法がある。
(1)リセット端子に「L」レベルを入力する。
(2)INT0, INT1, INT2, INT4, INT5の少なくとも1つの端子に指定されたレベルを入力する。
(3)ポート0で割り込み要因が成立する。
(4)ベースタイム回路で割り込み要因が成立する。

オンチップデバッグ機能

- ・ ターゲット基板に実装状態でソフトデバッグ可能

出荷形態

- ・ QIP100E(14×20)：『鉛フリー仕様品』

開発ツール

- ・ エバチップ : LC87EV690
- ・ エミュレータ : EVA62S + ECB876600D + SUB875C00 + POD100QFP
: ICE-B877300 + SUB75C00 + POD100QFP
- ・ オンチップデバッグ : TCB87-TypeB + LC87F5NC8A

書き込み基板

パッケージ	書き込み基板
QIP100E(14×20)	W87F52256Q

フラッシュライタ

メーカー	モデル	対応バージョン	デバイス
フラッシュサポート グループ(シングル)	AF9708/09/09B	Rev.02.73 以降	LC87F76C8A
フラッシュサポート グループ(ギヤング)	AF9723	Rev.02.29 以降	LC87F5NC8A
	AF9833	Rev.01.88 以降	
当社	SKK/SKK Type-B/ SKK DBG Type-B (SANYO FWS)	Application Version 1.04 以降 Chip Data Version 2.10 以降	LC87F5NC8A

(AFシリーズについてのお問い合わせ先)

フラッシュサポートグループ株式会社

TEL : 053-459-1030

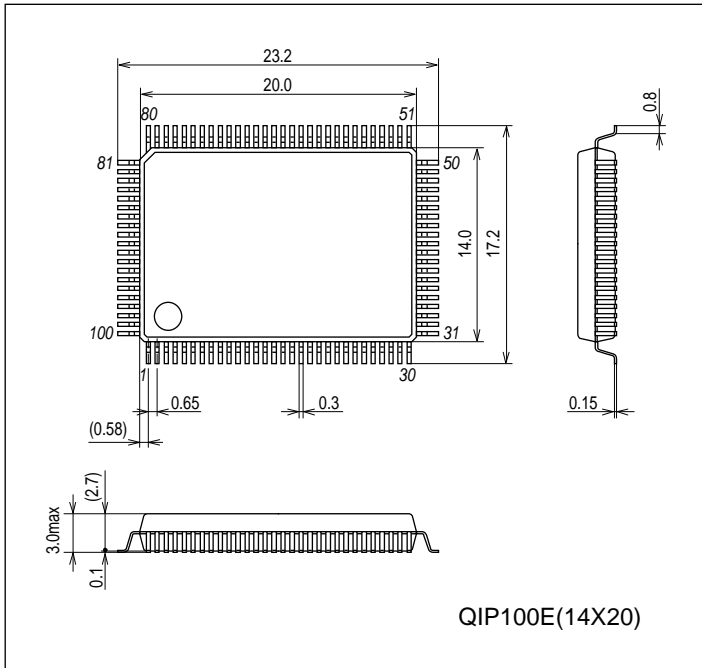
E-mail : sales@j-fsg.co.jp

LC87F5NC8A

外形図

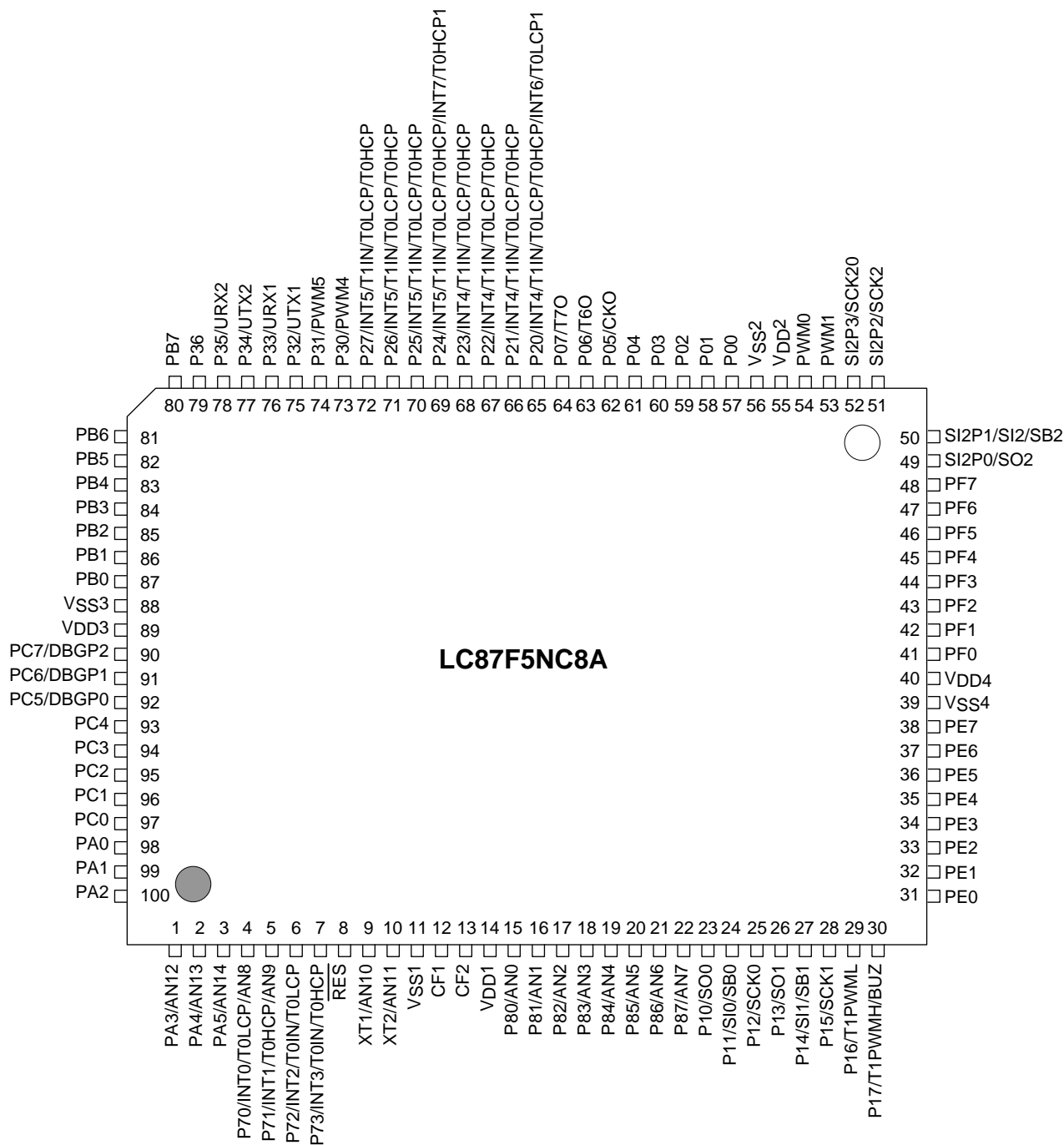
unit:mm (typ)

3151A



LC87F5NC8A

ピン配置図

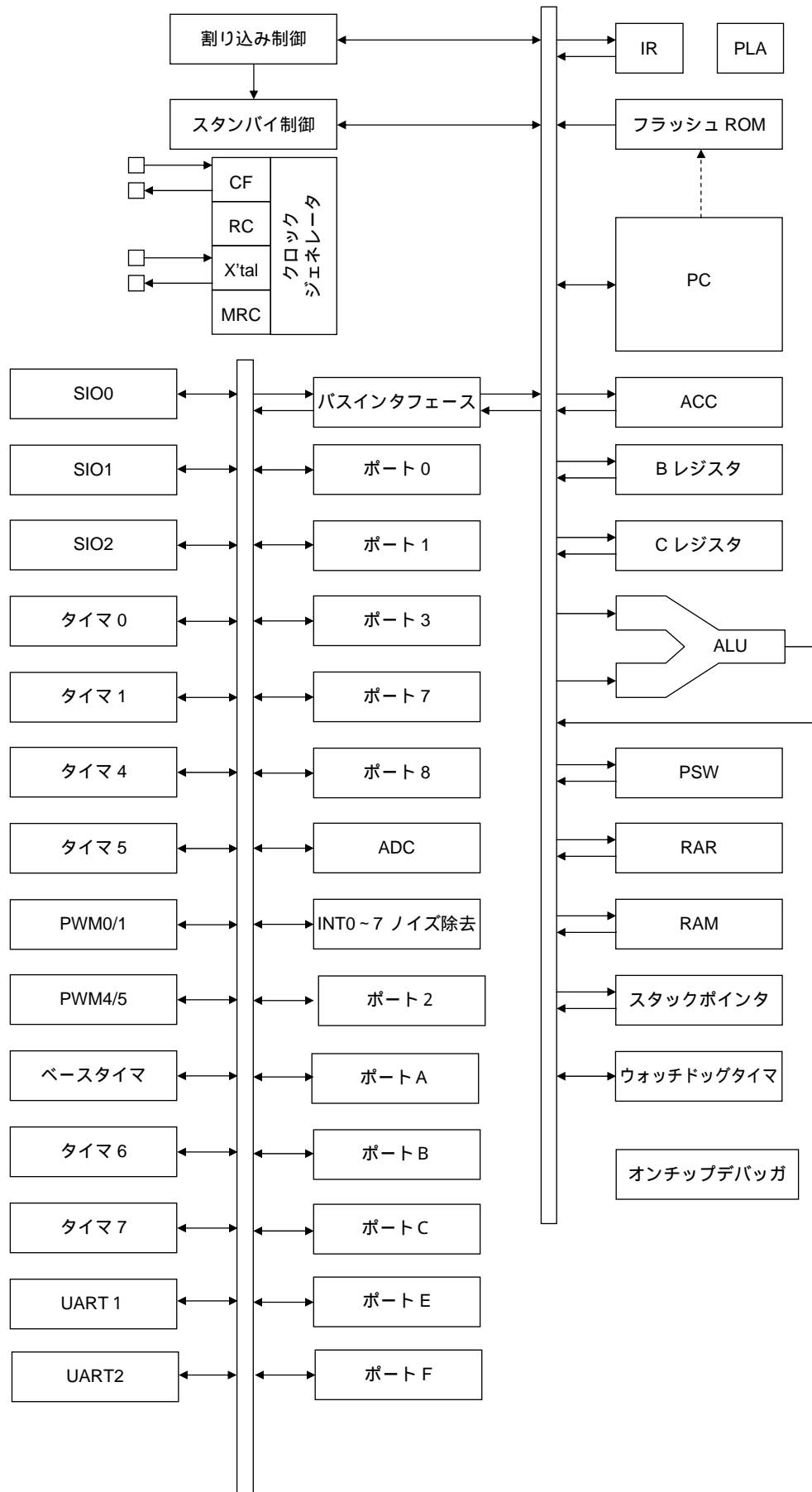


Top view

Q1P100E(14×20) 『鉛フリー仕様品』

LC87F5NC8A

システムブロック図



LC87F5NC8A

端子機能表

端子名	I/O	機能説明	オプション																														
VSS1, VSS2, VSS3, VSS4	-	電源の - 端子	なし																														
VDD1, VDD2, VDD3, VDD4	-	電源の + 端子	なし																														
ポート 0 P00 ~ P07	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 4 ビット単位の入出力指定可能 ・ 4 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ HOLD 解除入力 ・ ポート 0 割り込み入力 ・ 端子機能 <ul style="list-style-type: none"> P05 : システムクロック出力(システムクロック/サブクロック選択可能) P06 : タイマ 6 トグル出力 P07 : タイマ 7 トグル出力 	あり																														
ポート 1 P10 ~ P17	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P10 : SI00 データ出力 P11 : SI00 データ入力/バス入出力 P12 : SI00 クロック入出力 P13 : SI01 データ出力 P14 : SI01 データ入力/バス入出力 P15 : SI01 クロック入出力 P16 : タイマ 1PWML 出力 P17 : タイマ 1PWML 出力/ブザー出力 	あり																														
ポート 2 P20 ~ P27	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のパルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P20 : INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力/ INT6 入力/タイマ 0L キャプチャ 1 入力 P21 ~ P23 : INT4 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 P24 : INT5 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力/ INT7 入力/タイマ 0H キャプチャ 1 入力 P25 ~ P27 : INT5 入力/HOLD 解除入力/タイマ 1 イベント入力/ タイマ 0L キャプチャ入力/タイマ 0H キャプチャ入力 <p>インタラプト受付形式</p> <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 10%;"></th> <th style="width: 15%;">立ち上がり</th> <th style="width: 15%;">立ち下がり</th> <th style="width: 15%;">立ち上がり 立ち下がり</th> <th style="width: 15%;">H レベル</th> <th style="width: 15%;">L レベル</th> </tr> </thead> <tbody> <tr> <td>INT4</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> </tr> <tr> <td>INT5</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> </tr> <tr> <td>INT6</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> </tr> <tr> <td>INT7</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> <td style="text-align: center;">x</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル	INT4	x	x	x	x	x	INT5	x	x	x	x	x	INT6	x	x	x	x	x	INT7	x	x	x	x	x	あり
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル																												
INT4	x	x	x	x	x																												
INT5	x	x	x	x	x																												
INT6	x	x	x	x	x																												
INT7	x	x	x	x	x																												

次ページへ続く。

LC87F5NC8A

前ページより続く。

端子名	I/O	機能説明	オプション																														
ポート 3 P30 ~ P36	I/O	<ul style="list-style-type: none"> ・ 7 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P30 : PWM4 出力 P31 : PWM5 出力 P32 : UART1 送信 P33 : UART1 受信 P34 : UART2 送信 P35 : UART2 受信 	あり																														
ポート 7 P70 ~ P73	I/O	<ul style="list-style-type: none"> ・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 端子機能 <ul style="list-style-type: none"> P70 : INTO 入力/HOLD 解除入力/タイマ 0L キャプチャ入力/ ウォッチドッグタイマ用出力 P71 : INT1 入力/HOLD 解除入力/タイマ 0H キャプチャ入力 P72 : INT2 入力/HOLD 解除入力/タイマ 0 イベント入力/ タイマ 0L キャプチャ入力/高速クロックカウンタ入力 P73 : INT3 入力(ノイズフィルタ付入力)/タイマ 0 イベント入力/ タイマ 0H キャプチャ入力 <p>インタラプト受付形式</p> <table border="1" style="width: 100%; border-collapse: collapse; margin: 5px 0;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>H レベル</th> <th>L レベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td style="text-align: center;">×</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td style="text-align: center;">×</td> <td style="text-align: center;">×</td> </tr> </tbody> </table> <ul style="list-style-type: none"> ・ AD 変換入力ポート : AN8(P70), AN9(P71) 		立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル	INT0			×			INT1			×			INT2				×	×	INT3				×	×	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	H レベル	L レベル																												
INT0			×																														
INT1			×																														
INT2				×	×																												
INT3				×	×																												
ポート 8 P80 ~ P87	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 <ul style="list-style-type: none"> AD 変換入力ポート : AN0(P80) ~ AN7(P87) 	なし																														
ポート A PA0 ~ PA5	I/O	<ul style="list-style-type: none"> ・ 6 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 兼用機能 <ul style="list-style-type: none"> AD 変換入力ポート : PA3(AN12) ~ PA5(AN15) 	あり																														
ポート B PB0 ~ PB7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 	あり																														
ポート C PC0 ~ PC7	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 ・ 兼用機能 <ul style="list-style-type: none"> オンチップデバッグ用端子 : DBGPO ~ DBGP2(PC5 ~ PC7) 	あり																														

次ページへ続く。

LC87F5NC8A

前ページより続く。

端子名	I/O	機能説明	オプション
ポート E	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 2 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 	なし
PE0 ~ PE7			
ポート F	I/O	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ 2 ビット単位の入出力指定可能 ・ 1 ビット単位のプルアップ抵抗 ON/OFF 可能 	なし
PF0 ~ PF7			
SI02 ポート	I/O	<ul style="list-style-type: none"> ・ 4 ビットの入出力ポート ・ 1 ビット単位の入出力指定可能 ・ 兼用機能 SI2P0 : SI02 データ出力 SI2P1 : SI02 データ入力/バス入出力 SI2P2 : SI02 クロック入出力 SI2P3 : SI02 クロック出力 	なし
SI2P0 ~ SI2P3			
PWM0 PWM1	I/O	<ul style="list-style-type: none"> ・ PWM0、PWM1 出力ポート ・ 汎用入出力可能 	なし
RES	I	リセット端子	なし
XT1	I	<ul style="list-style-type: none"> ・ 32.768kHz 水晶発振子用入力端子 ・ 兼用機能 汎用入力ポート AD 変換入力ポート : AN10 使用しない場合は V_{DD1} に接続すること。 	なし
XT2	I/O	<ul style="list-style-type: none"> ・ 32.768kHz 水晶発振子用出力端子 ・ 兼用機能 汎用入出力ポート AD 変換入力ポート : AN11 使用しない場合は発振仕様にして、オープンにすること。 	なし
CF1	I	セラミック発振子用入力端子	なし
CF2	0	セラミック発振子用出力端子	なし

LC87F5NC8A

ポート出力形態

ポート出力形態とプルアップ抵抗の有無を以下に示す。

なお、入力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注 1)
		2	Nch-オープンドレイン	なし
P10 ~ P17	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P20 ~ P27	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P30 ~ P36	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
P80 ~ P87	-	なし	Nch-オープンドレイン	なし
PA0 ~ PA5	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PB0 ~ PB7	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PC0 ~ PC7	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
PE0 ~ PE7	-	なし	CMOS	プログラマブル
PF0 ~ PF7	-	なし	CMOS	プログラマブル
S12P0, S12P2 S12P3	-	なし	CMOS	なし
S12P1	-	なし	CMOS(通常ポート選択時) Nch-オープンドレイン (S102 データ選択時)	なし
PWM0, PWM1	-	なし	CMOS	なし
XT1	-	なし	入力専用	なし
XT2	-	なし	32.768kHz 水晶発振子用出力 (汎用出力ポート時は Nch-オープンドレイン)	なし

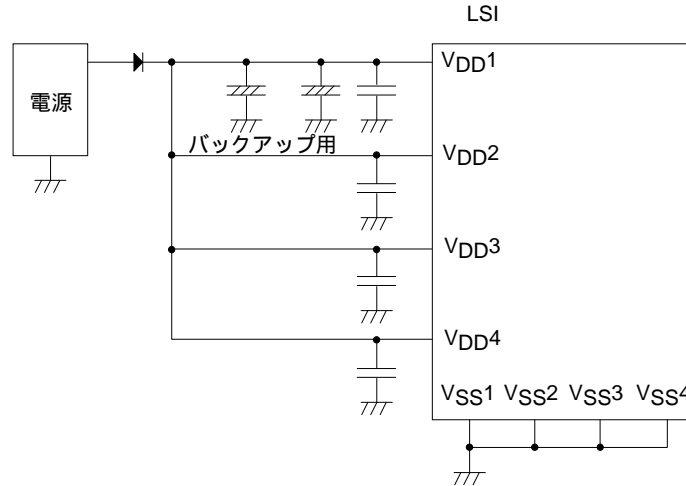
注 1：ポート 0 のプログラマブルプルアップ抵抗は、4 ビット単位(P00 ~ 03, P04 ~ 07)の制御になる。

LC87F5NC8A

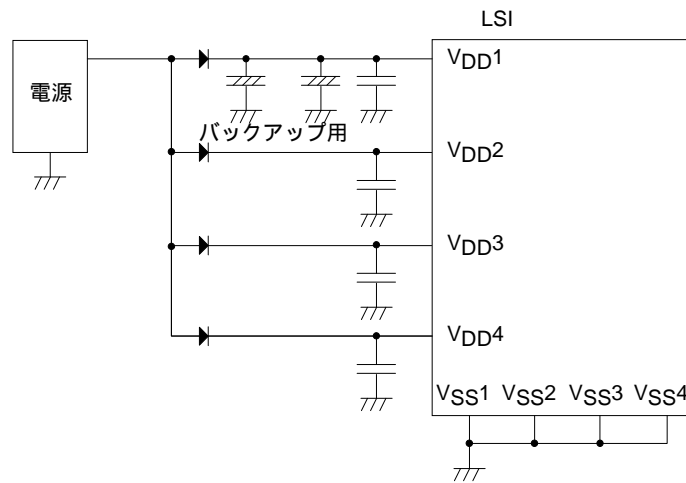
VDD1 端子に入るノイズを小さくし、バックアップ時間を長くするために、次のように接続すること。

VSS1 端子と VSS2 端子と VSS3 端子と VSS4 端子は必ず電氣的にショートすること。

(例 1) HOLD モードでバックアップ時、ポート出力の「H」レベルはバックアップ用コンデンサより供給される。



(例 2) HOLD モードバックアップ時、ポートの「H」レベル出力は保持されず不定となる。



LC87F5NC8A

絶対最大定格/Ta=25℃, VSS1=VSS2=VSS3=VSS4=0V

項目	記号	適用端子・備考	条件	規格				
				VDD[V]	min	typ	max	unit
最大電源電圧	VDD max	VDD1, VDD2, VDD3, VDD4	VDD1=VDD2=VDD3=VDD4		- 0.3		+ 6.5	V
入力電圧	VI(1)	XT1, CF1			- 0.3		VDD + 0.3	
入出力電圧	VI0(1)	ポート 0, 1, 2 ポート 3, 7, 8 ポート A, B, C, E, F SI2P0 ~ SI2P3 PWM0, PWM1, XT2			- 0.3		VDD + 0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート 0, 1, 2, 3 ポート A, B, C, E, F SI2P0 ~ SI2P3	CMOS 出力選択 適用 1 端子当り			- 10	mA
		IOPH(2)	PWM0, PWM1	適用 1 端子当り			- 20	
		IOPH(3)	P71 ~ P73	適用 1 端子当り			- 5	
	平均出力電流 (注 1-1)	IOMH(1)	ポート 0, 1, 2, 3 ポート A, B, C, E, F SI2P0 ~ SI2P3	CMOS 出力選択 適用 1 端子当り			- 7.5	
		IOMH(2)	PWM0, PWM1	適用 1 端子当り			- 10	
		IOMH(3)	P71 ~ P73	適用 1 端子当り			- 3	
	合計出力電流	ΣIOAH(1)	P71 ~ P73	適用全端子合計			- 10	
		ΣIOAH(2)	PWM0, PWM1 SI2P0 ~ SI2P3	適用全端子合計			- 25	
		ΣIOAH(3)	ポート 0	適用全端子合計			- 25	
		ΣIOAH(4)	ポート 0 PWM0, PWM1 SI2P0 ~ SI2P3	適用全端子合計			- 45	
ΣIOAH(5)		ポート 2, 3, B	適用全端子合計			- 25		
ΣIOAH(6)		ポート A, C	適用全端子合計			- 25		
ΣIOAH(7)		ポート 2, 3, A, B, C	適用全端子合計			- 45		
ΣIOAH(8)		ポート F	適用全端子合計			- 25		
ΣIOAH(9)		ポート 1, E	適用全端子合計			- 25		
ΣIOAH(10)		ポート 1, E, F	適用全端子合計			- 45		

注 1-1 : 平均出力電流は 100ms 期間の平均値を示す。

次ページへ続く。

LC87F5NC8A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
低レベル出力電流	ピーク出力電流	IOPL(1)	P02 ~ P07 ポート 1, 2, 3 ポート A, B, C, E, F SI2P0 ~ SI2P3 PWMO, PWM1	適用 1 端子当り			20	mA
		IOPL(2)	P00, P01	適用 1 端子当り			30	
		IOPL(3)	ポート 7, 8, XT2	適用 1 端子当り			10	
	平均出力電流 (注 1-1)	IOML(1)	P02 ~ P07 ポート 1, 2, 3 ポート A, B, C, E, F SI2P0 ~ SI2P3 PWMO, PWM1	適用 1 端子当り			15	
		IOML(2)	P00, P01	適用 1 端子当り			20	
		IOML(3)	ポート 7, 8, XT2	適用 1 端子当り			7.5	
	合計出力電流	ΣIOAL(1)	ポート 7, XT2	適用全端子合計			15	
		ΣIOAL(2)	ポート 8	適用全端子合計			15	
		ΣIOAL(3)	ポート 7, 8, XT2				20	
		ΣIOAL(4)	PWMO, PWM1 SI2P0 ~ SI2P3	適用全端子合計			45	
		ΣIOAL(5)	ポート 0	適用全端子合計			45	
		ΣIOAL(6)	ポート 0 PWMO, PWM1 SI2P0 ~ SI2P3	適用全端子合計			80	
ΣIOAL(7)		ポート B	適用全端子合計			45		
ΣIOAL(8)		ポート A, C	適用全端子合計			45		
ΣIOAL(9)		ポート 2, 3, A, B, C	適用全端子合計			80		
ΣIOAL(10)		ポート F	適用全端子合計			45		
ΣIOAL(11)		ポート 1, E	適用全端子合計			45		
ΣIOAL(12)		ポート 1, E, F	適用全端子合計			80		
許容消費電力	Pd max	QIP100E(14 × 20)	Ta = - 40 ~ + 85			320	mW	
動作周囲温度	Topr				- 40	+ 85		
保存周囲温度	Tstg				- 55	+ 125		

注1-1：平均出力電流は100ms期間の平均値を示す。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

LC87F5NC8A

許容動作条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V$

項目	記号	適用端子・備考	条件	規格				unit
				$V_{DD}[V]$	min	typ	max	
動作電源電圧 (注2-1)	$V_{DD}(1)$	$V_{DD1}=V_{DD2}=V_{DD3}=V_{DD4}$	0.245 μ s tCYC 200 μ s		2.8		5.5	
			0.367 μ s tCYC 200 μ s		2.5		5.5	
			1.470 μ s tCYC 200 μ s		2.2		5.5	
メモリ保持電源電圧	V_{HD}	$V_{DD1}=V_{DD2}=V_{DD3}=V_{DD4}$	HOLD モード時 RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	$V_{IH}(1)$	ポート 1, 2, 3 SI2P0~3 P71~P73 P70 のポート入力/ 割り込み側		2.2~5.5	0.3 V_{DD} +0.7		V_{DD}	V
	$V_{IH}(2)$	ポート 0, 8 ポート A, B, C, E, F PWMO, PWM1		2.2~5.5	0.3 V_{DD} +0.7		V_{DD}	
	$V_{IH}(3)$	ポート 70 のウォッチ ドッグタイマ側		2.2~5.5	0.9 V_{DD}		V_{DD}	
	$V_{IH}(4)$	XT1, XT2, CF1, \overline{RES}		2.2~5.5	0.75 V_{DD}		V_{DD}	
低レベル入力電圧	$V_{IL}(1)$	ポート 1, 2, 3 SI2P0~3 P71~P73 P70 のポート入力/ 割り込み側		4.0~5.5	V_{SS}		0.1 V_{DD} +0.4	
				2.2~4.0	V_{SS}		0.2 V_{DD}	
	$V_{IL}(2)$	ポート 0, 8 ポート A, B, C, E, F PWMO, PWM1		4.0~5.5	V_{SS}		0.15 V_{DD} +0.4	
				2.2~4.0	V_{SS}		0.2 V_{DD}	
	$V_{IL}(5)$	ポート 70 のウォッチ ドッグタイマ側		2.5~5.5	V_{SS}		0.8 V_{DD} -1.0	
	$V_{IL}(6)$	XT1, XT2, CF1, \overline{RES}		2.5~5.5	V_{SS}		0.25 V_{DD}	
命令サイクル タイム (注2-2)	tCYC			2.8~5.5	0.245		200	μ s
				2.5~5.5	0.367		200	
				2.2~5.5	1.470		200	
外部システム クロック周波数	FEXCF(1)	CF1	・CF2 端子オープン	2.8~5.5	0.1		12	MHz
			・システムクロック分周 1/1	2.5~5.5	0.1		8	
			・外部システムクロック の DUTY50 \pm 5%	2.2~5.5	0.1		2	
			・CF2 端子オープン	2.8~5.5	0.2		24.4	
			・システムクロック分周 1/2	2.5~5.5	0.1		16	
				2.2~5.5	0.1		4	

注2-1: フラッシュ ROM へのオンボード書き込みは、 V_{DD} 2.7V とすること。

注2-2: tCYC と発振周波数の関係式は、1/1 分周時: $3/F_mCF$ 、1/2 分周時: $6/F_mCF$ 。

次ページへ続く。

LC87F5NC8A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
発振周波数範囲 (注 2-3)	FmCF(1)	CF1,CF2	12MHz セラミック 発振時 図 1 参照	2.8~5.5		12		MHz
	FmCF(2)	CF1,CF2	8MHz セラミック発振時 図 1 参照	2.5~5.5		8		
	FmCF(3)	CF1,CF2	4MHz セラミック発振時 図 1 参照	2.2~5.5		4		
	FmRC		内蔵 RC 発振	2.5~5.5	0.3	1.0	2.0	
	FmMRC		周波数可変 RC 源発振	2.5~5.5		16		
	FsX'tal	XT1,XT2	32.768kHz 水晶発振時 図 2 参照	2.5~5.5		32.768		kHz

注 2-3：発振定数は表 1,2 参照のこと。

LC87F5NC8A

電気的特性/Ta= - 40 ~ + 85 , V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V

項目	記号	適用端子・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
高レベル入力電流	I _{IH} (1)	ポート 0,1,2 ポート 3,7,8 ポート A,B,C,E,F S12P0 ~ S12P3 $\overline{\text{RES}}$ PWM0, PWM1	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{DD} (出力 Tr. のオフリーク 電流を含む)	2.2 ~ 5.5			1	μA
	I _{IH} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{DD}	2.2 ~ 5.5			1	
	I _{IH} (3)	CF1	V _{IN} =V _{DD}	2.2 ~ 5.5			15	
低レベル入力電流	I _{IL} (1)	ポート 0,1,2 ポート 3,7,8 ポート A,B,C,E,F S12P0 ~ S12P3 $\overline{\text{RES}}$ PWM0, PWM1	出力ディセーブル プルアップ抵抗オフ V _{IN} =V _{SS} (出力 Tr. のオフリーク 電流を含む)	2.2 ~ 5.5	- 1			μA
	I _{IL} (2)	XT1, XT2	入力ポート仕様時 V _{IN} =V _{SS}	2.2 ~ 5.5	- 1			
	I _{IL} (3)	CF1	V _{IN} =V _{SS}	2.2 ~ 5.5	- 15			
高レベル出力電圧	V _{OH} (1)	ポート 0,1,2,3	I _{OH} = - 1.0mA	4.5 ~ 5.5	V _{DD} - 1			V
	V _{OH} (2)	ポート A,B,C,E,F	I _{OH} = - 0.4mA	3.0 ~ 5.5	V _{DD} - 0.4			
	V _{OH} (3)	S12P0 ~ S12P3	I _{OH} = - 0.2mA	2.2 ~ 5.5	V _{DD} - 0.4			
	V _{OH} (4)	ポート 71,72,73	I _{OH} = - 0.4mA	3.0 ~ 5.5	V _{DD} - 0.4			
	V _{OH} (5)		I _{OH} = - 0.2mA	2.2 ~ 5.5	V _{DD} - 0.4			
	V _{OH} (6)	PWM0, PWM1	I _{OH} = - 10mA	4.5 ~ 5.5	V _{DD} - 1.5			
	V _{OH} (7)	P30, P31(PWM4,5 機能使用時)	I _{OH} = - 1.6mA	3.0 ~ 5.5	V _{DD} - 0.4			
	V _{OH} (8)		I _{OH} = - 1.0mA	2.2 ~ 5.5	V _{DD} - 0.4			
低レベル出力電圧	V _{OL} (1)	ポート 0,1,2,3	I _{OL} =10mA	4.5 ~ 5.5			1.5	V
	V _{OL} (2)	ポート A,B,C,E,F	I _{OL} =1.6mA	3.0 ~ 5.5			0.4	
	V _{OL} (3)	S12P0 ~ S12P3 PWM0, PWM1	I _{OL} =1.0mA	2.2 ~ 5.5			0.4	
	V _{OL} (4)	P00, P01	I _{OL} =30mA	4.5 ~ 5.5			1.5	
	V _{OL} (5)		I _{OL} =5mA	3.0 ~ 5.5			0.4	
	V _{OL} (6)		I _{OL} =2.5mA	2.2 ~ 5.5			0.4	
	V _{OL} (7)	ポート 7,8, XT2	I _{OL} =1.6mA	3.0 ~ 5.5			0.4	
	V _{OL} (8)		I _{OL} =1.0mA	2.2 ~ 5.5			0.4	
プルアップ抵抗	R _{pu} (1)	ポート 0,1,2,3	V _{OH} =0.9V _{DD}	4.5 ~ 5.5	15	35	80	kΩ
	R _{pu} (2)	ポート 7 ポート A,B,C,E,F		2.2 ~ 5.5	15	35	120	
ヒステリシス電圧	VHYS	$\overline{\text{RES}}$ ポート 1 ポート 2 ポート 7 SIP0 ~ SIP3		2.2 ~ 5.5		0.1V _{DD}		V
端子容量	CP	全端子	被測定端子以外 V _{IN} =V _{SS} f=1MHz Ta=25	2.2 ~ 5.5		10		pF

LC87F5NC8A

シリアル入出力特性/ $T_a = -40 \sim +85$, $V_{SS1} = V_{SS2} = V_{SS3} = V_{SS4} = 0V$

1. SIO0 シリアル入出力特性(注 4-1-1)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格				
						min	typ	max	unit	
シリアル クロック	入力 クロック	周期	tSCK(1)	SCK0(P12)	図 6 参照	2.2~5.5	2			tCYC
		低レベル パルス幅	tSCKL(1)				1			
		高レベル パルス幅	tSCKH(1)				1			
			tSCKHA(1a)				4			
	tSCKHA(1b)	6								
	出力 クロック				周期	tSCK(2)	SCK0(P12)	・CMOS 出力選択時 ・図 6 参照	2.2~5.5	4/3
		低レベル パルス幅	tSCKL(2)	1/2						
		高レベル パルス幅	tSCKH(2)	1/2		tSCKH(2) + 2tCYC				tSCKH(2) + (10/3) tCYC
tSCKHA(2a)			tSCKH(2) + 2tCYC	tSCKH(2) + (16/3) tCYC						
tSCKHA(2b)	・連続データ送受信モード ・SIO2 を同時に使用する ・CMOS 出力選択時 ・図 6 参照									
シリアル 入力	データセット アップ時間	tsDI(1)	SIO(P11), SB0(P11)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.2~5.5	0.03				
	データホールド 時間	thDI(1)				0.03				
シリアル 出力	入力 クロック	出力遅延 時間	tdDO(1)	S00(P10), SB0(P11)	2.2~5.5			(1/3)tCYC + 0.05	μs	
		tdDO(2)								・同期式 8 ビットモード ・(注 4-1-3)
	出力 クロック	tdDO(3)	・(注 4-1-3)	(1/3)tCYC + 0.05						

注 4-1-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-1-2: 連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態を SIORUN をセットしてから最初のシリアルクロックの立ち下がりまでの時間を tSCKHA より長くすること。

注 4-1-3: SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

LC87F5NC8A

2. SI01 シリアル入出力特性(注 4-2-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(3)	SCK1(P15)	図 6 参照	2.2 ~ 5.5	2			tCYC
		低レベルパルス幅	tSCKL(3)				1			
		高レベルパルス幅	tSCKH(3)				1			
	出力クロック	周期	tSCK(4)	SCK1(P15)	・CMOS 出力選択時 ・図 6 参照	2.2 ~ 5.5	2			tSCK
		低レベルパルス幅	tSCKL(4)				1/2			
		高レベルパルス幅	tSCKH(4)				1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SI1(P14), SB1(P14)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.2 ~ 5.5	0.03			μs	
	データホールド時間	thDI(2)				0.03				
シリアル出力	出力遅延時間	tdD0(4)	SO1(P13), SB1(P14)	・SIOCLK の立ち下がり に対して規定する。 ・オープンドレイン出力 時は出力変化開始までの 時間として規定する。 ・図 6 参照	2.2 ~ 5.5			(1/3)tCYC + 0.05		

注 4-2-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

LC87F5NC8A

3. SI02 シリアル入出力特性(注 4-3-1)

項目		記号	適用端子 ・備考	条件	V _{DD} [V]	規格			
						min	typ	max	unit
シリアル クロック	入力 クロック	周期	tSCK(5)	SCK2(SI2P2) ・図 6 参照	2.2~5.5	2			tCYC
		低レベル パルス幅	tSCKL(5)			1			
		高レベル パルス幅	tSCKH(5)			1			
			tSCKHA(5a)					4	
		tSCKHA(5b)		・SI00の連続転送 モードを同時に使用 しない ・図 6 参照 ・(注 4-3-2)					
				・SI00の連続転送 モードを同時に使用 する ・図 6 参照 ・(注 4-3-2)			7		
	出力 クロック	周期	tSCK(6)	SCK2(SI2P2), SCK20(SI2P3) ・CMOS出力選択時 ・図 6 参照	2.2~5.5	4/3			tSCK
低レベル パルス幅		tSCKL(6)	1/2						
高レベル パルス幅		tSCKH(6)	1/2						
		tSCKHA(6a)				tSCKH(2) + (5/3) tCYC		tSCKH(2) + (10/3) tCYC	tCYC
	tSCKHA(6b)		・SI00の連続転送 モードを同時に使用 する ・CMOS出力選択時 ・図 6 参照		tSCKH(2) + (5/3) tCYC	tSCKH(2) + (19/3) tCYC	tCYC		
シリアル 入力	データセット アップ時間	tSDI(3)	SI2(SI2P1), SB2(SI2P1) ・SI0CLKの立ち上がり に対して規定する ・図 6 参照	2.2~5.5	0.03			μs	
	データホール ド時間	thDI(3)			0.03				
シリアル 出力	出力遅延時間	tdD0(5)	S02(SI2P0), SB2(SI2P1) ・SI0CLKの立ち下がり に対して規定する ・オープンドレイン出力 時は出力変化開始まで の時間として規定する。 ・図 6 参照	2.2~5.5			(1/3)tCYC + 0.05	μs	

注 4-3-1: 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-3-2: シリアルクロック入力を使用する場合において、データ送受信開始時にシリアルクロックが「H」の状態ではSI2RUNをセットしてから最初のシリアルクロックの立ち下がりまでの時間をtSCKHAより長くすること。

LC87F5NC8A

パルス入力条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72), INT4(P20~P23), INT5(P24~P27) INT6(P20) INT7(P24)	・割り込み要因フラグを セットできる。 ・タイマ0,1へのイベント 入力ができる。	2.2~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の 場合の INT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の 場合の INT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合の INT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	256			
	tPIL(5)	\overline{RES}	リセットできる。	2.2~5.5	200			μs

AD変換特性/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V$

項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
分解能	N	AN0(P80) ~		3.0~5.5		8		bit
絶対精度	ET	AN7(P87),	(注6-1)	3.0~5.5			± 1.5	LSB
変換時間	TCAD	AN8(P70), AN9(P71), AN10(XT1), AN11(XT2) AN12(PA3), AN13(PA4), AN14(PA5)	AD変換時間=32 × tCYC (ADCR2=の時) (注6-2)	4.5~5.5	11.74 (tCYC= 0.367 μs)		97.92 (tCYC= 3.06 μs)	μs
				3.0~5.5	23.53 (tCYC= 0.735 μs)		97.92 (tCYC= 3.06 μs)	
			AD変換時間=64 × tCYC (ADCR2=の時) (注6-2)	4.5~5.5	15.68 (tCYC= 0.245 μs)		97.92 (tCYC= 1.53 μs)	
				3.0~5.5	23.49 (tCYC= 0.376 μs)		97.92 (tCYC= 1.53 μs)	
アナログ入力 電圧範囲	VAIN			3.0~5.5	V_{SS}		V_{DD}	V
アナログポート 入力電流	IAINH		$V_{AIN}=V_{DD}$	3.0~5.5			1	μA
	IAINL		$V_{AIN}=V_{SS}$	3.0~5.5	-1			

注6-1：絶対精度は量子化誤差($\pm 1/2LSB$)を除く。

注6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

LC87F5NC8A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V _{DD} [V]	min	typ	max	unit
HALT モード 消費電流 (注 7-1)	IDDHALT(2)	V _{DD1} =V _{DD2} =V _{DD3} =V _{DD4}	<ul style="list-style-type: none"> ・HALT モード ・FmCF=8MHz セラミック発振時 ・FmX' tal=32.768kHz 水晶発振時 ・システムクロックは 8MHz 側 	4.5 ~ 5.5		2.7	5.8	mA
	IDDHALT(3)		<ul style="list-style-type: none"> ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時 	2.5 ~ 4.5		1.4	3.1	
	IDDHALT(4)		<ul style="list-style-type: none"> ・HALT モード ・FmCF=4MHz セラミック発振時 ・FmX' tal=32.768kHz 水晶発振時 ・システムクロックは 4MHz 側 	4.5 ~ 5.5		1.1	2.6	
	IDDHALT(5)		<ul style="list-style-type: none"> ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時 	2.2 ~ 4.5		0.57	1.5	
	IDDHALT(6)		<ul style="list-style-type: none"> ・HALT モード ・FmCF=0Hz (発振停止) ・FmX' tal=32.768kHz 水晶発振時 	4.5 ~ 5.5		0.38	1.0	
	IDDHALT(7)		<ul style="list-style-type: none"> ・システムクロックは内蔵 RC 発振 ・周波数可変 RC 発振は停止 ・1/2 分周時 	2.2 ~ 4.5		0.19	0.8	
	IDDHALT(8)		<ul style="list-style-type: none"> ・HALT モード ・FmCF=0Hz (発振停止) ・FmX' tal=32.768kHz 水晶発振時 	4.5 ~ 5.5		1.15	4.2	
	IDDHALT(9)		<ul style="list-style-type: none"> ・システムクロックは周波数可変 RC 発振で 1MHz 設定 ・1/2 分周時 	2.2 ~ 4.5		0.57	3.0	
	IDDHALT(10)		<ul style="list-style-type: none"> ・HALT モード ・FmCF=0Hz (発振停止) ・FmX' tal=32.768kHz 水晶発振時 	4.5 ~ 5.5		20	77	
	IDDHALT(11)		<ul style="list-style-type: none"> ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時 	2.2 ~ 4.5		6	70	
HOLD モード 消費電流	IDDHOLD(1)	V _{DD1}	<ul style="list-style-type: none"> HOLD モード ・CF1=V_{DD} またはオープン (外部クロック時) 	4.5 ~ 5.5		0.04	20	μA
	IDDHOLD(2)		<ul style="list-style-type: none"> ・CF1=V_{DD} またはオープン (外部クロック時) 	2.2 ~ 4.5		0.02	15	
時計 HOLD モード 消費電流	IDDHOLD(3)		<ul style="list-style-type: none"> 時計 HOLD モード ・CF1=V_{DD} またはオープン (外部クロック時) 	4.5 ~ 5.5		17	70	
	IDDHOLD(4)		<ul style="list-style-type: none"> ・FmX' tal=32.768kHz 水晶発振時 	2.2 ~ 4.5		4	55	

注 7-1 : 消費電流は出力 Tr. および内蔵プリアップ抵抗に流れる電流を含まない。

LC87F5NC8A

F-ROM 書き込み特性/ $T_a = +10 \sim +55$, $V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V$

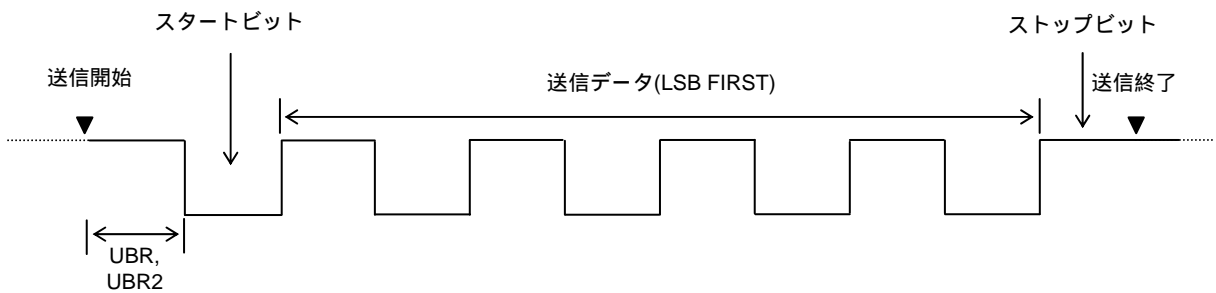
項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
オンボード 書き込み電流	$I_{DDFW}(1)$	V_{DD1}	・マイコン部の消去電流を除く	3.0~5.5		5	10	mA
書き込み時間	$t_{FW}(1)$		・消去動作	3.0~5.5		20	30	ms
	$t_{FW}(2)$		・書き込み動作	3.0~5.5		40	60	μs

UART(全二重)動作条件/ $T_a = -40 \sim +85$, $V_{SS1}=V_{SS2}=V_{SS3}=V_{SS4}=0V$

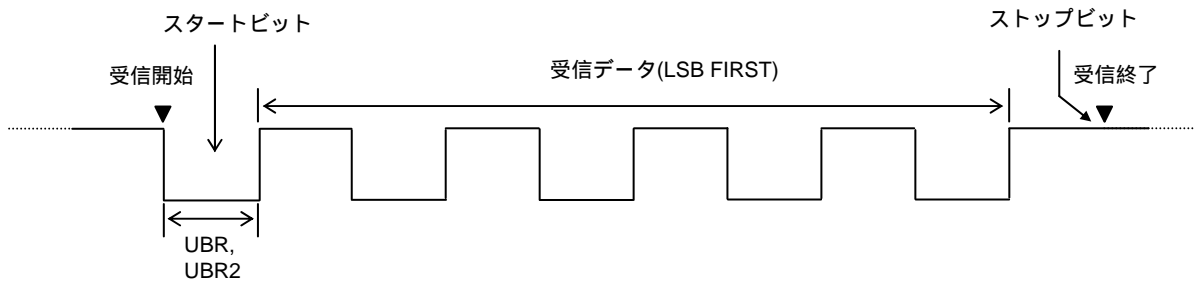
項目	記号	適用端子 ・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
転送レート	UBR, UBR2	UTX1(P32) RTX1(P33) UTX2(P34) RTX2(P35)		2.2~5.5	16/3		8192/3	tCYC

- ・データ長 : 7/8/9 ビット(LSB FIRST)
- ・ストップビット長 : 1 ビット(連続送信時は 2 ビット)
- ・パリティビット : なし

連続 8 ビットデータ送信モードの例(最初の送信データ=55H)



連続 8 ビットデータ受信モードの例(最初の受信データ=55H)

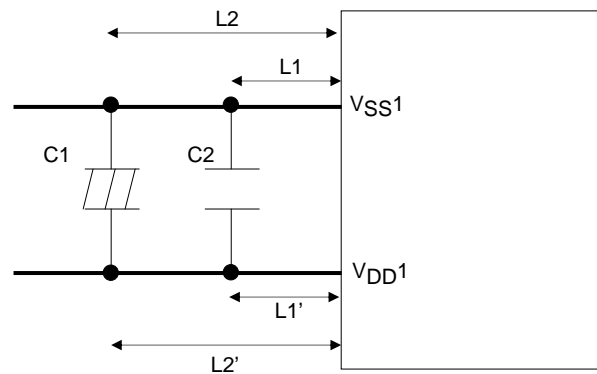


LC87F5NC8A

電源端子条件 1 (VDD1, VSS1)

VDD1 ~ VSS1 端子間には、以下の条件を満たすようなコンデンザを挿入すること。

- ・ VDD1, VSS1 端子から各コンデンサ C1, C2 間までの配線長は、できるだけ等しく ($L1=L1'$, $L2=L2'$) かつ最短にすること。
- ・ コンデンサは大容量のもの C1 と小容量のもの C2 を並列に挿入すること。
C2 については 0.1 μ F 以上のコンデンサを実装すること。
- ・ VDD1, VSS1 の各パターンは、他のものより太くすること。



メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例

公称 周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf1 [Ω]	Rd1 [Ω]		typ [ms]	max [ms]	
12MHz	村田製作所	CSTCE12M0G52-R0	(10)	(10)	OPEN	470	2.5 ~ 5.5	0.03	0.5	C1, C2 内蔵品
10MHz		CSTCE10M0G52-R0	(10)	(10)	OPEN	680	2.4 ~ 5.5	0.03	0.5	C1, C2 内蔵品
		CSTLS10M0G53-B0	(15)	(15)	OPEN	680	2.5 ~ 5.5	0.03	0.5	C1, C2 内蔵品
8MHz		CSTCE8M00G52-R0	(10)	(10)	OPEN	1k	2.3 ~ 5.5	0.03	0.5	C1, C2 内蔵品
		CSTLS8M00G53-B0	(15)	(15)	OPEN	1k	2.5 ~ 5.5	0.03	0.5	C1, C2 内蔵品
4MHz		CSTCR4M00G53-R0	(15)	(15)	OPEN	1.5k	2.2 ~ 5.5	0.03	0.5	C1, C2 内蔵品
		CSTLS4M00G53-B0	(15)	(15)	OPEN	1.5k	2.2 ~ 5.5	0.03	0.5	C1, C2 内蔵品

発振安定時間は、VDD が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。

(図4 参照)

LC87F5NC8A

サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表 2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧 範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf2 [Ω]	Rd2 [Ω]		typ [s]	max [s]	
32.768kHz	EPSON TOYOCOM	MC-306	18	18	OPEN	560k	2.2~5.5	1.5	3	適用 CL 値 12.5pF

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLD モードを解除後、発振が安定するまでに必要な時間である。(図 4 参照)

注意：回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

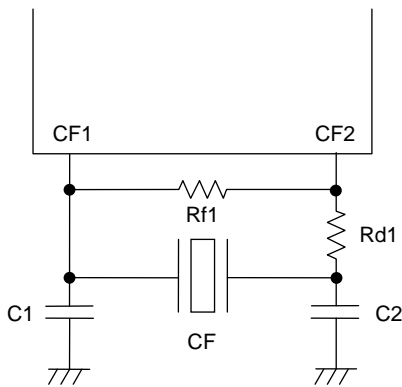


図 1 CF 発振回路

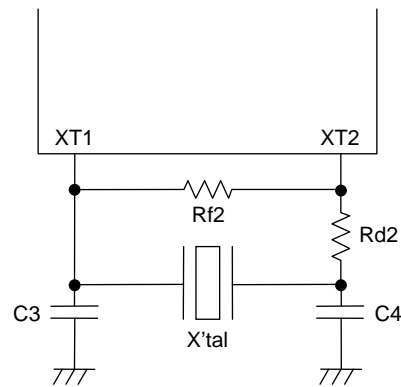


図 2 XT 発振回路

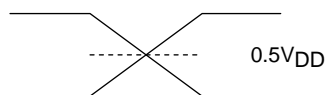
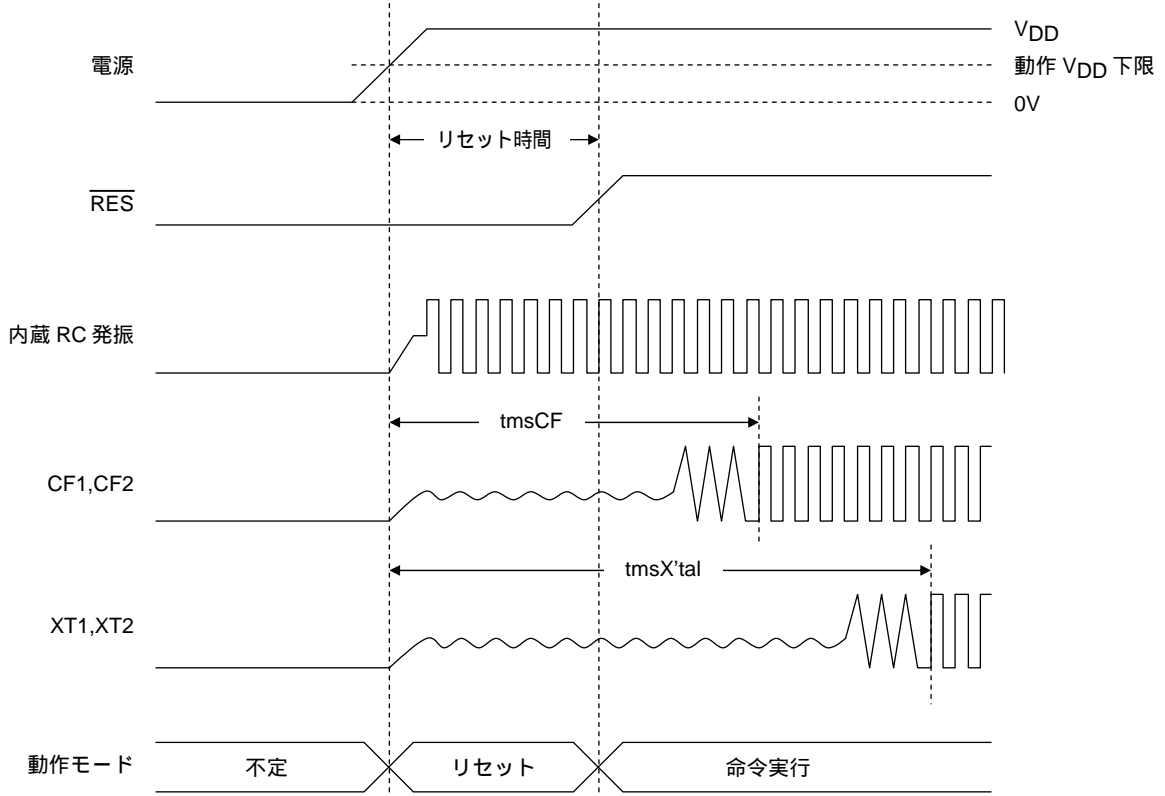
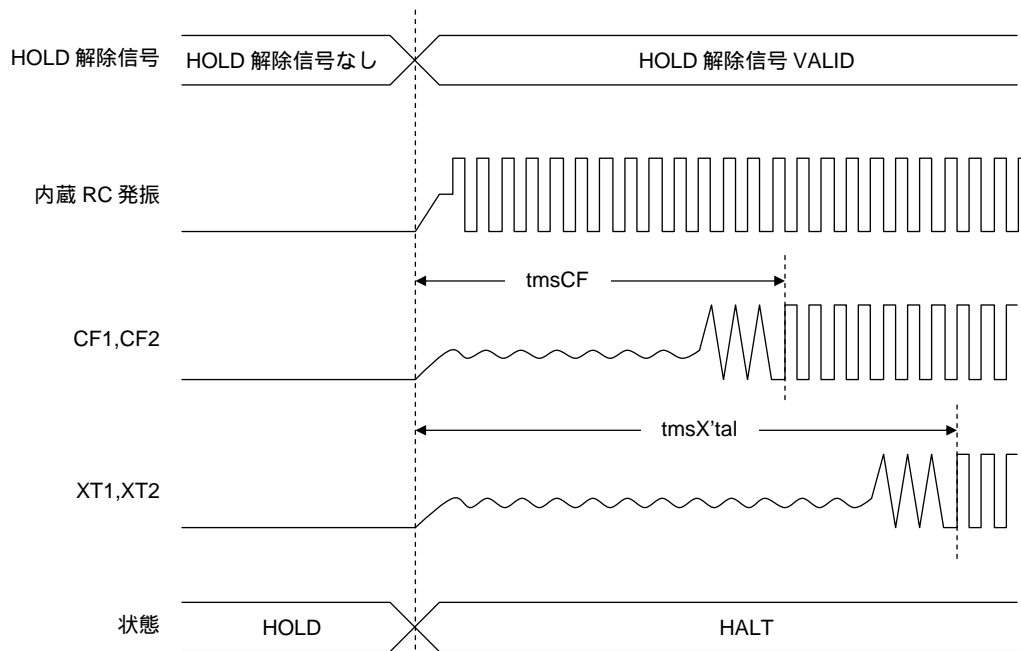


図 3 AC タイミング測定点

LC87F5NC8A



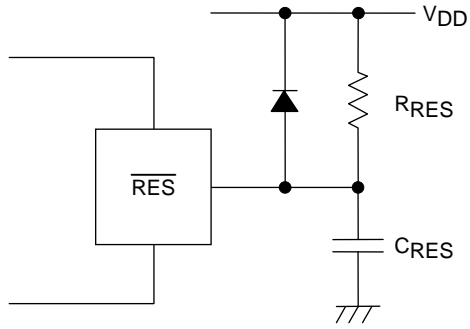
リセット時間と発振安定時間



HOLD 解除信号と発振安定時間

図4 発振安定時間

LC87F5NC8A



(注意)
電源が動作電圧の下限を上回ってから、
200µs の期間リセットがかかるように
CRES, RRES の値を決めること。

図5 リセット回路

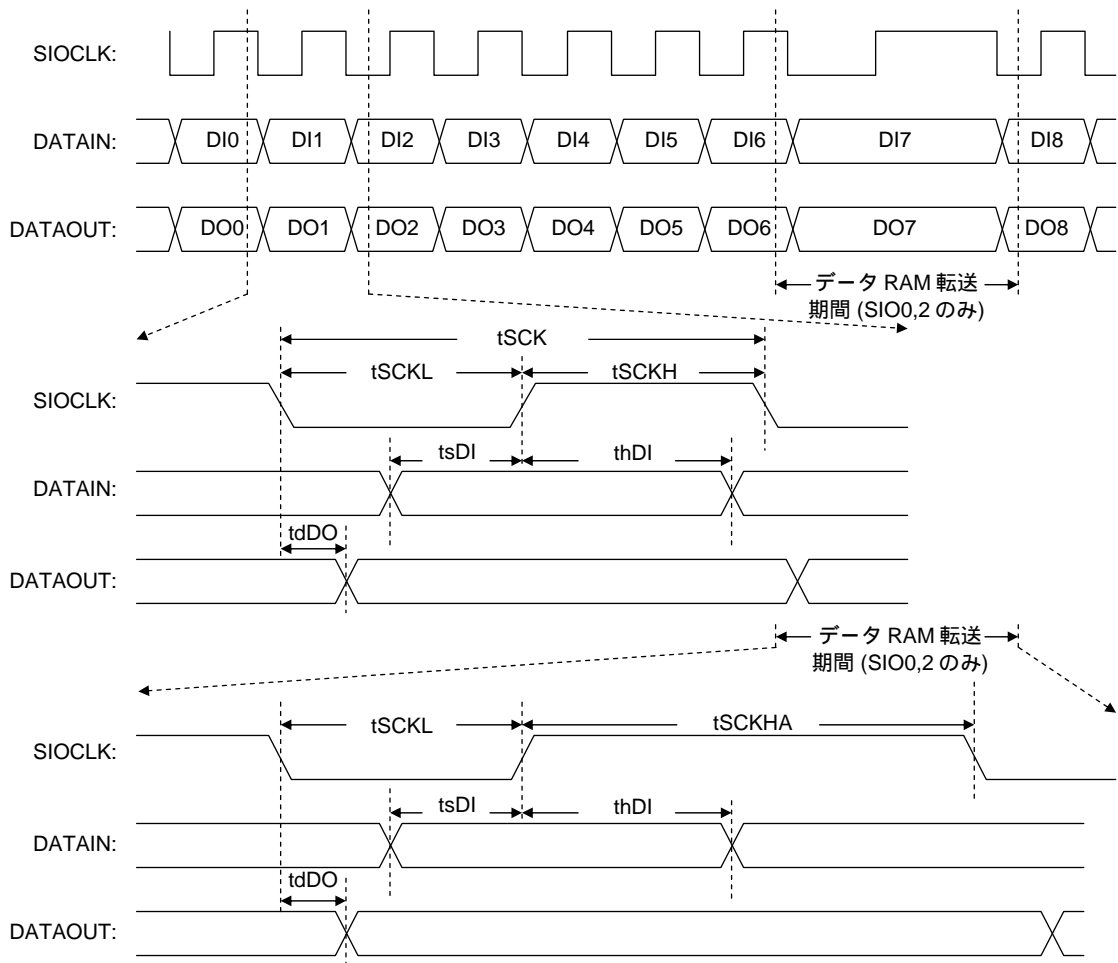


図6 シリアル入出力波形

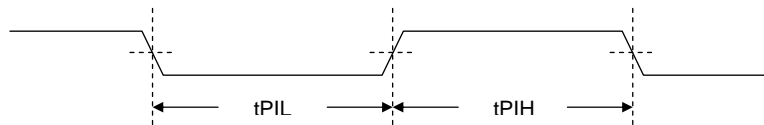


図7 パルス入力タイミング波形

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。