

# LV8112VB



ON Semiconductor®

www.onsemi.jp

Bi-CMOS LSI

## ポリゴンミラーモータ用 3相ブラシレスモータドライバ

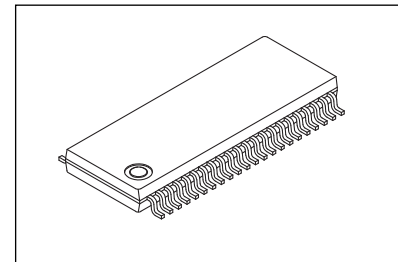
### 概要

LV8112VBは、LBP等のポリゴンミラーモータ駆動用の3相ブラシレスモータドライバであり、ポリゴンミラーモータの駆動に必要な回路が1チップで構成できる。

また、BiDCプロセスを使用し出力TrをDMOSにし、かつ、同期整流としたことで低消費(発熱)を実現している。

### 特長

- ・3相バイポーラ駆動
- ・ダイレクトPWM+同期整流
- ・ $I_{O\ max1}=2.5A$
- ・ $I_{O\ max2}=3.0A(t \leq 0.1ms)$
- ・出力電流制御回路
- ・PLL速度制御回路
- ・位相ロック検知出力(マスク機能付き)
- ・電流制限回路、拘束保護回路、過熱保護回路、低電圧保護回路
- ・STOP時減速方式切り替え回路(フリーラン or ショートブレーキ)
- ・拘束保護検知信号切り替え回路(FG or LD)
- ・F/R切り替え回路内蔵
- ・ホールFG対応
- ・ホールバイアス端子(STOP時バイアス電流カット)
- ・5Vレギュレータ出力
- ・SDCC(Speed Detection Current Control)



SSOP44K(275mil) Exposed Pad

### 用途/最終製品

- ・レーザービームプリンター(LBP)
- ・コピー機(PPC)
- ・マルチファンクションプリンター(MFP)

### ORDERING INFORMATION

See detailed ordering and shipping information on page 17 of this data sheet.

# LV8112VB

## 最大定格/Ta=25°C

項目	記号	条件	定格値	unit
電源電圧	V <sub>CC</sub> max	V <sub>CC</sub> 端子	37	V
	V <sub>G</sub> max	V <sub>G</sub> 端子	42	V
出力電流	I <sub>O</sub> max1	※1	2.5	A
	I <sub>O</sub> max2	t ≤ 0.1ms ※1	3.0	A
許容消費電力	P <sub>d</sub> max	指定基板付き ※2	1.7	W
動作周囲温度	T <sub>opr</sub>		-25~+80	°C
保存周囲温度	T <sub>stg</sub>		-55~+150	°C
接合部温度	T <sub>j</sub> max		150	°C

※1 T<sub>j</sub> max=150°Cを超えないように使用すること。

※2 指定基板：114.3mm×76.1mm×1.6mm，ガラスエポキシ基板

注1) 絶対最大定格は、一瞬でも超えてはならない許容値を示すものである。

注2) 絶対最大定格の範囲内で使用した場合でも、高温及び大電流/高電圧印加、多大な温度変化等で連続して使用される場合、信頼性が低下するおそれがある。詳細については、弊社窓口までご相談ください。

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

## 推奨動作条件/Ta=25°C

項目	記号	条件	定格値	unit
電源電圧範囲	V <sub>CC</sub>		10~35	V
5V定電圧出力電流	I <sub>REG</sub>		0~-30	mA
LD端子印加電圧	V <sub>LD</sub>		0~5.5	V
LD端子出力電流	I <sub>LD</sub>		0~15	mA
FG端子印加電圧	V <sub>FG</sub>		0~5.5	V
FG端子出力電流	I <sub>FG</sub>		0~15	mA
HB端子出力電流	I <sub>HB</sub>		0~-30	mA

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

## 電気的特性/Ta=25°C, V<sub>CC</sub>=24V

項目	記号	条件	min	typ	max	unit
電源電流	I <sub>CC1</sub>			5.5	6.5	mA
	I <sub>CC2</sub>	STOP時		1.0	1.5	mA
<b>5V定電圧出力</b>						
出力電圧	V <sub>REG</sub>		4.65	5.0	5.35	V
電圧変動	ΔV <sub>REG1</sub>	V <sub>CC</sub> =10~35V		20	100	mV
負荷変動	ΔV <sub>REG2</sub>	I <sub>O</sub> =-5~-20mA		25	60	mV
温度係数	ΔV <sub>REG3</sub>	設計目標値※		0		mV/°C
<b>出力部</b>						
出力 ON 抵抗	R <sub>ON</sub>	I <sub>O</sub> =1A, 上下合計		1.5	1.9	Ω
出力リーク電流	I <sub>O</sub> leak	設計目標値※			10	μA
下側ダイオード順電圧	V <sub>D1</sub>	I <sub>D</sub> =-1A		1.0	1.35	V
上側ダイオード順電圧	V <sub>D2</sub>	I <sub>D</sub> =1A		1.0	1.35	V
<b>チャージポンプ出力 (V<sub>G</sub>端子)</b>						
出力端子	V <sub>G</sub> OUT			V <sub>CC</sub> +4.9		V
<b>CP1端子</b>						
出力 ON 抵抗 (H レベル)	V <sub>OH</sub> (CP1)	I <sub>CP1</sub> =-2mA, 設計目標値※		500	700	Ω
出力 ON 抵抗 (L レベル)	V <sub>OL</sub> (CP1)	I <sub>CP1</sub> =2mA		300	400	Ω

※設計目標値であり、測定は行わない。

次ページへ続く。

# LV8112VB

前ページからの続き。

項目	記号	条件	min	typ	max	unit
<b>ホールアンブ部</b>						
入力バイアス電流	$I_{HB}$ (HA)		-2	-0.5		$\mu$ A
同相入力電圧範囲	$V_{ICM}$		0.5		VREG-2.0	V
ホール入力感度			80			mVp-p
ヒステリシス幅	$\Delta V_{IN}$ (HA)		15	24	42	mV
入力電圧 L→H	$V_{SLH}$			12		mV
入力電圧 H→L	$V_{SHL}$			-12		mV
<b>ホールバイアス (HB端子) Pch出力</b>						
出力 ON 抵抗	$V_{OL}$ (HB)	$I_{HB}=-20$ mA		20	30	$\Omega$
出力リーク電流	$I_L$ (HB)	$V_0=0$ V			10	$\mu$ A
<b>FGアンプ・シュミット部 (IN1)</b>						
入力アンプゲイン	$G_{FG}$	設計目標値※		5		倍
入力ヒステリシス (H→L)	$V_{SHL}$ (FGS)	入力換算, 設計目標値※		0		mV
入力ヒステリシス (L→H)	$V_{SLH}$ (FGS)	入力換算, 設計目標値※		10		mV
ヒステリシス幅	$V_{FGL}$	入力換算, 設計目標値※		10		mV
<b>FGFIL端子</b>						
出力 H レベル電圧	$V_{OH}$ (FGFIL)		2.7	3.0	3.3	V
出力 L レベル電圧	$V_{OL}$ (FGFIL)		0.75	0.85	0.95	V
外付け C 充電電流	$I_{CHG1}$	$V_{CHG1}=1.5$ V	-5	-4	-3	$\mu$ A
外付け C 放電電流	$I_{CHG2}$	$V_{CHG2}=1.5$ V	3	4	5	$\mu$ A
振幅	$V$ (FGFIL)		1.95	2.15	2.35	Vp-p
<b>FG出力</b>						
出力 ON 抵抗	$V_{OL}$ (FG)	$I_{FG}=7$ mA		20	30	$\Omega$
出力リーク電流	$I_L$ (FG)	$V_0=5.5$ V			10	$\mu$ A
<b>PWM発振器</b>						
出力 H レベル電圧	$V_{OH}$ (PWM)		2.95	3.2	3.45	V
出力 L レベル電圧	$V_{OL}$ (PWM)		1.3	1.5	1.7	V
外付け C 充電電流	$I_{CHG}$ (PWM)	$V_{PMW}=2$ V	-90	-70	-50	$\mu$ A
発振周波数	$f$ (PWM)	$C=150$ pF	180	225	270	kHz
振幅	$V$ (PWM)		1.5	1.7	1.9	Vp-p
推奨動作周波数範囲	$f_{OPR}$		15		300	kHz
<b>CSD発振回路</b>						
出力 H レベル電圧	$V_{OH}$ (CSD)		2.7	3.0	3.3	V
出力 L レベル電圧	$V_{OL}$ (CSD)		0.8	1.0	1.2	V
振幅	$V$ (CSD)		1.75	2.0	2.25	Vp-p
外付け C 充電電流	$I_{CHG1}$ (CSD)	$V_{CHG1}=2.0$ V	-14	-10	-6	$\mu$ A
外付け C 放電電流	$I_{CHG2}$ (CSD)	$V_{CHG2}=2.0$ V	8	11	14	$\mu$ A
発振周波数	$f$ (CSD)	$C=0.068$ $\mu$ F, 設計目標値※	30	40	50	Hz
<b>位相比較出力</b>						
出力 ON 抵抗 (H レベル)	$V_{PDH}$	$I_{OH}=-100$ $\mu$ A		500	700	$\Omega$
出力 ON 抵抗 (L レベル)	$V_{PDL}$	$I_{OL}=100$ $\mu$ A		500	700	$\Omega$
<b>位相ロック検知出力</b>						
出力 ON 抵抗	$V_{OL}$ (LD)	$I_{LD}=10$ mA		20	30	$\Omega$
出力リーク電流	$I_L$ (LD)	$V_0=5.5$ V			10	$\mu$ A

※設計目標値であり、測定は行わない。

次ページへ続く。

# LV8112VB

前ページからの続き。

項目	記号	条件	min	typ	max	unit
<b>ERRアンブ部</b>						
入力オフセット電圧	$V_{IO}(ER)$	設計目標値※	-10		+10	mV
入力バイアス電流	$I_B(ER)$		-1		+1	$\mu A$
出力Hレベル電圧	$V_{OH}(ER)$	$I_{EI}=-100\mu A$	EI+0.7	EI+0.85	EI+1.0	V
出力Lレベル電圧	$V_{OL}(ER)$	$I_{EI}=100\mu A$	EI-1.75	EI-1.6	EI-1.45	V
DCバイアスレベル	$V_B(ER)$		-5%	VREG/2	5%	V
<b>電流制御回路</b>						
駆動ゲイン	GDF	位相ロック時	0.5	0.55	0.6	倍
<b>電流制限回路 (RF端子, RFS端子)</b>						
リミッタ電圧	$V_{RF}$		0.465	0.515	0.565	V
<b>低電圧保護</b>						
動作電圧	VSD		8.3	8.7	9.1	V
ヒステリシス幅	$\Delta VSD$		0.2	0.35	0.5	V
<b>CLD回路</b>						
外付けC充電電流	$I_{CLD}$	$V_{CLD}=0V$	-4.5	-3.0	-1.5	$\mu A$
動作電圧	$V_H(CLD)$		3.25	3.5	3.75	V
<b>熱しゃ断動作</b>						
熱しゃ断動作温度	TSD	設計目標値※ (接合温度)	150	175		$^{\circ}C$
ヒステリシス幅	$\Delta TSD$	設計目標値※ (接合温度)		30		$^{\circ}C$
<b>CLK端子</b>						
外部入力周波数	$f_I(CLK)$		0.1		10	kHz
Hレベル入力電圧	$V_{IH}(CLK)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(CLK)$		0		1.0	V
入力オープン電圧	$V_{IO}(CLK)$		VREG-0.5		VREG	V
ヒステリシス幅	$V_{IS}(CLK)$		0.2	0.3	0.4	V
Hレベル入力電流	$I_{IH}(CLK)$	$V_{CLK}=VREG$	-10	0	+10	$\mu A$
Lレベル入力電流	$I_{IL}(CLK)$	$V_{CLK}=0V$	-110	-85	-60	$\mu A$
<b>GSDSEL端子</b>						
Hレベル入力電圧	$V_{IH}(CSD)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(CSD)$		0		1.0	V
入力オープン電圧	$V_{IO}(CSD)$		VREG-0.5		VREG	V
Hレベル入力電流	$I_{IH}(CSD)$	$V_{CSDSEL}=VREG$	-10	0	+10	$\mu A$
Lレベル入力電流	$I_{IL}(CSD)$	$V_{CSDSEL}=0V$	-110	-85	-60	$\mu A$
<b>S/S端子</b>						
Hレベル入力電圧	$V_{IH}(SS)$		2.0		VREG	V
Lレベル入力電圧	$V_{IL}(SS)$		0		1.0	V
入力オープン電圧	$V_{IO}(SS)$		VREG-0.5		VREG	V
ヒステリシス幅	$V_{IS}(SS)$		0.2	0.3	0.4	V
Hレベル入力電流	$I_{IH}(SS)$	$V_{S/S}=VREG$	-10	0	+10	$\mu A$
Lレベル入力電流	$I_{IL}(SS)$	$V_{S/S}=0V$	-110	-85	-60	$\mu A$

※設計目標値であり、測定は行わない。

次ページへ続く。

## LV8112VB

前ページからの続き。

項目	記号	条件	min	typ	max	unit
<b>BRSEL端子</b>						
H レベル入力電圧	$V_{IH}$ (BRSEL)		2.0		VREG	V
L レベル入力電圧	$V_{IL}$ (BRSEL)		0		1.0	V
入力オープン電圧	$V_{IO}$ (BRSEL)		VREG-0.5		VREG	V
H レベル入力電流	$I_{IH}$ (BRSEL)	$V_{BRSEL}=VREG$	-10	0	+10	$\mu A$
L レベル入力電流	$I_{IL}$ (BRSEL)	$V_{BRSEL}=0V$	-110	-85	-60	$\mu A$
<b>F/R 端子</b>						
H レベル入力電圧	$V_{IH}$ (FR)		2.0		VREG	V
L レベル入力電圧	$V_{IL}$ (FR)		0		1.0	V
入力オープン電圧	$V_{IO}$ (FR)		VREG-0.5		VREG	V
H レベル入力電流	$I_{IH}$ (FR)	$V_{F/R}=VREG$	-10	0	+10	$\mu A$
L レベル入力電流	$I_{IL}$ (FR)	$V_{F/R}=0V$	-110	-85	-60	$\mu A$

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

# LV8112VB

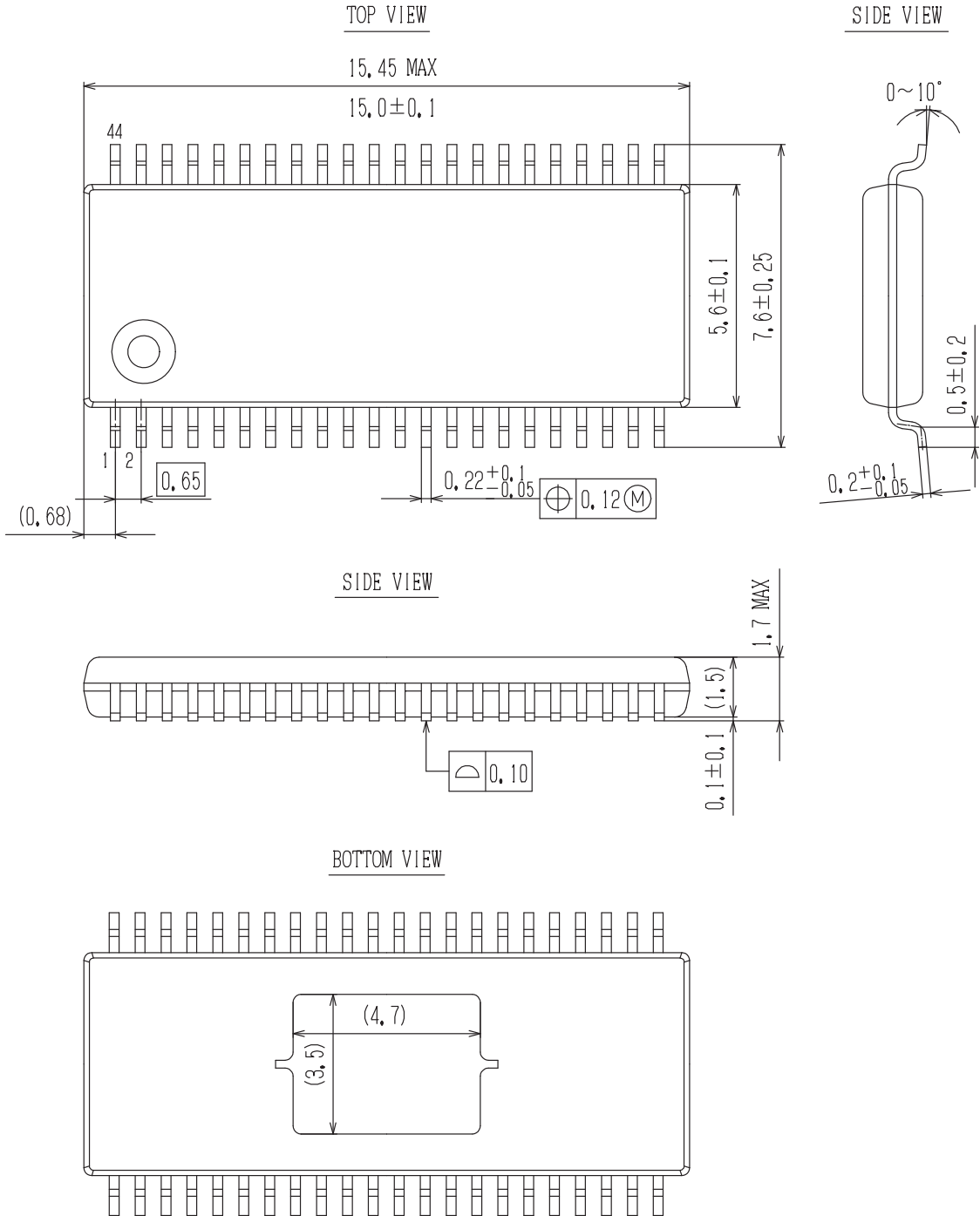
## 外形図

unit : mm

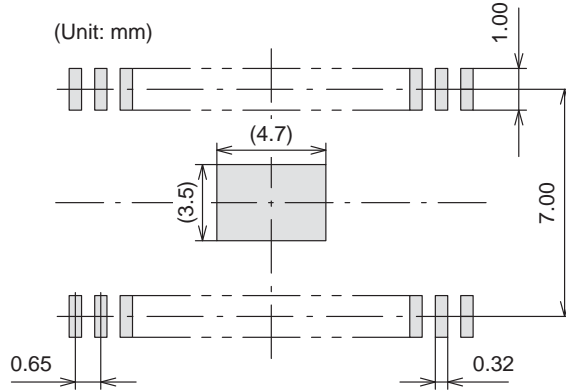
### SSOP44K (275mil) Exposed Pad

CASE 940AF

ISSUE A



## SOLDERING FOOTPRINT\*

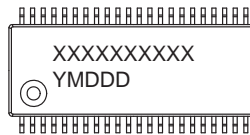


### NOTES:

1. The measurements are for reference only, and unable to guarantee.
2. Please take appropriate action to design the actual Exposed Die Pad and Fin portion.
3. After setting, verification on the product must be done.  
 (Although there are no recommended design for Exposed Die Pad and Fin portion Metal mask and shape for Through-Hole pitch (Pitch & Via etc), checking the soldered joint condition and reliability verification of soldered joint will be needed. Void ▯ gradient ▯ insufficient thickness of soldered joint or bond degradation could lead IC destruction because thermal conduction to substrate becomes poor.)

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

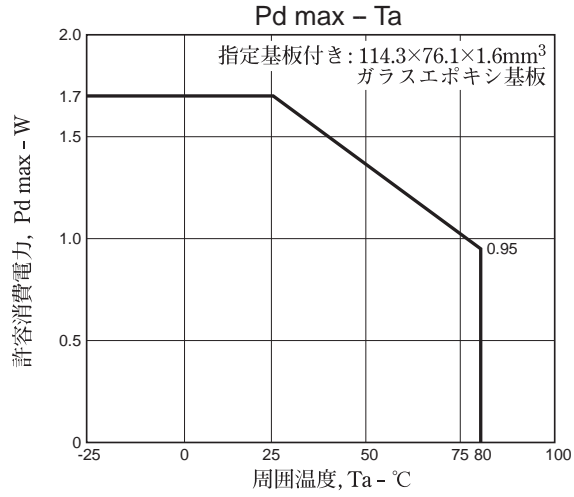
## GENERIC MARKING DIAGRAM\*



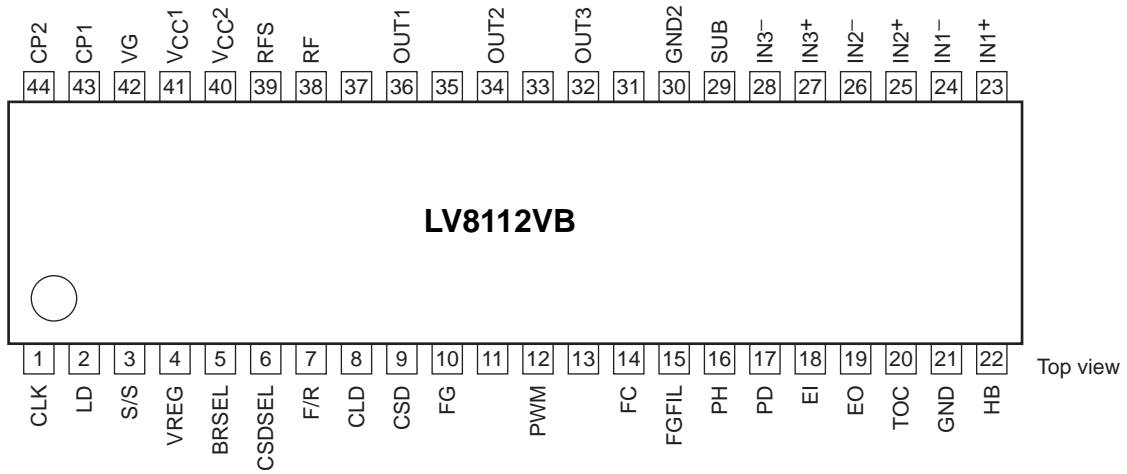
XXXXX = Specific Device Code  
 Y = Year  
 M = Month  
 DDD = Additional Traceability Data

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present.

# LV8112VB



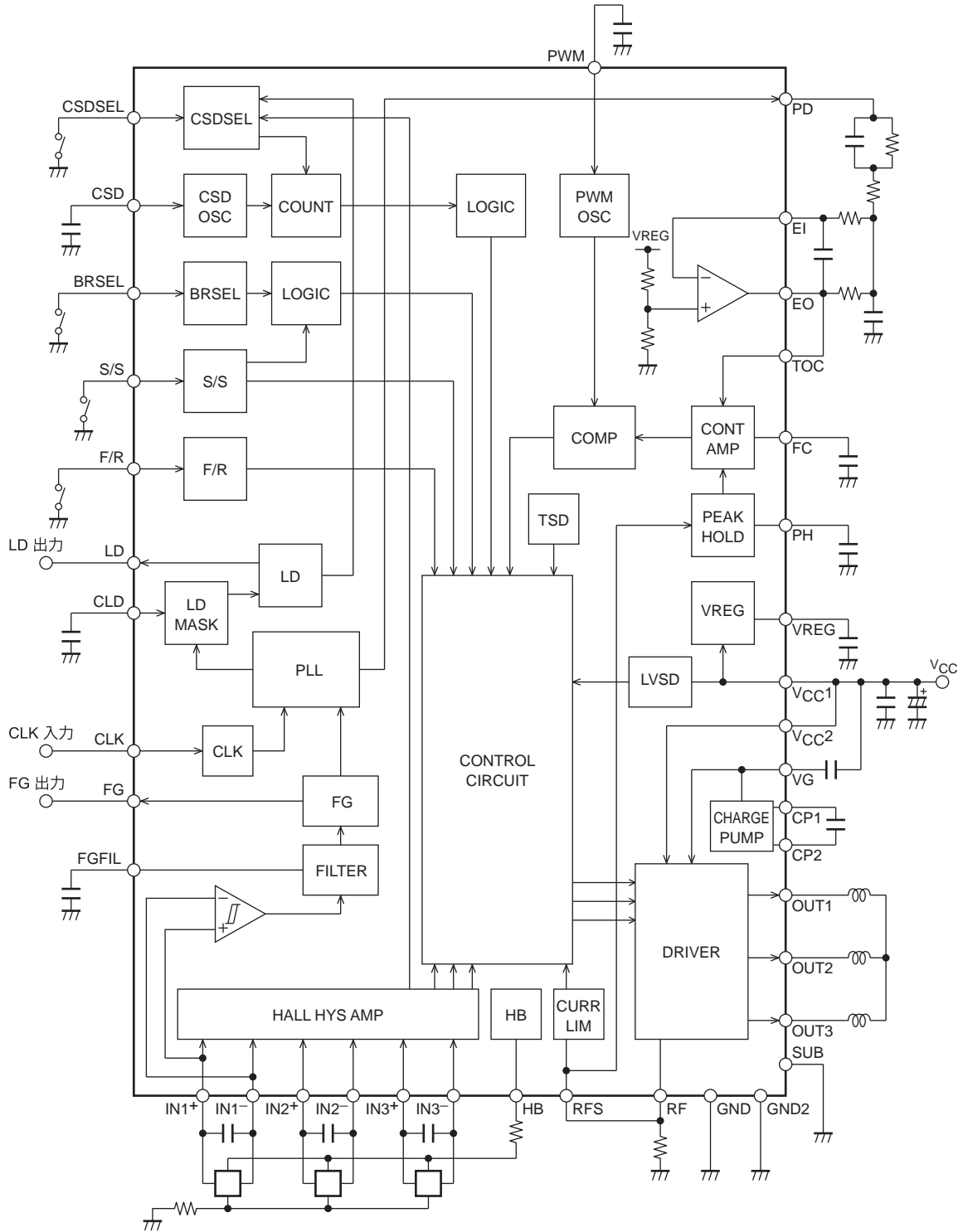
## ピン配置図





# LV8112VB

ブロック図および応用回路例



端子機能

端子番号	端子名	端子機能	等価回路
1	CLK	クロック入力端子。 10kHz max。	
2	LD	位相ロック検知出力端子。 PLL位相ロック時にオンする。 オープンドレイン出力。	
3	S/S	スタート/ストップ入力端子。 「L」でスタート、 「H」またはオープンでストップ。	
4	VREG	5Vレギュレータ出力端子。 (制御回路電源) 安定化のため、GND間にコンデンサを接続する。	
5	BRSEL	ブレーキ選択端子。 「L」でS/S端子ストップ時ショート ブレーキ(検査工程用ブレーキ)。	
6	CSDSEL	拘束保護検知信号選択端子。 「L」でFG、 「H」またはオープンでLD。	

次ページへ続く。

前ページからの続き。

端子番号	端子名	端子機能	等価回路
7	F/R	正転/逆転選択端子。 (SDCC機能選択端子)	
8	CLD	位相ロック信号マスク時間設定端子。 GND間にコンデンサを接続する。 マスクする必要がない場合はオープンとする。	
9	CSD	拘束保護回路の動作時間設定用端子、 兼初期リセットパルス設定端子。 GND間にコンデンサを接続する。 保護回路を使用しない場合はコンデンサと並列に抵抗を接続する。	
10	FG	FGシュミット出力端子。 オープンドレイン出力。	
12	PWM	PWMの発振周波数を設定する端子。 GND間にコンデンサを接続する。	
14	FC	電流制御回路の周波数特性補正端子。 GND間にコンデンサを接続する。	

次ページへ続く。

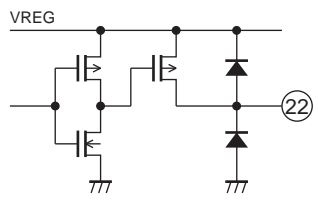
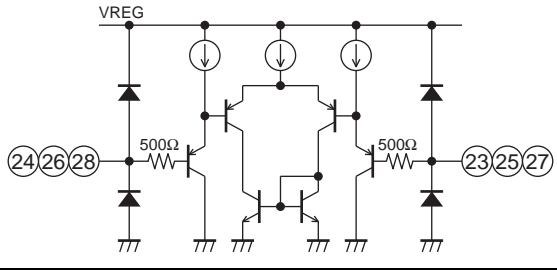
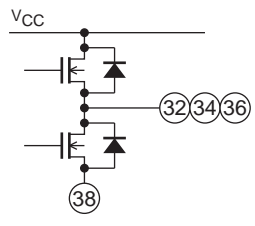

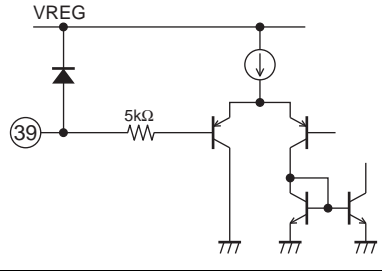
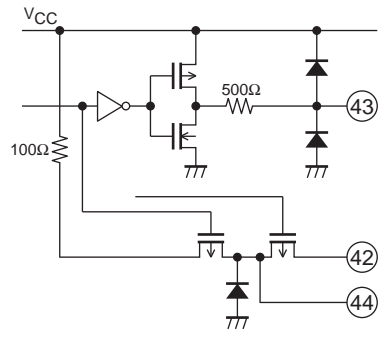
前ページからの続き。

端子番号	端子名	端子機能	等価回路
15	FGFIL	FGフィルタ端子。 FG信号のノイズが問題となる場合、GND間にコンデンサを接続する。	
16	PH	RF波形の平滑用端子。 GND間にコンデンサを接続する。	
17	PD	位相比較出力端子。 位相誤差をパルスのデューティ変化で出力する。	
18	EI	誤差アンプ入力端子。	
19	E0	誤差アンプ出力端子。	
20	TOC	トルク指令電圧入力端子。 通常、E0端子と接続する。 TOC電圧が下がると、上側出力TrのON Dutyは増加する。	
21	GND	制御回路部のGND端子。	

次ページへ続く。

# LV8112VB

前ページからの続き。

端子番号	端子名	端子機能	等価回路
22	HB	ホール素子バイアス電流端子。 S/S端子のスタート時ON、 ストップ時OFF。	
23 24 25 26 27 28	IN1+ IN1- IN2+ IN2- IN3+ IN3-	ホール入力端子。 IN+ > IN- で「H」、逆は「L」とする。 ホール信号は100mVp-p(差動)以上の振 幅が望ましい。 ホール信号のノイズが問題となる場合 は、IN+, IN-間にコンデンサを接続す る。	
29	SUB	Frame GND端子。GND2端子に接続する。	
30	GND2	出力回路部のGND端子。	
32 34 36	OUT3 OUT2 OUT1	出力端子。 PWMは、上側FETによりデューティ制御 を行う。	
38	RF	出力MOSFET(下側)のソース端子。 GND間に低抵抗(Rf)を接続する。	
39	RFS	出力電流検出端子。 RF端子に接続する。	
40	VCC2	出力用電源端子。 ノイズ等が入らないようにGND間にコン デンサを接続する。	
41	VCC1	制御用電源端子。	
42 43 44	VG CP1 CP2	チャージポンプ出力端子 (上側FETゲート用電源)。 VCC間にコンデンサを接続する。 チャージポンプ用コンデンサ接続端 子。 CP1-CP2間にコンデンサを接続する。	

## LV8112VB

### 3相ロジック真理値表 (IN=「H」 とは、 $IN^+ > IN^-$ の状態を示す)

F/R=「H」			F/R=「L」			出力		
IN1	IN2	IN3	IN1	IN2	IN3	OUT1	OUT2	OUT3
H	L	H	L	H	L	L	H	M
H	L	L	L	H	H	L	M	H
H	H	L	L	L	H	M	L	H
L	H	L	H	L	H	H	L	M
L	H	H	H	L	L	H	M	L
L	L	H	H	H	L	M	H	L

### S/S端子

入力状態	状態
Hまたはオープン	ストップ
L	スタート

### BRSEL端子

入力状態	状態
Hまたはオープン	フリーラン
L	ショートブレーキ

### GSDSEL端子

入力状態	状態
Hまたはオープン	LD基準
L	FG基準

### SDCC機能選択

入力状態	状態
F/R=「Hまたはオープン」	機能ON
F/R=「L」	機能OFF

## LV8112VBの概要

### 1. 速度制御回路

本ICは、PLL速度制御方式を採用しているため、高精度でジッタの少ない、安定した回転を実現できる。このPLL回路はCLK信号とFG信号のエッジの位相差を比較し、その誤差出力で制御している。制御時のFGサーボ周波数はCLK周波数と同一となる。

$$f_{FG}(\text{サーボ}) = f_{CLK}$$

### 2. 出力駆動回路

本ICは、出力での電力損失(パワーロス)を少なくするために、ダイレクトPWM駆動方式を採用している。出力TrのオンDutyを変化させることにより、モータの駆動力を調整する。出力のPWMスイッチングは、上側出力Trで行っている。

なお、PWM OFF時の回生ルートとしては、出力DMOSの寄生ダイオードがあるが、本ICは同期整流を行い、ダイオード回生より発熱の低減を図っている。

### 3. 電流制限回路

電流制限回路は、 $I=V_{RF}/R_f$  ( $V_{RF}=0.515V$  typ,  $R_f$ :電流検出抵抗)で決まる電流で制限(ピーク電流を制限)する。制限動作としては、出力のオンDutyが小さくなり、電流を抑える。

電流制限回路は、PWM動作によるダイオードの逆回復電流を検出して電流制限動作が誤動作しないようにするため、動作に遅延(約300ns)がある。モータのコイル抵抗が小さかったり、インダクタンスが小さいと、起動時(モータの逆起電力がない状態)の電流変化が速いため、この遅延により設定電流以上で電流制限動作をする場合がある。この場合は、遅延による電流増加分を考慮して電流制限値を設定する必要がある。

### 4. パワーセーブ回路

本ICは、ストップ状態では消費電流を減少させるパワーセーブ状態となる。パワーセーブ状態では、大部分の回路のバイアス電流をカットすることにより行っている。パワーセーブ状態においても、5Vレギュレータ出力は出力される。

### 5. 基準クロック

外部から入力するクロック信号は、チャタリング等のノイズがないように注意する必要がある。入力回路にはヒステリシスを持たせてあるが、問題となる場合は、コンデンサ等によりノイズを除去してから入力すること。

基準クロックが無入力状態でスタート状態とされた場合、拘束保護回路を動作させていれば、モータが多少回転した後に駆動はオフされる。(クロック断線保護)

### 6. PWM周波数に関して

PWM周波数はPWM端子に接続するコンデンサ容量C(F)により決まる。

$$f_{PWM} \approx 1/(29500 \times C) \cdots 150\text{pF以上}$$

$$f_{PWM} \approx 1/(32000 \times C) \cdots 100\text{pF以上} \quad 150\text{pF未満}$$

150pFのコンデンサを付けると、約225kHzの発振となる。出力の影響を受けにくいようにコンデンサのGNDは、できるだけICの制御部GND(GND端子)近傍に配線すること。

### 7. ホール入力信号

ホール入力は、ヒステリシス幅(42mV max)以上の振幅の信号入力が必要である。ノイズ等の影響を考えると100mV以上の振幅の入力が望ましい。ノイズにより出力波形(相切り替わり時)に乱れが生じる場合は、入力間にコンデンサ等を入れて防止すること。

### 8. FG信号

IN1のホール信号をIC内部でFG信号として使用する。ノイズが問題となる場合、FGFIL端子-GND間にコンデンサを付けることによってもFG信号のノイズを除去することは可能であるが、容量が大きすぎると波形が鈍り、正常動作ができなくなるため注意すること。コンデンサのGND位置が悪いと、逆にノイズによる不具合が発生しやすくなるので、注意が必要である。

### 9. 拘束保護回路

モータ拘束時のICおよびモータの保護を行うため、拘束保護回路を内蔵している。

CSDSEL端子を「H」またはオープンを選択すると、スタート状態でLD出力が一定時間「H」(アンロック状態)であると動作し、「L」を選択するとスタート状態でFG信号が一定時間切り替わらないと動作する。なお、拘束保護の動作時は上側出力Trをオフする。

時間設定は、CSD端子に接続するコンデンサ容量により行う。

$$\text{設定時間(s)} \approx 102 \times C(\mu\text{F})$$

0.068 $\mu$ Fのコンデンサを付けると、約7.0秒の保護時間となる。設定時間は、モータ起動時間に対して余裕を持った設定とすること。クロック周波数切り替えによる減速時には、保護回路は動作しない。拘束保護状態を解除するには、ストップ状態とするか、電源の再投入が必要である。

CSD端子は初期リセットパルス発生端子と兼用しているため、GNDと接続するとロジック回路がリセット状態となり、速度制御をすることができない。よって、拘束保護を使用しない場合は、対GNDに約220k $\Omega$ の抵抗と約4700pF程度のコンデンサを並列に接続すること。

## 10. 位相ロック信号

## ①位相ロックの範囲

本ICは、速度系のカウンタ等を持っていないため、位相ロック状態における速度誤差範囲は、IC特性のみでは決めることができない(FG周波数変化の加速度が影響するため)。モータとして規定する必要がある場合は、実際にモータ状態で測定して決めてもらう必要がある。FGの加速度が大きい状態で速度誤差は生じやすいため、起動時のロック引き込み時やクロック切り替えによるアンロック時が一番速度誤差としては大きくなると思われる。

## ②位相ロック信号のマスク機能

ロック引き込み時のハンチングによる短時間の”L”信号をマスクすることにより、安定した状態でロック信号を出すことができる。しかし、マスク時間分はロック信号出力が遅れることになる。

マスク時間は、CLD端子-GND間に接続するコンデンサ容量により設定する。

$$\text{マスク時間 (s)} \approx 1.8 \times C (\mu\text{F})$$

0.1 $\mu$ Fのコンデンサを付けると、約180msのマスク時間となる。完全にマスクする必要がある場合は、マスク時間は十分に余裕を持って設定すること。マスクする必要がある場合は、CLD端子をオープンとする。

## 11. 電源安定化

本ICは出力電流が大きく、スイッチングによる駆動方式であるため、電源ラインが振られやすい。よって、V<sub>CC</sub>端子-GND間には、安定化のために十分な容量のコンデンサを接続する必要がある。

コンデンサのGND側はパワーGNDであるGND2端子に付け、できるだけピン近傍に付ける。コンデンサ（電解コンデンサ）がピン近傍に付けられない場合は、ピン近傍には約0.1 $\mu$ F程度のセラミックコンデンサを付けること。

電源の逆接続による破壊防止の目的で、電源ラインにダイオードを挿入する場合、電源ラインが特に振られやすくなるため、より大きな容量を選択する必要がある。

## 12. VREG安定化

制御回路の電源であるVREG電圧を安定化するために0.1 $\mu$ F以上のコンデンサを接続する。そのコンデンサのGNDは、できるだけICの制御部GND(GND端子)近傍に配線すること。

## 13. 誤差アンプ周辺定数

誤差アンプ部の外付け部品は、ノイズの影響を受けにくいようにできるだけIC近傍に配置すること。モータからできるだけ離れた配置とすること。

## 14. IC裏面金属部

IC裏面の金属部は、熱伝導の良いはんだ等で基板と密着させると放熱が非常に良くなる。

## 15. SDCC(Speed Detection Current Control)

SDCC機能は、速度検出電流制御を行う回路である。

目標回転数の95%以上となった時、電流制限値を87.5%に減少させ、モータの加速度を低下させる。

そうすることにより、位相ロック時の引き込みが安定するので、起動時間のばらつきが少なくなる。

SDCC機能は、

F/R=「Hまたはオープン」 → 機能ON

F/R=「L」 → 機能OFF

となる。

※SDCC機能の選択と、モータの正転/逆転の選択が合わない場合は、HALLバイアスの入れ替え等に対応する必要がある。



## ORDERING INFORMATION

Device	Package	Shipping (Qty / Packing)
LV8112VB-AH	SSOP44K (275mil) EP (Pb-Free / Halogen Free)	2000 / Tape & Reel

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC) or its subsidiaries in the United States and/or other countries. SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴは、Semiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。