



ON Semiconductor®

<http://onsemi.jp>

# LV8761V

Bi-CMOS 集積回路

## 正逆Hブリッジドライバ

### 概要

LV8761Vは、正転、逆転、ブレーキ、待機の4モードをコントロールできるHブリッジドライバである。スタンバイ電流ゼロ、低ON抵抗で高効率を実現し、0A用のブラシ付きDCモータの駆動に最適である。

### 特長

- ・正逆Hブリッジドライバ 1ch
- ・サーマルシャットダウン回路内蔵
- ・異常状態警告出力端子
- ・電流リミッタ機能内蔵
- ・短絡保護機能内蔵
- ・ショート保護回路のラッチ/自動復帰切り替え可能

### 絶対最大定格/Ta=25°C

| 項目       | 記号      | 条件                 | 定格値              | unit |
|----------|---------|--------------------|------------------|------|
| 電源電圧     | VM max  |                    | 38               | V    |
|          | VCC max |                    | 6                | V    |
| 出力ピーク電流  | IO peak | tw ≤ 20ms, duty 5% | 4                | A    |
| 出力連続電流   | IO max  |                    | 3                | A    |
| ロジック入力電圧 | VIN     |                    | -0.3 ~ VCC + 0.3 | V    |
| 許容消費電力   | Pd max  | 指定基板付き※            | 3.15             | W    |
| 動作周囲温度   | Topr    |                    | -20 ~ +85        | °C   |
| 保存周囲温度   | Tstg    |                    | -55 ~ +150       | °C   |

※ 指定基板: 90mm × 90mm × 1.6mm, ガラスエポキシ2層基板 (2S0P), 裏面実装有り

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

### 推奨動作範囲/Ta=25°C

| 項目       | 記号   | 条件 | 定格値           | unit |
|----------|------|----|---------------|------|
| 電源電圧範囲   | VM   |    | 9 ~ 35        | V    |
|          | VCC  |    | 3 ~ 5.5       | V    |
| VREF入力電圧 | VREF |    | 0 ~ VCC - 1.8 | V    |
| ロジック入力電圧 | VIN  |    | 0 ~ VCC       | V    |

# LV8761V

電気的特性/Ta=25°C, VM=24V, VCC=5V, VREF=1.5V

| 項目                           | 記号                 | 条件  | min   | typ  | max   | unit |
|------------------------------|--------------------|---|-------|------|-------|------|
| <b>全体</b>                    |                    |   |       |      |       |      |
| 待機時消費電流1                     | IMst               | PS="L"                                      |       |      | 1     | μA   |
| 待機時消費電流2                     | ICCst              | PS="L"                                      |       |      | 1     | μA   |
| 動作時消費電流1                     | IM                 | PS="H", IN1="H", 無負荷                        |       | 1    | 1.3   | mA   |
| 動作時消費電流2                     | ICC                | PS="H", IN1="H", 無負荷                        |       | 3    | 4     | mA   |
| VREG出力電圧                     | VREG               | I <sub>Q</sub> =-1mA                        | 4.75  | 5    | 5.25  | V    |
| VCC低電圧カット電圧                  | VthVCC             |   | 2.5   | 2.7  | 2.9   | V    |
| 低電圧ヒステリシス電圧                  | VthHIS             |   | 120   | 150  | 180   | mV   |
| サーマルシャットダウン温度                | TSD                | 設計保証 ※                                      | 155   | 170  | 185   | °C   |
| サーマルヒステリシス幅                  | ΔTSD               | 設計保証 ※                                      |       | 40   |       | °C   |
| <b>出力部</b>                   |                    |   |       |      |       |      |
| 出力オン抵抗                       | Ron1               | I <sub>Q</sub> =3A、シンク側                     |       | 0.2  | 0.25  | Ω    |
|                              | Ron2               | I <sub>Q</sub> =-3A、ソース側                    |       | 0.32 | 0.40  | Ω    |
| 出力リーク電流                      | I <sub>Qleak</sub> | V <sub>O</sub> =35V                         |       |      | 50    | μA   |
| 立ち上がり時間                      | tr                 | 10%~90%                                     |       | 200  | 500   | ns   |
| 立ち下がり時間                      | tf                 | 90%~10%                                     |       | 200  | 500   | ns   |
| 入出力遅延時間                      | tpLH               | IN1 or IN2~OUTA or OUTB<br>(L→H)            |       | 550  | 700   | ns   |
|                              | tpHL               | IN1 or IN2~OUTA or OUTB<br>(H→L)            |       | 550  | 700   | ns   |
| <b>チャージポンプ部</b>              |                    |   |       |      |       |      |
| 昇圧電圧                         | VGH                | VM=24V                                      | 28.0  | 28.7 | 29.8  | V    |
| 立ち上り時間                       | tONG               | VG=0.1μF                                    |       | 250  | 500   | μs   |
| 発振周波数                        | Fcp                |   | 115   | 140  | 165   | kHz  |
| <b>制御入力部</b>                 |                    |   |       |      |       |      |
| ロジック端子入力電流1                  | I <sub>INL</sub>   | V <sub>IN</sub> =0.8V 適応端子:PS               | 5.6   | 8    | 10.4  | μA   |
|                              | I <sub>INH</sub>   | V <sub>IN</sub> =5V 適応端子:PS                 | 56    | 80   | 104   | μA   |
| ロジック端子入力電流2                  | I <sub>INL</sub>   | V <sub>IN</sub> =0.8V<br>適応端子:IN1, IN2, EMM | 5.6   | 8    | 10.4  | μA   |
|                              | I <sub>INH</sub>   | V <sub>IN</sub> =5V<br>適応端子:IN1, IN2, EMM   | 35    | 50   | 65    | μA   |
| ロジック入力"H"レベル電圧               | V <sub>INH</sub>   | 適応端子:PS, IN1, IN2, EMM                      | 2.0   |      |       | V    |
| ロジック入力"L"レベル電圧               | V <sub>INL</sub>   | 適応端子:PS, IN1, IN2, EMM                      |       |      | 0.8   | V    |
| <b>電流Limit部</b>              |                    |   |       |      |       |      |
| VREF入力電流                     | IREF               |   | -0.5  |      |       | μA   |
| 電流Limitコンパレータ<br>スレッシュホールド電圧 | Vthlim             | VREF=1.5V                                   | 0.285 | 0.3  | 0.315 | V    |
| <b>短絡保護部</b>                 |                    |   |       |      |       |      |
| SCP端子充電電流                    | Iscp               | SCP=0V                                      | 3.5   | 5    | 6.5   | μA   |
| コンパレータスレッシュホールド<br>電圧        | Vthscp             |   | 0.8   | 1    | 1.2   | V    |
| EMO出力飽和電圧                    | Vemo               | I <sub>Q</sub> =500μA                       |       | 0.3  | 0.4   | V    |

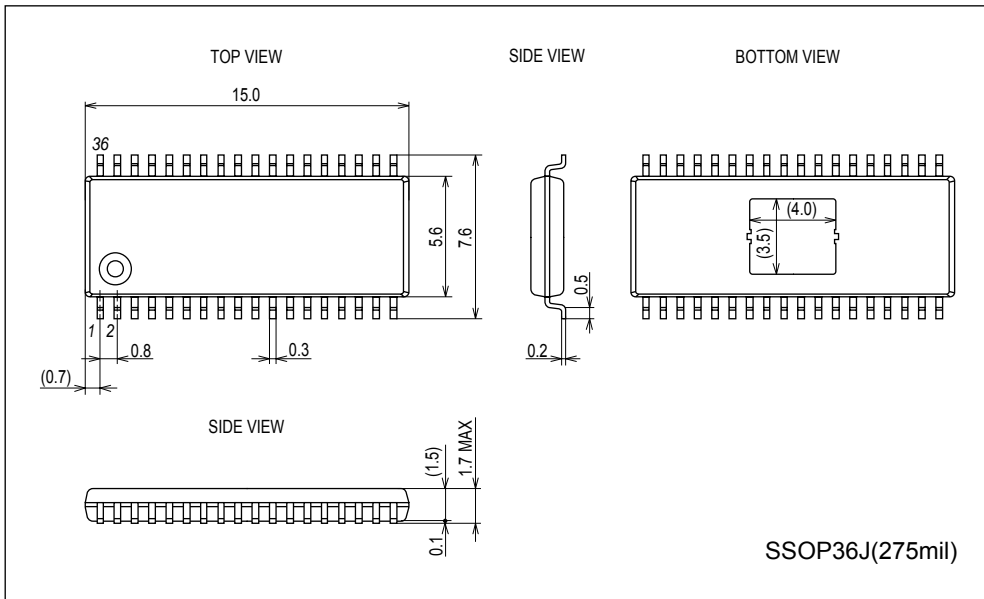
※設計保証値であり、測定は行わない。

# LV8761V

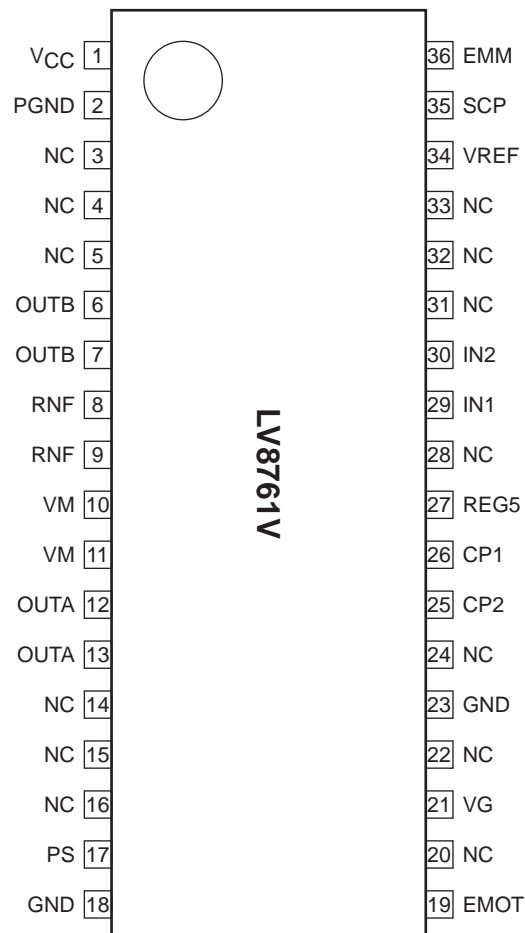
## 外形図

unit:mm (typ)

3361

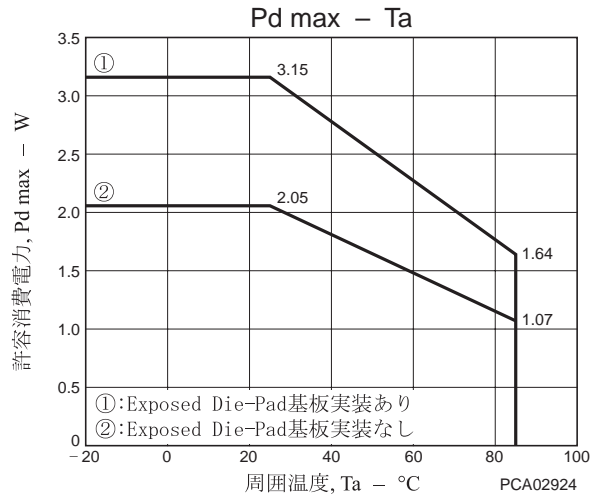


## ピン配置図



Top view

# LV8761V

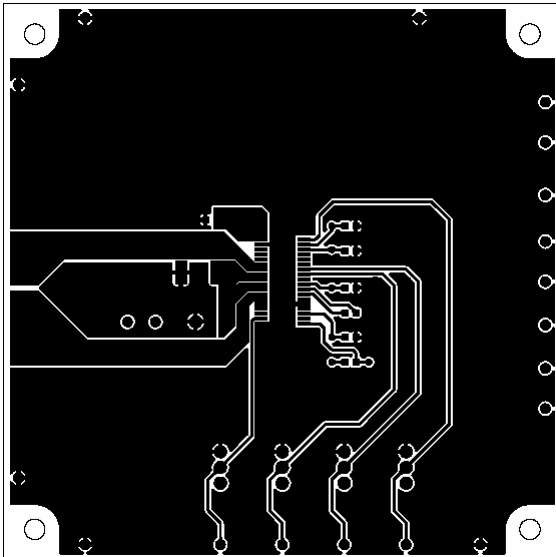


## 基板仕様 (LV8761V動作推奨基板)

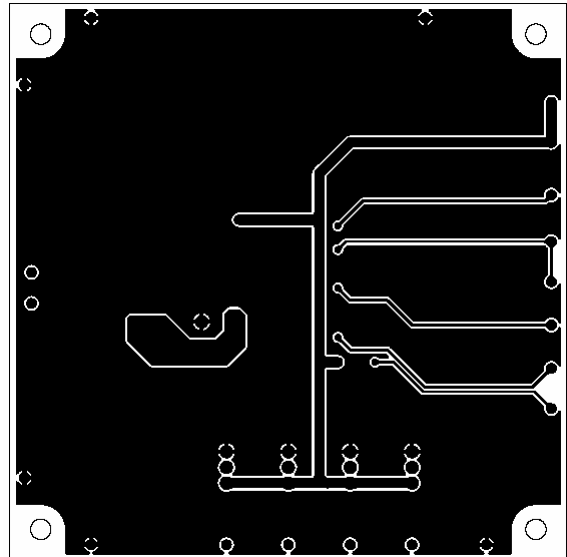
サイズ : 90mm×90mm×1.6mm (2層基板 [2S0P])

材質 : ガラスエポキシ

銅配線密度 : L1=95%/L2=95%



L1: 銅配線パターン図

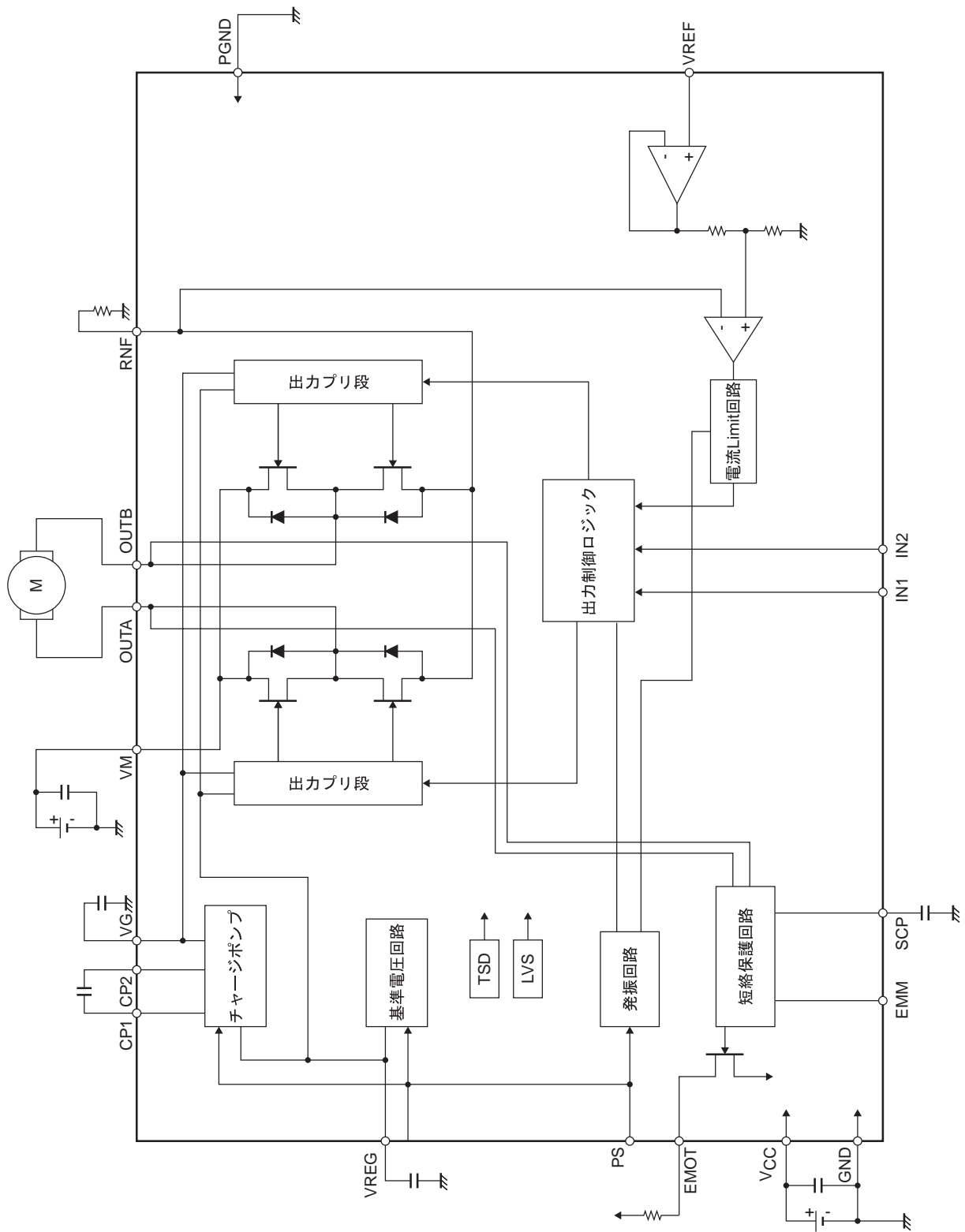


L2: 銅配線パターン図

## 注意事項

- 1) Exposed Die-Pad基板実装ありのデータは、Exposed Die-Pad面が90%以上濡れた状態での値である。
- 2) セット設計は余裕を持ったディレーティング設計をお願いする。  
ディレーティングの対象になるストレスは、電圧、電流、接合部温度、電力損失、それに機械的ストレスとして、振動、衝撃および引張りなどがある。  
したがって設計に当たっては、これらのストレスをできるだけ低く、あるいは小さくすること。  
一般的なディレーティングの目安を示す。  
(1) 電圧定格に対して、最大値が80%以下  
(2) 電流定格に対して、最大値が80%以下  
(3) 温度定格に対して、最大値が80%以下
- 3) セット設計後は、必ず製品で検証を行うこと。  
また、Exposed Die-Pad等 半田接合状態の確認、および、半田接合部の信頼性検証を行うこと。  
これらの部分の半田接合にボイドや劣化が認められる場合、基板への熱伝導状態が悪くなり、ICの熱破壊に至る可能性がある。

## ブロック図



# LV8761V

## 端子機能

| 端子 No.         | 端子名               | 端子機能  | 等価回路図 |
|----------------|-------------------|---|-------|
| 29<br>30<br>36 | IN1<br>IN2<br>EMM | 出力制御信号入力端子1<br>出力制御信号入力端子2<br>ショート保護回路モード切替端子 |       |
| 17             | PS                | パワーセーブ信号入力端子                                  |       |
| 34             | VREF              | 出力電流リミット設定用基準電圧入力端子                           |       |
| 35             | SCP               | 短絡保護回路 検出時間設定用コンデンサ接続端子                       |       |
| 1              | VCC               | コントロール電源接続端子                                  |       |

次ページへ続く。

# LV8761V

前ページより続く。

| 端子 No.                                | 端子名                               | 端子機能  | 等価回路図 |
|---------------------------------------|-----------------------------------|---|-------|
| 10, 11<br>12, 13<br>8, 9<br>6, 7<br>2 | VM<br>OUTA<br>RNF<br>OUTB<br>PGND | モータ電源接続端子<br>OUTA出力端子<br>電流センス抵抗接続端子<br>OUTB出力端子<br>パワーGND  |       |
| 26<br>25<br>21                        | CP1<br>CP2<br>VG                  | チャージポンプ用コンデンサ接続端子<br>チャージポンプ用コンデンサ接続端子<br>チャージポンプ用コンデンサ接続端子 |       |
| 27                                    | REG5                              | 内部基準電圧出力端子  |       |
| 19                                    | EMOT                              | 異常状態警告出力端子  |       |
| 18, 23                                | GND                               | グラウンド端子   |       |

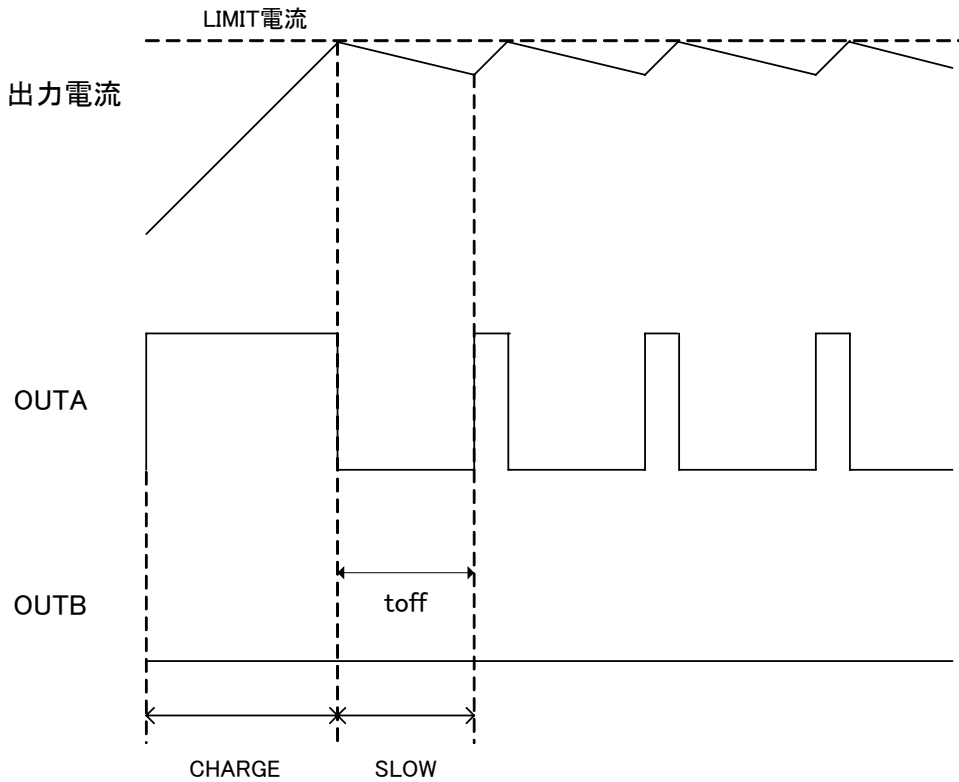
# LV8761V

## DCモータドライバ

### 1. DCM出力制御ロジック

| 制御入力 |     |     | 出力   |      | モード     |
|------|-----|-----|------|------|---------|
| PS   | IN1 | IN2 | OUTA | OUTB |         |
| L    | *   | *   | OFF  | OFF  | 待機      |
| H    | L   | L   | OFF  | OFF  | 出力OFF   |
| H    | H   | L   | H    | L    | CW(正転)  |
| H    | L   | H   | L    | H    | CCW(逆転) |
| H    | H   | H   | L    | L    | ブレーキ    |

### 2. 電流LIMIT制御タイムチャート



SCP端子-GND間にCを接続することにより、電流リミット動作時のブレーキ動作時間の設定を行うことができる。

この設定は、【出力短絡保護機能】の出力短絡時における出力OFFまでの時間設定と共通となっている。

設定方法は、【出力短絡保護機能】の項を参照する。

### 3. 電流LIMIT設定方法

DCMドライバの電流リミット値は、VREF電圧とRNF-GND間に接続する抵抗(RNF)から下記の式で決定される。

$$I_{\text{limit}}[\text{A}] = (\text{VREF}[\text{V}] / 5) / \text{RNF}[\Omega]$$

VREF=1.5V, RNF=0.2Ωの場合、

$$I_{\text{limit}} = 1.5\text{V} / 5 / 0.2\Omega = 1.5\text{A}$$

となる。



## 出力短絡保護機能

出力が天絡、地絡などによってショートした場合、ICが破壊してしまうことを防止するために出力をOFFさせる出力短絡保護回路が内蔵されている。短絡保護回路が動作した時、出力OFF状態をラッチしてしまう【ラッチ方式】と、出力のON/OFFを繰り返す【自動復帰方式】を選択することが可能である。

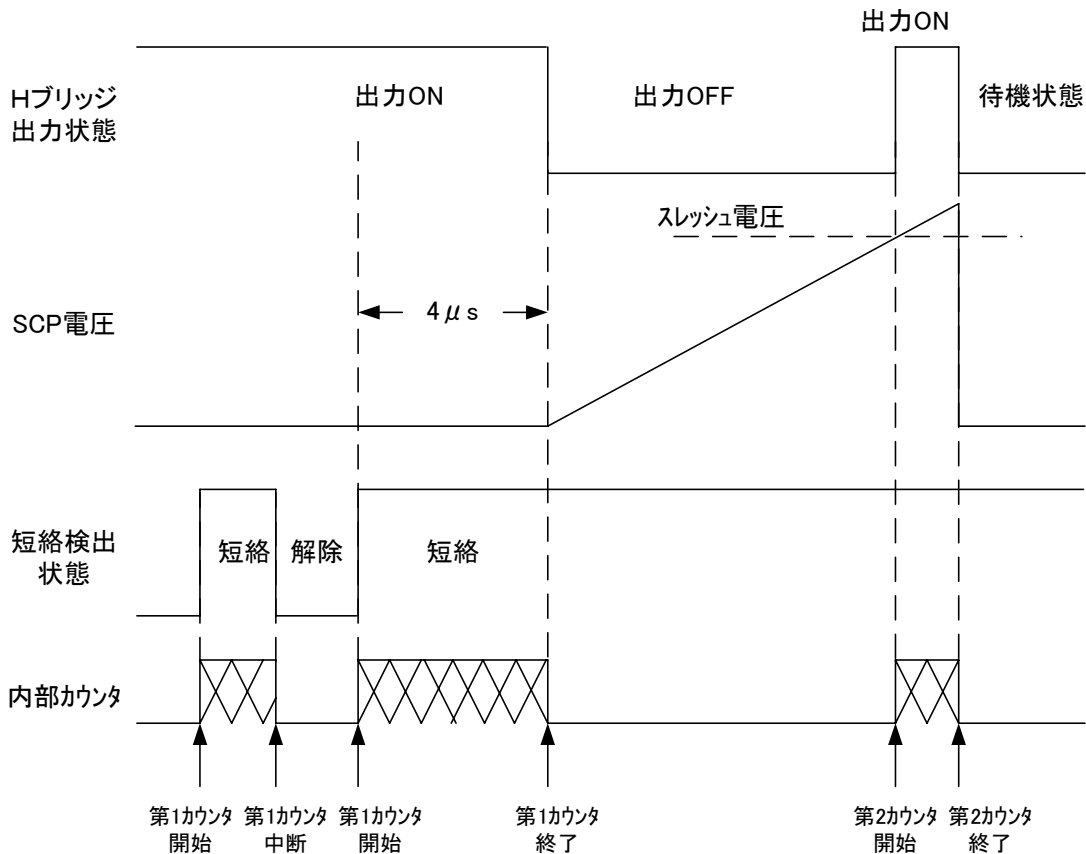
| EMM端子 | 短絡保護モード |
|-------|---------|
| L     | ラッチ方式   |
| H     | 自動復帰方式  |

### 1. 保護機能動作:ラッチ方式

出力ショート状態を検知すると、短絡検出回路が動作する。

短絡状態が、内部タイマ(≒4μs)の間連続すると、短絡が検出された出力をOFFする。

その後、後述のタイマーラッチ時間を越えたところで、再度出力をONさせて、それでも短絡状態を検出した場合は、すべての出力を待機モードに切り替え、その状態を保持する。この状態は、PS="L"にすることによって解除される。



### 2. SCP端子定数設定方法(タイマーラッチ設定)

SCP端子-GND間にCを接続することにより、出力短絡時に出力OFFまでの時間設定を行うことができる。Cの値は、以下の式により決定する。

$$\begin{aligned}
 \text{タイマラッチ: } T_{scp} & \quad T_{scp} \approx C \cdot V / I \quad [s] \\
 & \quad V: \text{比較器スレッシュホールド電圧} \quad \text{TYP } 1V \\
 & \quad I: \text{SCP充電電流} \quad \text{TYP } 5\mu A
 \end{aligned}$$

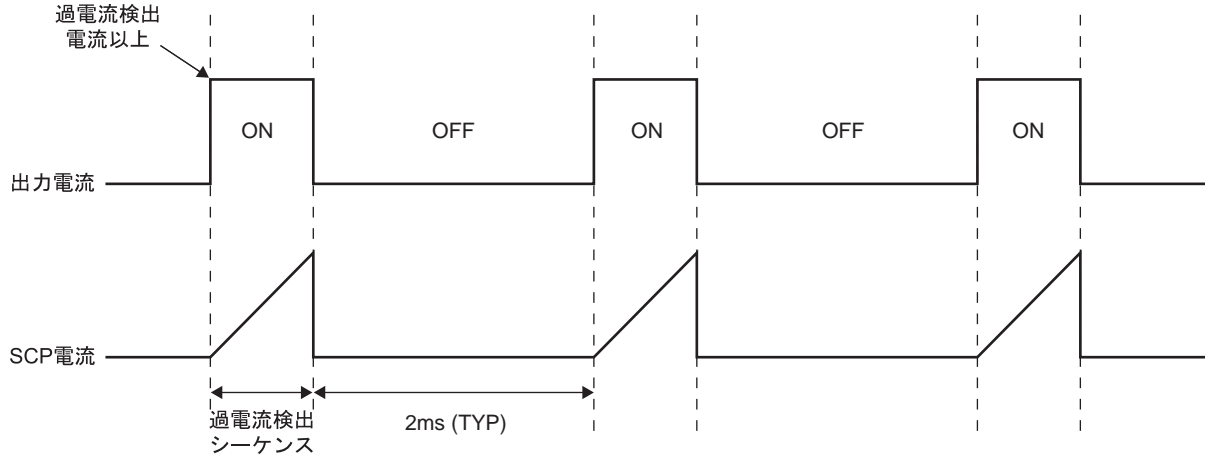
例えば、SCP端子-GND間に、C=50pFのコンデンサを接続した場合、

$$T_{scp} = 50\text{pF} \times 1V / 5\mu A = 10\mu s$$

となる。

### 3. 自動復帰方式

出力の短絡状態を検出までのシーケンスは前述の1. 保護機能動作:ラッチ方式と同様である。出力短絡検出して出力OFFした後、内部カウンタが動作を開始して、下図のようにON/OFFを繰り返す。この状態は、過電流状態が解除されるまで継続する。



### 4. 異常状態警告出力端子 (EMOT)

ICの異常状態を検出して保護回路が動作した時、この異常状態をCPU側に出力する端子として、EMOT端子を設けている。この端子はオープンドレイン出力なので、使用する場合はプルアップ抵抗が必要になる。

EMOT端子は、下記状態の時にON状態となる。

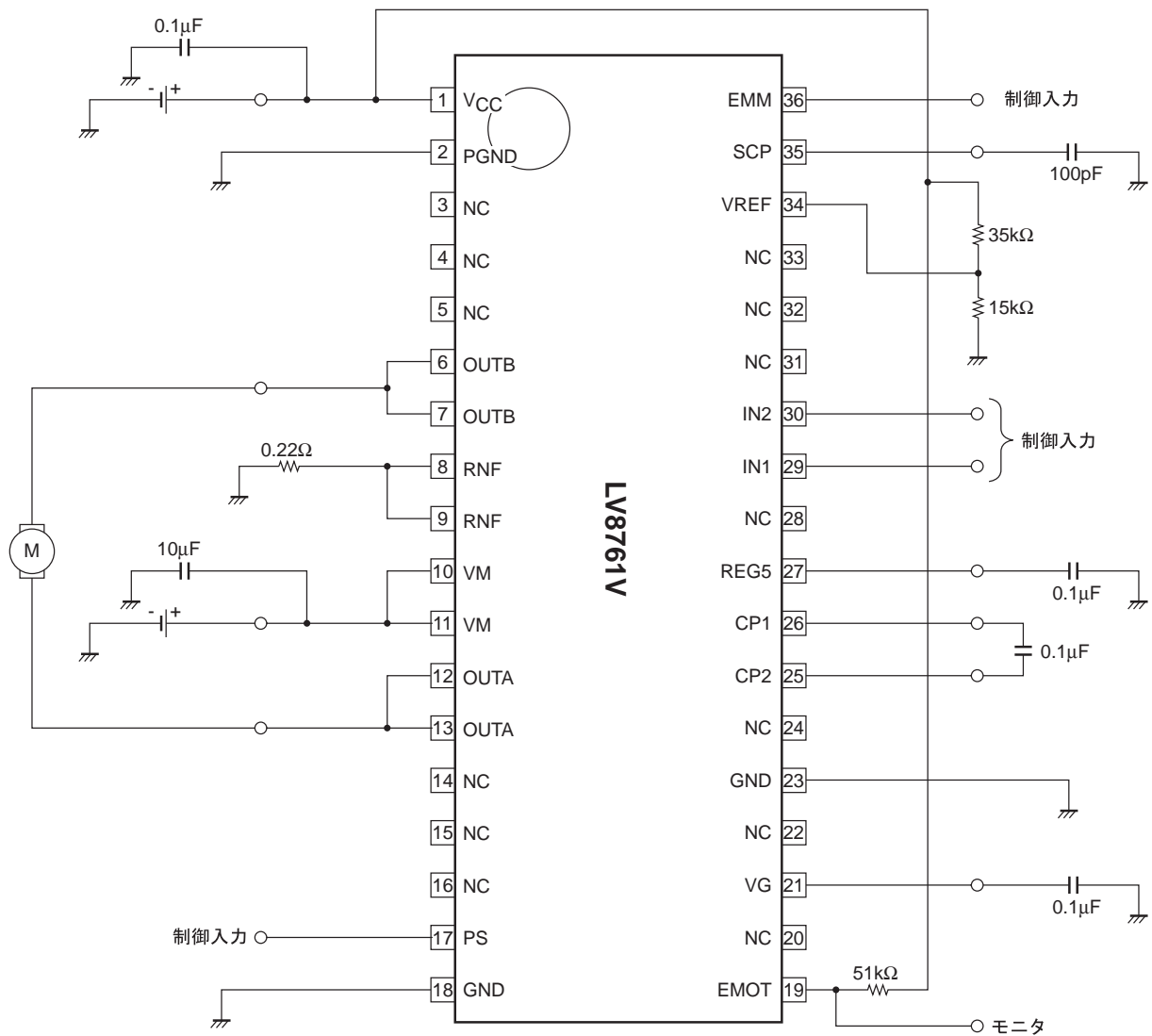
1. 出力端子が天絡、地絡して出力短絡保護回路が動作した時
2. ICのジャンクション温度が上昇して、過熱保護回路が動作した時

EMOT端子の出力ONの状態は、それぞれの保護回路動作が解除されたときにOFFされる。

# LV8761V

## 応用回路例

(電流リミット機能を使用する場合)



電流Limit設定  $V_{CC}=5V$ の時

$$V_{ref}=1.5V$$

$$I_{limit}=1.5V/5/0.22\Omega=1.36A$$

電流リミット回生時間、短絡状態検出時間設定

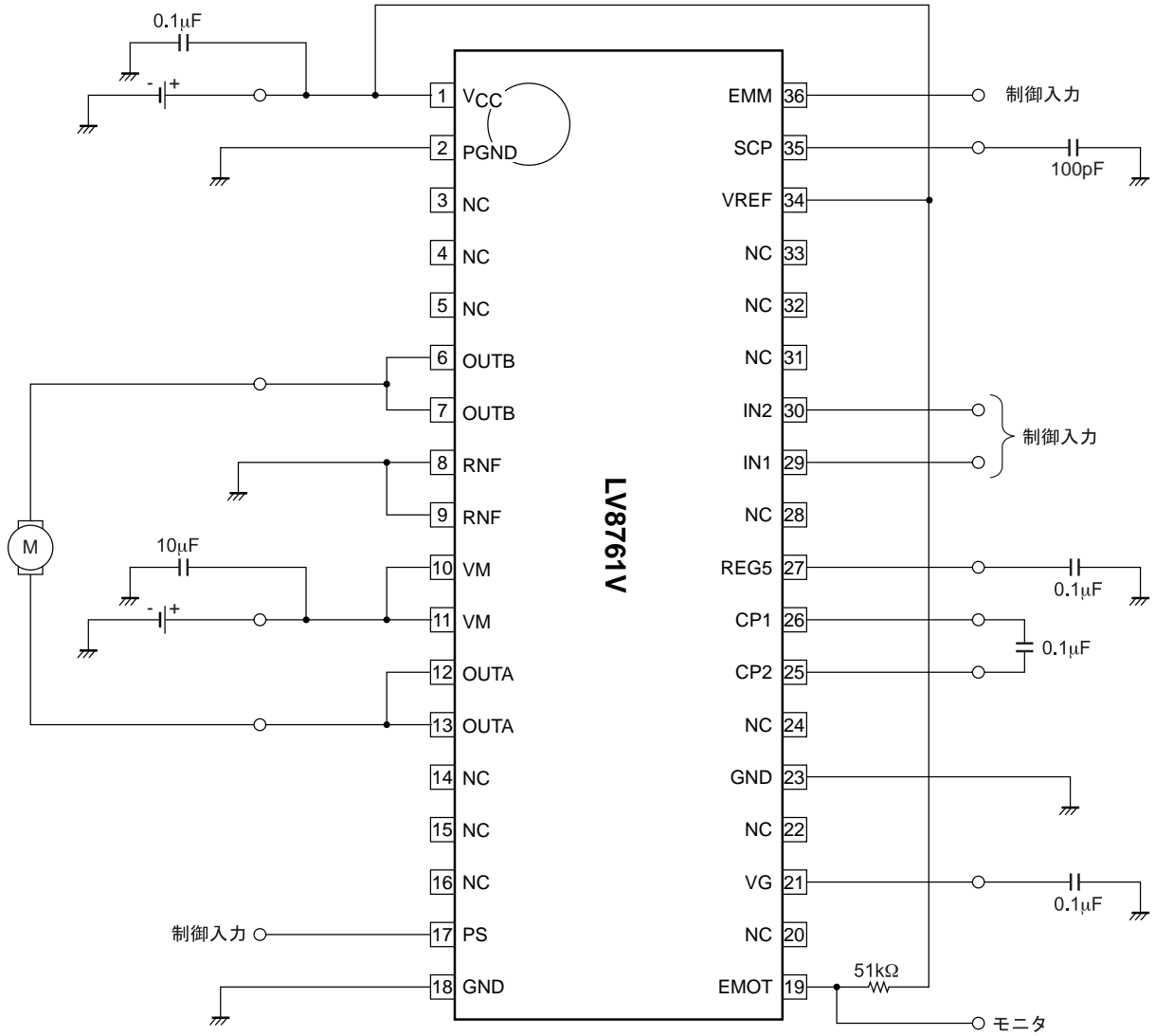
$$T_{scp} \doteq C \cdot V/I$$

$$=100pF \cdot 1V/5\mu A$$

$$=20\mu s$$

# LV8761V

(電流リミット機能を使用しない場合)



短絡状態検出時間設定

$$T_{SCP} \approx C \cdot V / I$$

$$= 100\text{pF} \cdot 1\text{V} / 5\mu\text{A}$$

$$= 20\mu\text{s}$$

※電流リミット機能を使用しない場合、下記の処理を行うこと。

- RNF-GND間ショート
- VREF端子をVCC以下の適当な電位に吊る

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。