

NCP1380

高電力ユニバーサル・オフライン 電源用擬似共振電流モード・ コントローラ

NCP1380は擬似共振コンバータを駆動するための高性能回路を内蔵しています。このコントローラは独自のバレーロックアウト・システムを利用して、電源負荷が軽くなるとスイッチング周波数が低下するようギアをシフトします。これにより、ドレイン・ソース・バレーでスイッチング・イベントが常時発生していても、安定した動作が可能です。このシステムは第4バレーまで動作し、その後は可変周波数モードに切り替わって、優れたスタンバイ電力性能を発揮します。

過負荷状態での安全性を高めるために、コントローラは供給される電力をハイラインにクランプする過電力保護(OPP)回路を内蔵しています。安全性を考慮し、内部固定タイマは、フィードバック電圧によるフォールト検出を行います。タイマが満了すると、コントローラは停止し、オプションAおよびCではラッチ状態を維持し、オプションBおよびDでは自動リカバリ・モードに入ります。

このコントローラは、特に電源アダプタ・アプリケーションに適しており、過電圧保護/過熱保護の組み合わせ(バージョンAおよびB)、またはブラウンアウト保護/過電圧保護の組み合わせ(バージョンCおよびD)のいずれかを導入するためのピンを備えています。

特長

- 擬似共振ピーク電流モード・コントローラ動作
- 耐ノイズ動作を実現するバレーロックアウトによるバレー・スイッチング動作
- 軽負荷時効率を改善するための軽負荷時周波数フォールドバック
- 調整可能な過電力保護
- 自動リカバリまたはラッチ付き内部出力短絡保護
- 短絡保護のための内部80 ms固定タイマ
- 過電圧保護と過熱保護の組み合わせ(AおよびBバージョン)
- 過電圧保護とブラウンアウト保護の組み合わせ(CおよびDバージョン)
- +500 mA/-800 mAのピーク電流ソース/シンク能力
- 内部温度シャットダウン
- オプトカプラ直接接続
- 最大28 Vの拡張V_{CC}動作範囲
- 非常に低い無負荷時スタンバイ電力
- SO-8パッケージ
- これらのデバイスは鉛フリーで、RoHS規格に適合しています。

代表的アプリケーション

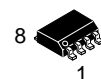
- TV、セットトップ・ボックスなどの高電力AC-DCコンバータ
- ノートブックPC用オフライン電源アダプタ



ON Semiconductor®

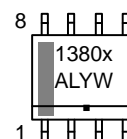
www.onsemi.com

QUASI-RESONANT PWM CONTROLLER FOR HIGH POW- ER AC-DC WALL ADAPTERS



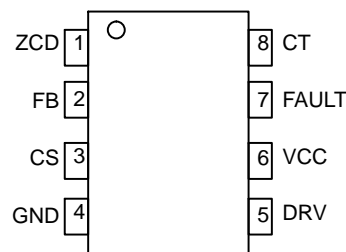
SOIC-8
D SUFFIX
CASE 751

MARKING DIAGRAMS



1380x = Specific Device Code
x = Device Option (A, B, C, or D)
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb-Free Package

PIN CONNECTIONS



ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 25 of this data sheet.

NCP1380

TYPICAL APPLICATION EXAMPLE

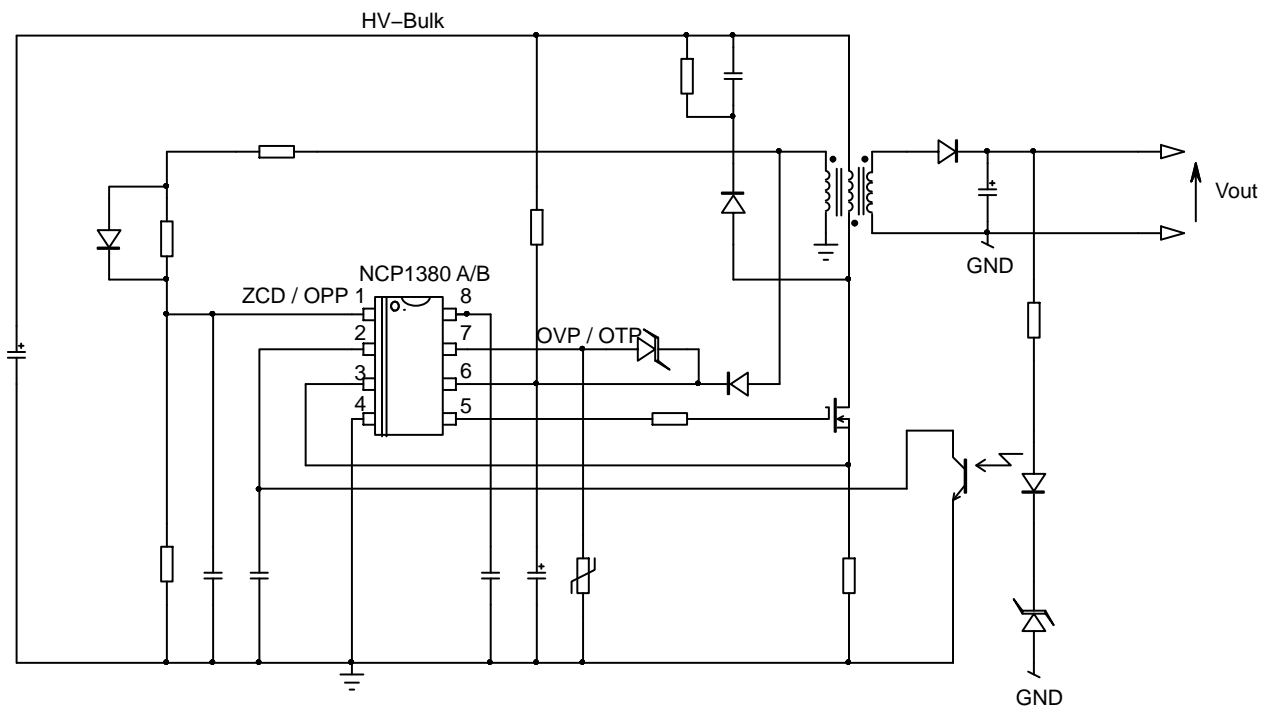


Figure 1. Typical Application Schematic for A and B Versions

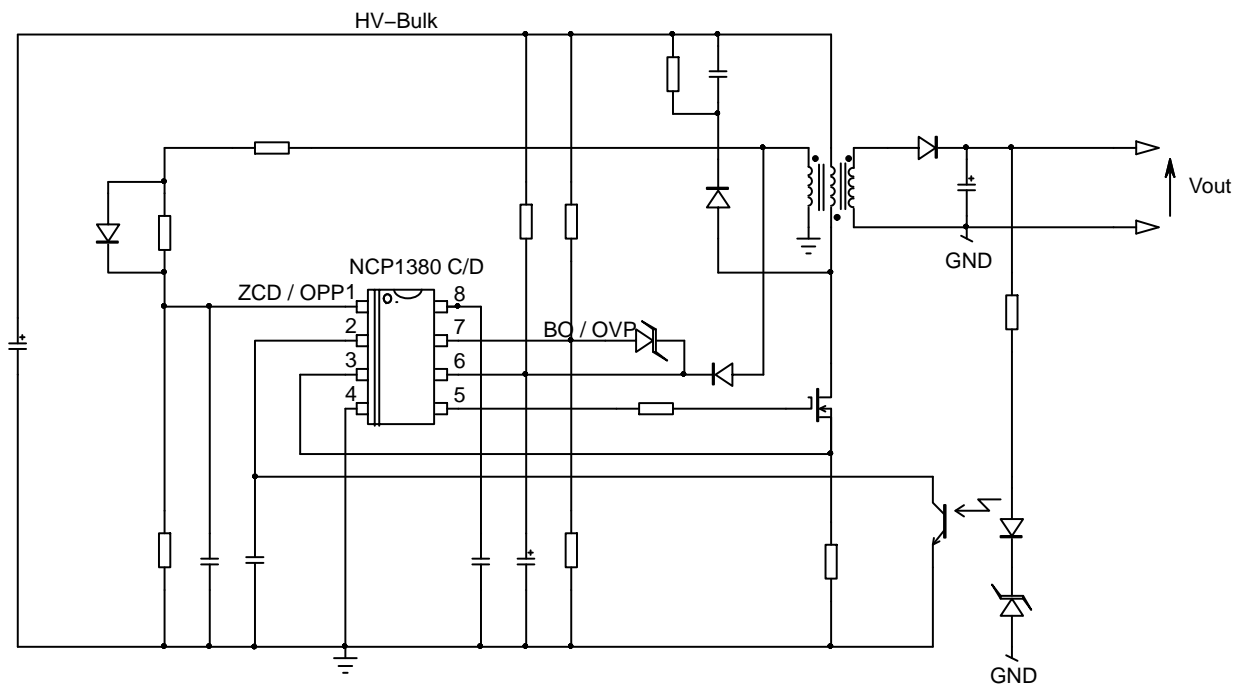


Figure 2. Typical Application Schematic for C and D Versions

NCP1380

PIN FUNCTION DESCRIPTION

Pin N°	Pin Name	Function	Pin Description
1	ZCD	Zero Crossing Detection Adjust the over power protection	Connected to the auxiliary winding, this pin detects the core reset event. Also, injecting a negative voltage smaller than 0.3 V on this pin will perform over power protection.
2	FB	Feedback pin	Hooking an optocoupler collector to this pin will allow regulation.
3	CS	Current sense	This pin monitors the primary peak.
4	GND	–	The controller ground
5	DRV	Driver output	The driver's output to an external MOSFET
6	V _{CC}	Supplies the controller	This pin is connected to an external auxiliary voltage.
7	Fault	Over voltage and Over temperature protection (A and B versions) Over-voltage and Brown-out protection (C and D versions)	Pulling this pin down with an NTC or up with a zener diode allows to latch the controller. This pin observes the HV rail and protects the circuit in case of low main conditions. It also offers a way to latch the circuit in case of over voltage event.
8	C _T	Timing capacitor	A capacitor connected to this pin acts as the timing capacitor in foldback mode.

NCP1380 OPTIONS

	OTP	OVP	Brown-Out	Auto-Recovery Overcurrent Protection	Latched Overcurrent Protection
NCP1380 / A	Yes	Yes			Yes
NCP1380 / B	Yes	Yes		Yes	
NCP1380 / C		Yes	Yes		Yes
NCP1380 / D		Yes	Yes	Yes	

INTERNAL CIRCUIT ARCHITECTURE

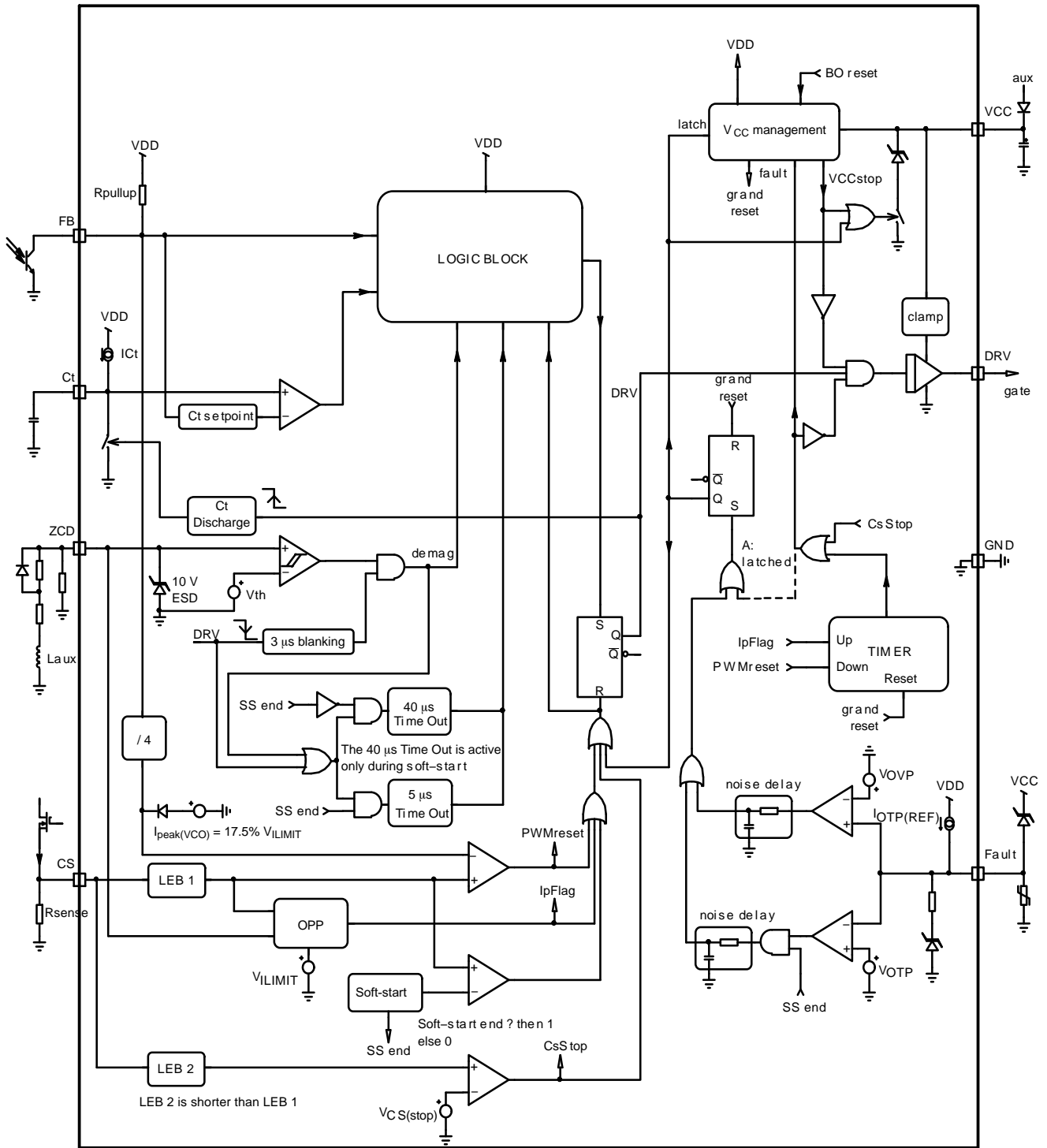


Figure 3. Internal Circuit Architecture for Versions A and B

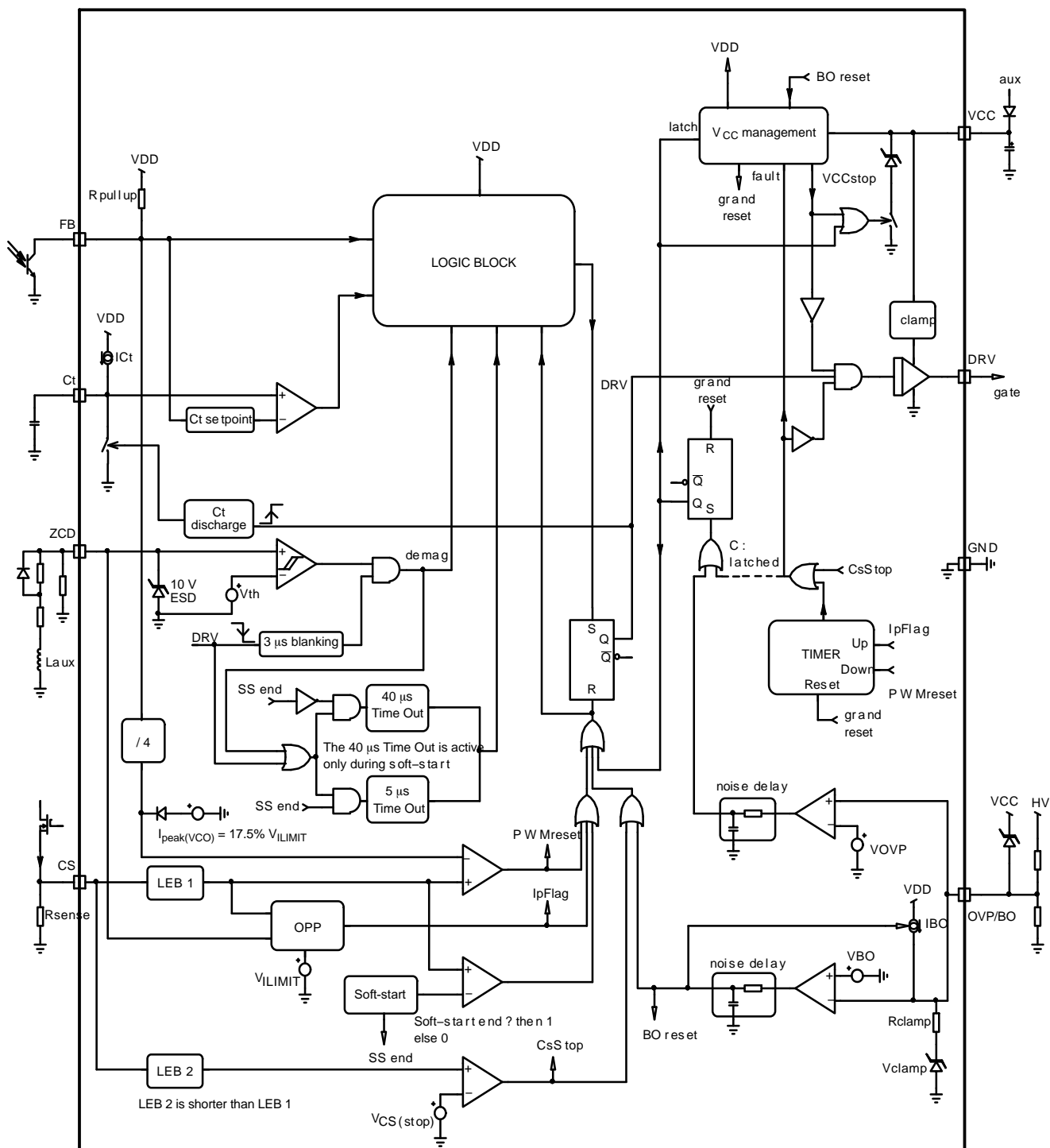


Figure 4. Internal Circuit Architecture for Versions C and D

NCP1380

MAXIMUM RATINGS

Symbol	Rating	Value	Unit
$V_{CC(MAX)}$ $I_{CC(MAX)}$	Maximum Power Supply voltage, V_{CC} pin, continuous voltage Maximum current for V_{CC} pin	-0.3 to 28 ± 30	V mA
$V_{DRV(MAX)}$ $I_{DRV(MAX)}$	Maximum driver pin voltage, DRV pin, continuous voltage Maximum current for DRV pin	-0.3 to 20 ± 1000	V mA
V_{MAX} I_{MAX}	Maximum voltage on low power pins (except pins DRV and V_{CC}) Current range for low power pins (except pins ZCD, DRV and V_{CC})	-0.3 to 10 ± 10	V mA
$I_{ZCD(MAX)}$	Maximum current for ZCD pin	+3 / -2	mA
$R_{\theta JA}$	Thermal Resistance Junction-to-Air	120	$^{\circ}C/W$
$T_J(MAX)$	Maximum Junction Temperature	150	$^{\circ}C$
	Operating Temperature Range	-40 to +125	$^{\circ}C$
	Storage Temperature Range	-60 to +150	$^{\circ}C$
	ESD Capability, HBM Model (Note 1)	4	kV
	ESD Capability, MM Model (Note 1)	200	V
	ESD Capability, CDM Model (Note 1)	2	kV

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

- This device series contains ESD protection and exceeds the following tests:
Human Body Model 4000 V per JEDEC Standard JESD22, Method A114E
Machine Model 200 V per JEDEC Standard JESD22, Method A115A
Charged Device Model 2000 V per JEDEC Standard JESD22-C101D.
- This device contains latchup protection and exceeds 100 mA per JEDEC Standard JESD78.

ELECTRICAL CHARACTERISTICS (Unless otherwise noted: For typical values $T_J = 25^{\circ}C$, $V_{CC} = 12 V$, $V_{ZCD} = 0 V$, $V_{FB} = 3 V$, $V_{CS} = 0 V$, $V_{fault} = 1.5 V$, $C_T = 680 pF$) For min/max values $T_J = -40^{\circ}C$ to $+125^{\circ}C$, Max $T_J = 150^{\circ}C$, $V_{CC} = 12 V$)

Symbol	Condition	Min	Typ	Max	Unit
--------	-----------	-----	-----	-----	------

SUPPLY SECTION – STARTUP AND SUPPLY CIRCUITS

$V_{CC(on)}$ $V_{CC(off)}$ $V_{CC(HYS)}$ $V_{CC(latch)}$ $V_{CC(reset)}$	Supply Voltage Startup Threshold Minimum Operating Voltage Hysteresis $V_{CC(on)} - V_{CC(off)}$ Clamped V_{CC} when latched-off Internal logic reset	V_{CC} increasing V_{CC} decreasing V_{CC} decreasing, $I_{CC} = 30 \mu A$	16 8.3 7.2 6.2 6	17 9 8.0 7.2 7	18 9.4 9.2 8.2 8	V
$t_{V_{CC(off)}}$ $t_{V_{CC(reset)}}$	$V_{CC(off)}$ noise filter $V_{CC(reset)}$ noise filter		- -	5 20	- -	μs
$I_{CC(start)}$	Startup current	FB pin open $V_{CC} = V_{CC(on)} - 0.5 V$	-	10	20	μA
$I_{CC(disch)}$	Current that discharges V_{CC} when the controller gets latched	$V_{CC} = 12 V$	3.0	4.0	5.0	mA
$I_{CC(latch)}$	Current into V_{CC} that keeps the controller latched (Note 3)	$V_{CC} = V_{CC(latch)}$	30	-	-	μA
I_{CC1} I_{CC2} I_{CC3A} I_{CC3B}	Supply Current Device Disabled/Fault (Note 3) B, C, and D only Device Enabled/No output load on pin 5 Device Switching ($F_{SW} = 65 kHz$) Device Switching VCO mode	$V_{CC} > V_{CC(off)}$ $F_{sw} = 10 kHz$ $C_{DRV} = 1 nF$, $F_{SW} = 65 kHz$ $C_{DRV} = 1 nF$, $V_{FB} = 1.25 V$	- - - -	1.7 1.7 2.65 2.0	2.0 2.0 3.0 -	mA

CURRENT COMPARATOR – CURRENT SENSE

V_{ILIM}	Current Sense Voltage Threshold	$V_{FB} = 4 V$, V_{CS} increasing	0.76	0.8	0.84	V
t_{LEB}	Leading Edge Blanking Duration for V_{ILIM}	Minimum on time minus t_{LIM}	210	275	330	ns
I_{bias}	Input Bias Current (Note 3)	DRV high	-2	-	2	μA
t_{LIM}	Propagation Delay	$V_{CS} > V_{ILIM}$ to DRV turn-off	-	125	175	ns
$I_{peak(VCO)}$	Percentage of maximum peak current level at which VCO takes over (Note 4)	$V_{FB} = 0.4 V$, V_{CS} increasing	15.4	17.5	19.6	%

NCP1380

ELECTRICAL CHARACTERISTICS (continued) (Unless otherwise noted: For typical values $T_J = 25^\circ\text{C}$, $V_{CC} = 12\text{ V}$, $V_{ZCD} = 0\text{ V}$, $V_{FB} = 3\text{ V}$, $V_{CS} = 0\text{ V}$, $V_{\text{fault}} = 1.5\text{ V}$, $C_T = 680\text{ pF}$) For min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$)

Symbol		Condition	Min	Typ	Max	Unit
--------	--	-----------	-----	-----	-----	------

CURRENT COMPARATOR – CURRENT SENSE

$V_{\text{OPP(MAX)}}$	Setpoint decrease for $V_{ZCD} = -300\text{ mV}$ (Note 5)	$V_{ZCD} = -300\text{ mV}$, $V_{FB} = 4\text{ V}$, V_{CS} increasing	35	37.5	40	%
$V_{CS(\text{stop})}$	Threshold for immediate fault protection activation		1.125	1.200	1.275	V
t_{BCS}	Leading Edge Blanking Duration for $V_{CS(\text{stop})}$		–	120	–	ns

DRIVE OUTPUT – GATE DRIVE

R_{SNK} R_{SRC}	Drive Resistance DRV Sink DRV Source	$V_{\text{DRV}} = 10\text{ V}$ $V_{\text{DRV}} = 2\text{ V}$	– –	12.5 20	– –	Ω
I_{SNK} I_{SRC}	Drive current capability DRV Sink DRV Source	$V_{\text{DRV}} = 10\text{ V}$ $V_{\text{DRV}} = 2\text{ V}$	– –	800 500	– –	mA
t_r	Rise Time (10% to 90%)	$C_{\text{DRV}} = 1\text{ nF}$, V_{DRV} from 0 to 12 V	–	40	75	ns
t_f	Fall Time (90% to 10%)	$C_{\text{DRV}} = 1\text{ nF}$, V_{DRV} from 0 to 12 V	–	25	60	ns
$V_{\text{DRV(low)}}$	DRV Low Voltage	$V_{CC} = V_{CC(\text{off})} + 0.2\text{ V}$ $C_{\text{DRV}} = 1\text{ nF}$, $R_{\text{DRV}} = 33\text{ k}\Omega$	8.4	9.1	–	V
$V_{\text{DRV(high)}}$	DRV High Voltage (Note 6)	$V_{CC} = V_{CC(\text{MAX})}$ $C_{\text{DRV}} = 1\text{ nF}$	10.5	13.0	15.5	V

DEMAGNETIZATION INPUT – ZERO VOLTAGE DETECTION CIRCUIT

$V_{ZCD(\text{TH})}$	ZCD threshold voltage	V_{ZCD} decreasing	35	55	90	mV
$V_{ZCD(\text{HYS})}$	ZCD hysteresis	V_{ZCD} increasing	15	35	55	mV
V_{CH} V_{CL}	Input clamp voltage High state Low state	$I_{\text{pin1}} = 3.0\text{ mA}$ $I_{\text{pin1}} = -2.0\text{ mA}$	8 –0.9	10 –0.7	12 –0.3	V
t_{DEM}	Propagation Delay	V_{ZCD} decreasing from 4 V to –0.3 V	–	150	250	ns
C_{PAR}	Internal input capacitance		–	10	–	pF
t_{BLANK}	Blanking delay after on–time		2.30	3.15	4.00	μs
t_{outSS} t_{out}	Timeout after last demag transition	During soft–start After the end of soft–start	28 5.0	41 5.9	54 6.7	μs
$R_{ZCD(\text{pdown})}$	Pulldown resistor (Note 3)		140	320	700	k Ω

TIMING CAPACITOR

$V_{\text{CT(MAX)}}$	Maximum voltage on C_T pin	$V_{FB} < V_{FB(\text{TH})}$	5.15	5.40	5.65	V
I_{CT}	Source current	$V_{\text{CT}} = 0\text{ V}$	18	20	22	μA
$V_{\text{CT(MIN)}}$	Minimum voltage on C_T pin, discharge switch activated		–	–	90	mV
C_T	Recommended timing capacitor value			220		pF

FEEDBACK SECTION

$R_{\text{FB(pullup)}}$	Internal pullup resistor		15	18	22	k Ω
I_{ratio}	Pin FB to current setpoint division ratio		3.8	4.0	4.2	
$V_{\text{FB(TH)}}$	FB pin threshold under which C_T is clamped to $V_{\text{CT(MAX)}}$		0.26	0.3	0.34	V

NCP1380

ELECTRICAL CHARACTERISTICS (continued) (Unless otherwise noted: For typical values $T_J = 25^\circ\text{C}$, $V_{CC} = 12\text{ V}$, $V_{ZCD} = 0\text{ V}$, $V_{FB} = 3\text{ V}$, $V_{CS} = 0\text{ V}$, $V_{\text{fault}} = 1.5\text{ V}$, $C_T = 680\text{ pF}$) For min/max values $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$, Max $T_J = 150^\circ\text{C}$, $V_{CC} = 12\text{ V}$)

Symbol		Condition	Min	Typ	Max	Unit
--------	--	-----------	-----	-----	-----	------

FEEDBACK SECTION

V_{H2D}	Valley threshold FB voltage where 1 st valley ends and 2 nd valley starts	V_{FB} decreases	1.316	1.4	1.484	V
V_{H3D}	FB voltage where 2 nd valley ends and 3 rd valley starts	V_{FB} decreases	1.128	1.2	1.272	
V_{H4D}	FB voltage where 3 rd valley ends and 4 th valley starts	V_{FB} decreases	0.846	0.9	0.954	
$V_{HVCO D}$	FB voltage where 4 th valley ends and VCO starts	V_{FB} decreases	0.732	0.8	0.828	
$V_{HVCO I}$	FB voltage where VCO ends and 4 th valley starts	V_{FB} increases	1.316	1.4	1.484	
V_{H4I}	FB voltage where 4 th valley ends and 3 rd valley starts	V_{FB} increases	1.504	1.6	1.696	
V_{H3I}	FB voltage where 3 rd valley ends and 2 nd valley starts	V_{FB} increases	1.692	1.8	1.908	
V_{H2I}	FB voltage where 2 nd valley ends and 1 st valley starts	V_{FB} increases	1.880	2.0	2.120	

FAULT PROTECTION (ALL VERSIONS)

T_{SHDN}	Thermal Shutdown	Device switching (F_{SW} around 65 kHz)	140	–	170	$^\circ\text{C}$
$T_{SHDN(HYS)}$	Thermal Shutdown Hysteresis		–	40	–	$^\circ\text{C}$
$t_{OVL D}$	Overload Timer	$V_{FB} = 4\text{ V}$, $V_{CS} > V_{LIM}$	75	85	95	ms
t_{SSTART}	Soft-start duration	$V_{FB} = 4\text{ V}$, V_{CS} ramping up, measured from 1 st DRV pulse to $V_{CS(peak)} = 90\%$ of V_{LIM}	2.8	3.8	4.8	ms
$R_{\text{Fault}(clamp)}$	Clamp series resistor		1.3	1.55	1.8	k Ω
V_{OVP}	Fault detection level for OVP	V_{Fault} increasing	2.35	2.5	2.65	V
$t_{\text{latch}(delay)}$	Delay before latch confirmation		22.5	30	37.5	μs

FAULT PROTECTION A & B VERSIONS

$I_{\text{OTP}(REF)}$	Reference current for direct connection of an NTC (Note 7)	$V_{\text{Fault}} = V_{\text{OTP}} + 0.2\text{ V}$	85	91	97	μA
V_{OTP}	Fault detection level for OTP	V_{Fault} decreasing	0.744	0.8	0.856	V
$V_{\text{Fault}(clamp)}$	Clamped voltage (Fault pin left open)	Fault pin open	1.13	1.35	1.57	V

FAULT PROTECTION C & D VERSIONS

V_{BO}	Brown-Out level	V_{Fault} decreasing	0.744	0.8	0.856	V
I_{BO}	Sourced hysteresis current $V_{\text{Fault}} > V_{BO}$	$V_{\text{Fault}} = V_{BO} + 0.2\text{ V}$	9	10	11	μA
$t_{BO(delay)}$	Delay before entering and exiting Brown-out		22.5	30	37.5	μs
$V_{\text{Fault}(clamp)}$	Clamped voltage (Fault pin left open)	Fault pin open	1.0	1.2	1.4	V

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

3. Guaranteed by design.

4. The peak current setpoint goes down as the load decreases. It is frozen below $I_{\text{peak}(VCO)}$ ($I_{\text{peak}} = \text{cst}$)

5. If negative voltage in excess to -300 mV is applied to ZCD pin, the current setpoint decrease is no longer guaranteed to be linear

6. Minimum value for $T_J = 125^\circ\text{C}$

7. NTC with $R_{110} = 8.8\text{ k}\Omega$.

NCP1380

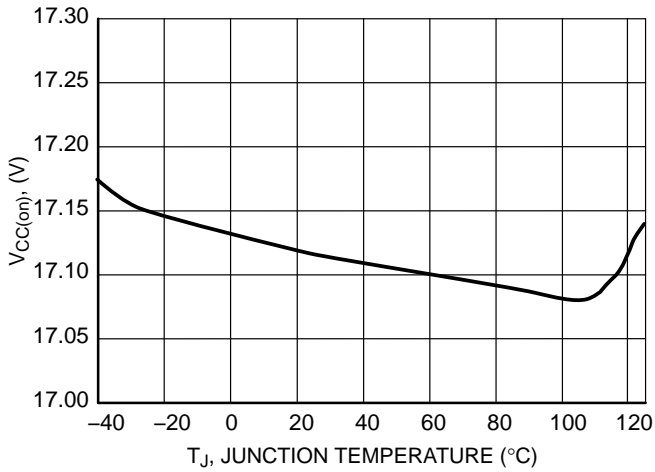


Figure 5. $V_{CC(on)}$ vs. Junction Temperature

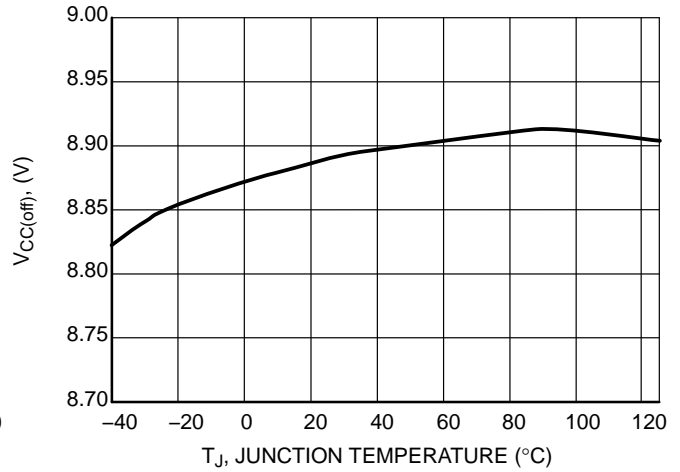


Figure 6. $V_{CC(off)}$ vs. Junction Temperature

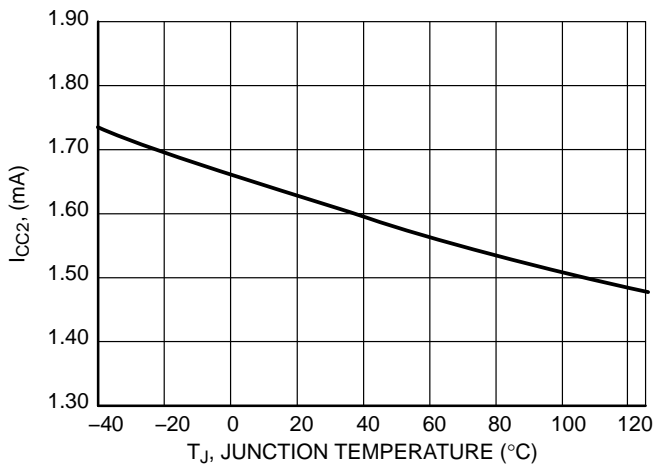


Figure 7. I_{CC2} vs. Junction Temperature

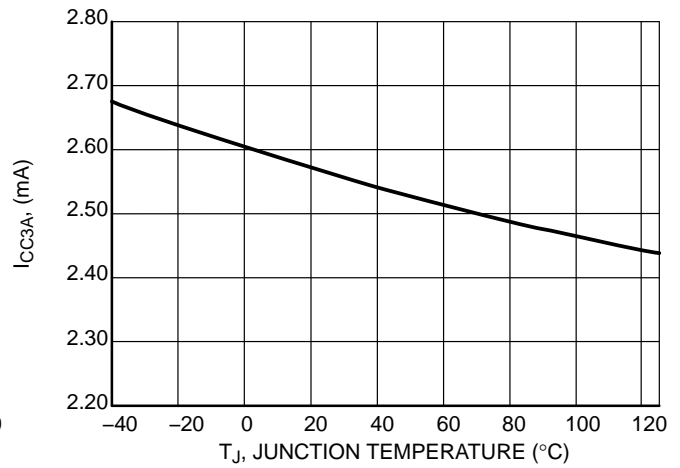


Figure 8. I_{CC3A} vs. Junction Temperature

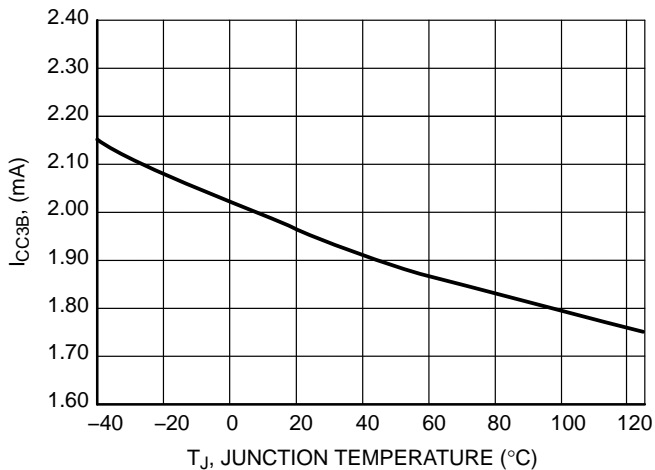


Figure 9. I_{CC3B} vs. Junction Temperature

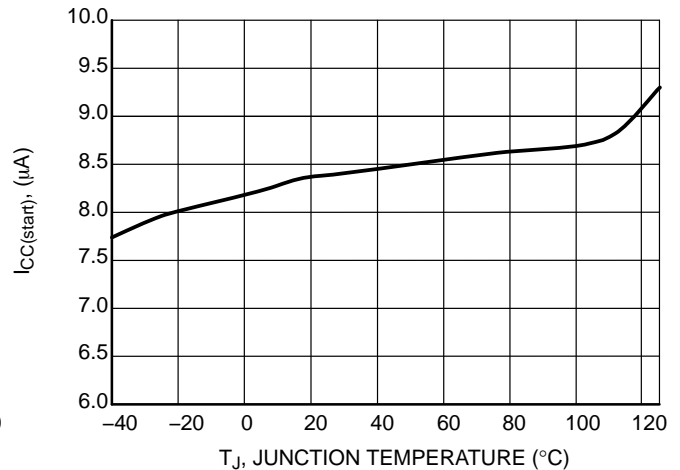


Figure 10. $I_{CC(start)}$ vs. Junction Temperature

NCP1380

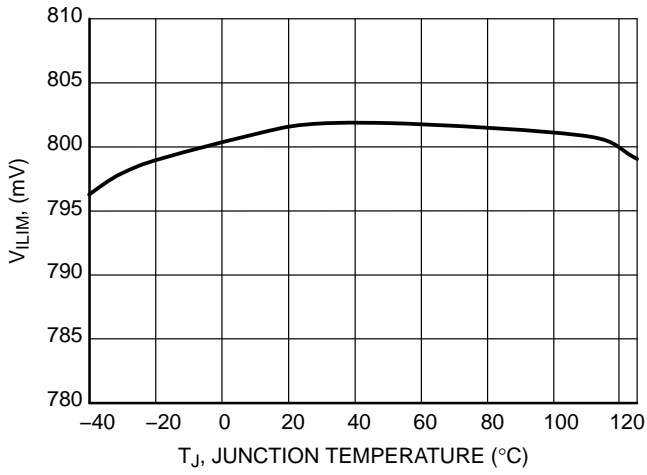


Figure 11. V_{ILIM} vs. Junction Temperature

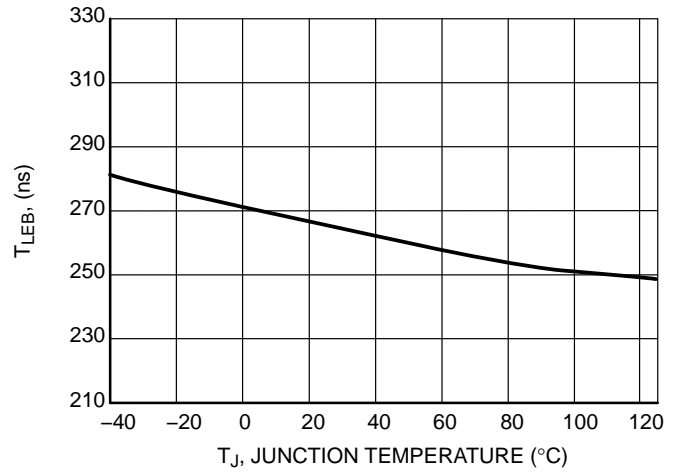


Figure 12. T_{LEB} vs. Junction Temperature

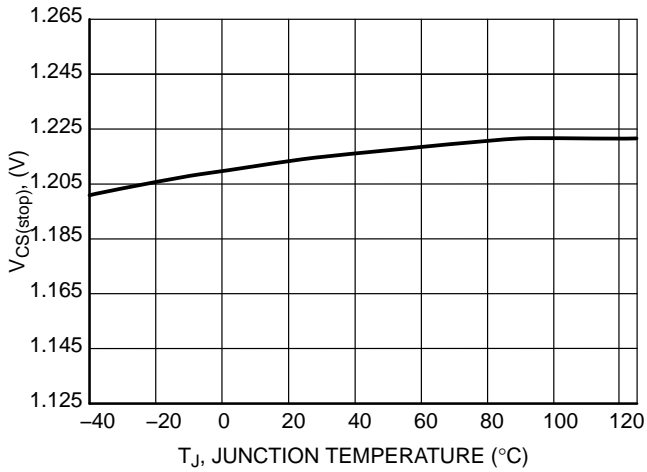


Figure 13. $V_{CS(stop)}$ vs. Junction Temperature

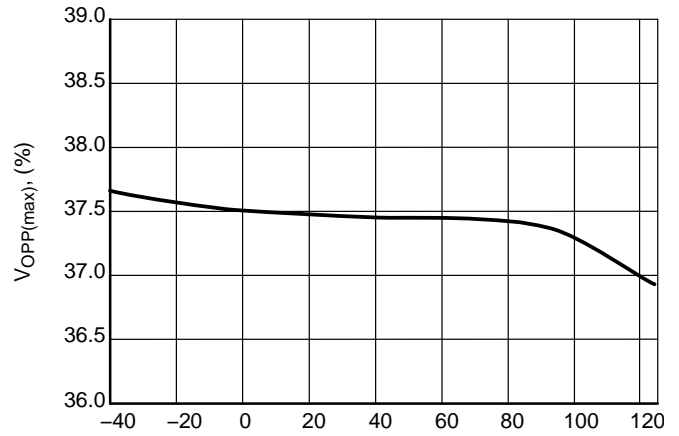


Figure 14. $V_{OPP(MAX)}$ vs. Junction Temperature

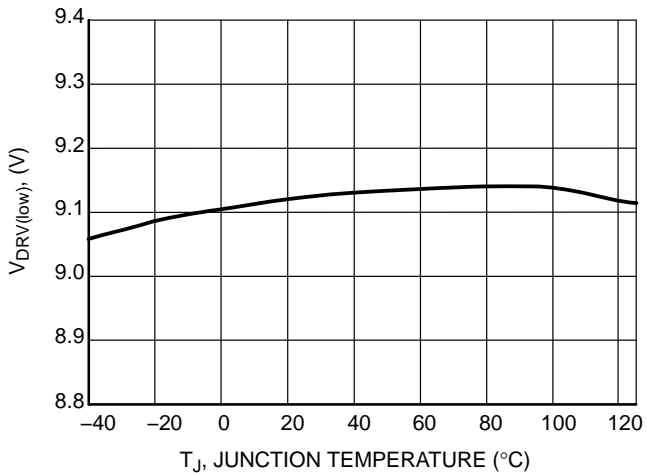


Figure 15. $V_{DRV(low)}$ vs. Junction Temperature

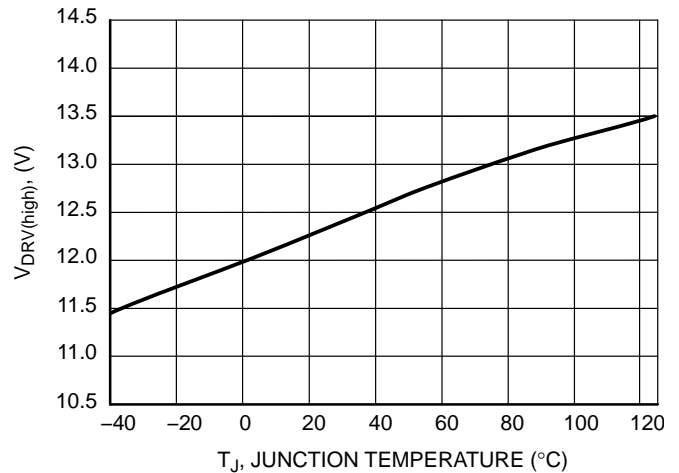


Figure 16. $V_{DRV(high)}$ vs. Junction Temperature

NCP1380

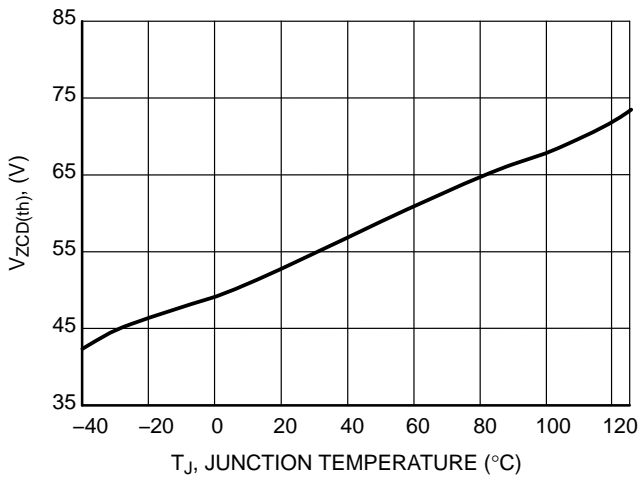


Figure 17. $V_{ZCD(th)}$ vs. Junction Temperature

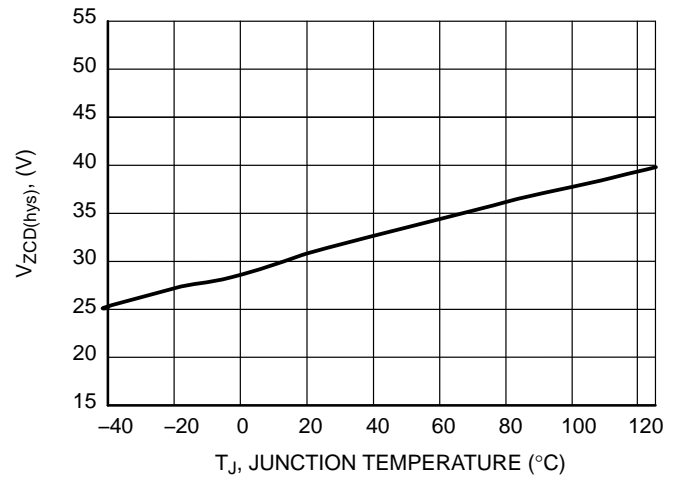


Figure 18. $V_{ZCD(hys)}$ vs. Junction Temperature

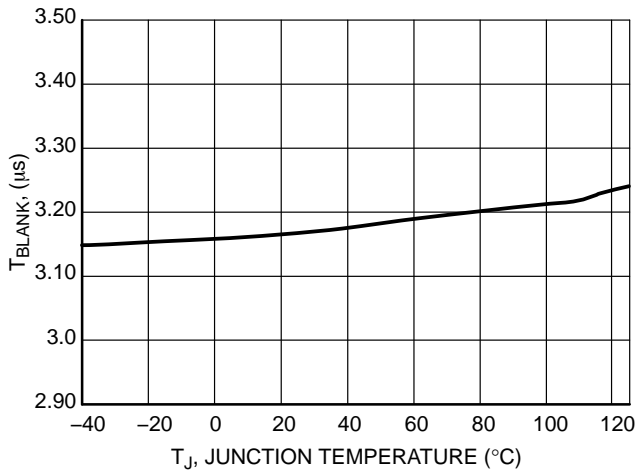


Figure 19. T_{BLANK} vs. Junction Temperature

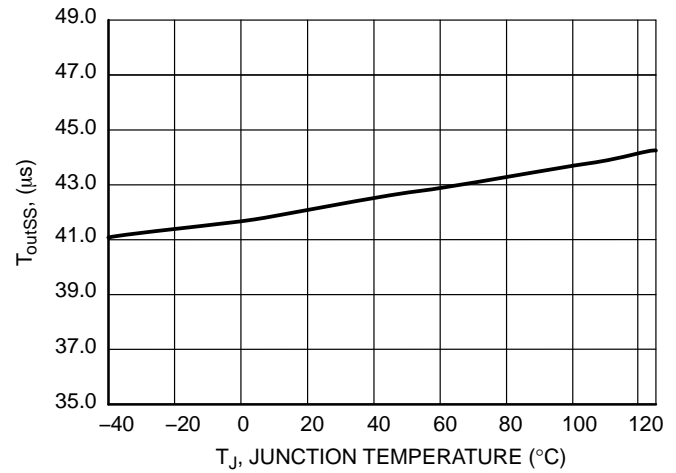


Figure 20. T_{outSS} vs. Junction Temperature

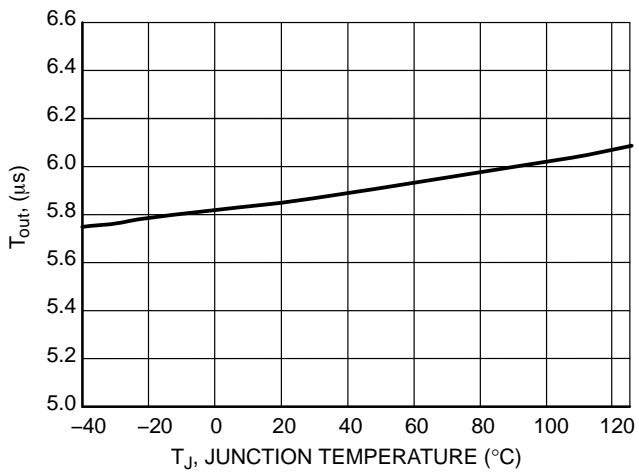


Figure 21. T_{out} vs. Junction Temperature

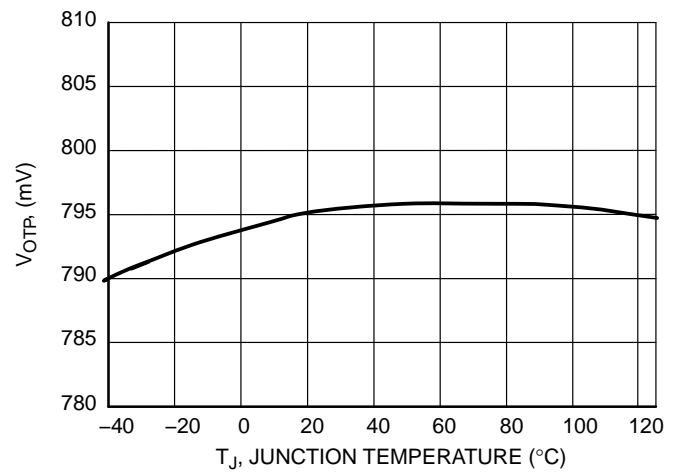


Figure 22. V_{OTP} vs. Junction Temperature

NCP1380

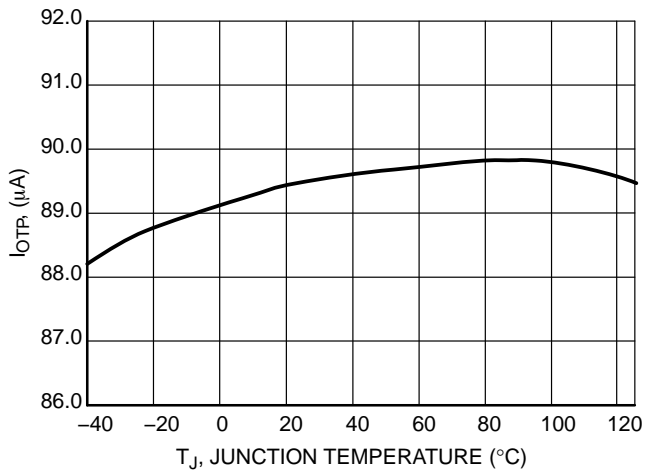


Figure 23. I_{OTP} vs. Junction Temperature

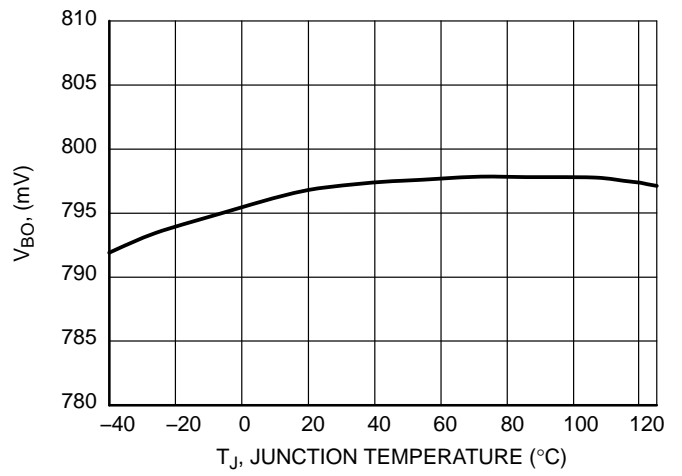


Figure 24. V_{BO} vs. Junction Temperature

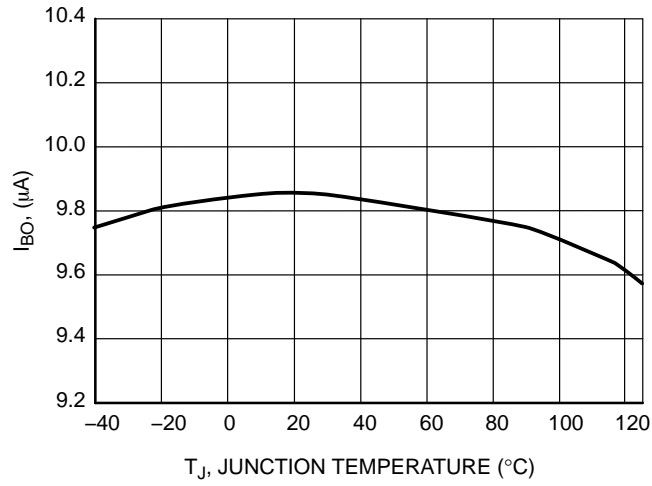


Figure 25. I_{BO} vs. Junction Temperature

アプリケーション情報

NCP1380は擬似共振モードで動作する標準電流モード・アーキテクチャを備えています。このコントローラは、独自の回路によりバレー・ジャンプによる不安定性をなくし、電力需要が減少したときに選択されたバレー内で確実にロック・アウトします。コントローラは、第4バレーに達すると、周波数をさらに低下させて、広い動作範囲にわたって優れた効率を提供します。OPP回路とフォールト・タイムの組み合わせにより、コントローラは出力電力を効果的にハイ・ラインに制限することができます。

- **擬似共振型電流モード動作**：NCP1380はピーク電流モード制御で擬似共振動作を行い、MOSFETのドレイン・ソース電圧のバレー内でスイッチングすることによって効率を最適化します。独自の回路により、このコントローラは選択したバレーでロックアウトし、出力の負荷が大きく変化するまでロック状態を維持します。負荷が軽くなると、次のバレーにジャンプします。必要に応じて、第4バレーまで進むことができます。このポイントを超えると、コントローラはピーク電流の設定ポイントを固定して、スイッチング周波数を低下させます。擬似共振動作中、大きくダンプしたバレーの場合は、5.5 μ s タイマが欠落しているバレーをエミュレートします。
- **軽負荷状態での周波数低下**：第4バレーの後、コントローラはスイッチング周波数を下げます。これによりすべてのスイッチング損失が減少してスタンバイ電力が改善されます。
- **過電力保護(OPP)**：ZCDピンの電圧がフライバック極性でスイングすると、入力電圧の直接イメージがZCDピンに印加されます。これにより、オンタイム中に V_{ZCD} に応じてピーク電流を低減することができます。
- **内部ソフトスタート**：ソフトスタートは、起動時にメイン・パワー・スイッチにストレスがかからないようにします。ソフトスタート期間は4 msに固定されています。
- **フォールト入力(AおよびBバージョン)**：FAULTピン上で2つのスレッシュホールドを組み合わせたこと

によって、コントローラではNTCをグラウンドに、ツェナー・ダイオードをモニタ電圧に直接接続できます。このピンがNTCでOTPスレッシュホールド以下に引き下げられるか、またはツェナー・ダイオードでOVPスレッシュホールド以上に引き上げられた場合、回路は恒久的にラッチオフし、 V_{CC} は7.2 Vにクランプされます。

- **FAULT入力(CおよびDバージョン)**：NCP1380のCおよびDバージョンは、入力電圧が低くなりすぎた場合にコントローラを安全に停止させるブラウンアウト回路を備えています。再起動は、完全な起動シーケンス(ラッチ・リセットおよびソフトスタート)の後に行われます。通常動作中、このピンの電圧は十分なOVP検出余裕を与えるために、 V_{clamp} にクランプされます。このピンの電圧が2.5 V以上に上昇すると、デバイスはラッチオフします。
- **短絡保護**：短絡保護および特に過負荷保護は、補助巻線とパワー巻線間の強いリーク・インダクタンスがトランスに影響を与えている(補助巻線レベルが出力短絡時に適切に減衰しない)場合は、実装が困難です。この場合、0.8 Vの内部最大ピーク電流制限がアクティブになると、タイマがカウントアップを開始します。障害がなくなれば、タイマはカウントダウンします。エラー・フラグが存在している状態でタイマが満了に近づくと、コントローラはパルスを停止します。この保護はAおよびCバージョンではラッチされ(コントローラを再起動するには、電源プラグを引き抜いてから再度差し込む必要がある)、BおよびDバージョンでは自動リカバリ(障害がなくなった場合、SMPSは自動的に動作を再開する)になります。さらに、すべてのバージョンが、CB信号を検知し、 V_{CS} が V_{ILIM} の1.5倍に達した場合(t_{BCS} の縮小LEBの後)はコントローラを停止させる巻線短絡保護を備えています。この追加コンパレータは、ノイズ耐性の理由から、メインLEB期間 t_{LEB} の間のみイネーブルされます。

NCP1380の動作モード

NCP1380には、擬似共振動作と周波数フォールドバックのためのVCO動作の2つの動作モードがあります。

動作モードは、Figure 26に示すように、FB電圧によって固定されます。

- **擬似共振動作**はFB電圧が0.8 V以上(FB低下)または1.4 V以上(FB上昇)で実行され、それぞれ高出力電力および中出力電力に対応します。ピーク電流は可変であり、FB電圧÷4で設定されます。
- **周波数フォールドバックまたはVCOモード**は、FB電圧が0.8 V以下(FB低下)または1.4 V以下(FB上昇)で

発生します。これは低出力電力に対応します。

VCOモード中、ピーク電流は最大値の17.5%まで減少し、フリーズされます。スイッチング周波数は可変であり、出力負荷が減少するにつれて低下します。スイッチング周波数は C_T ピンに接続されたコンデンサの充電終了によって設定されます。このコンデンサは定電流源で充電され、コンデンサ電圧はFB電圧で固定される内部スレッシュホールドと比較されます。このコンデンサの電圧がスレッシュホールドに達すると、コンデンサは急速に放電されて0 Vまで低下して、新しい周期が始まります。

Operating Mode

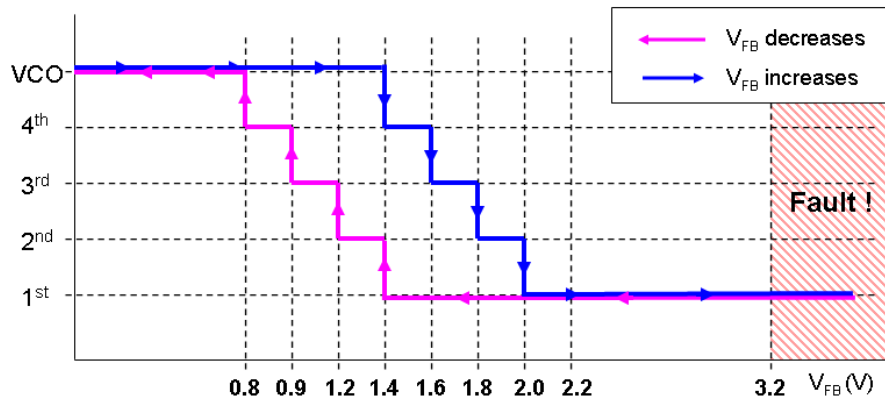


Figure 26. Operating Valley According to FB Voltage

バレーの検出と選択

バレーの検出はトランスの補助巻線の電圧をモニタして行われます。バレーは、ピン1の電圧が55 mVの内部スレッシュホールドを下回ると検出されます。バレーが検出されると、内部カウンタがインクリメン

トされます。動作バレー(第1、第2、第3、または第4)は、Figure 26に示すとおり、FB電圧によって決まります。

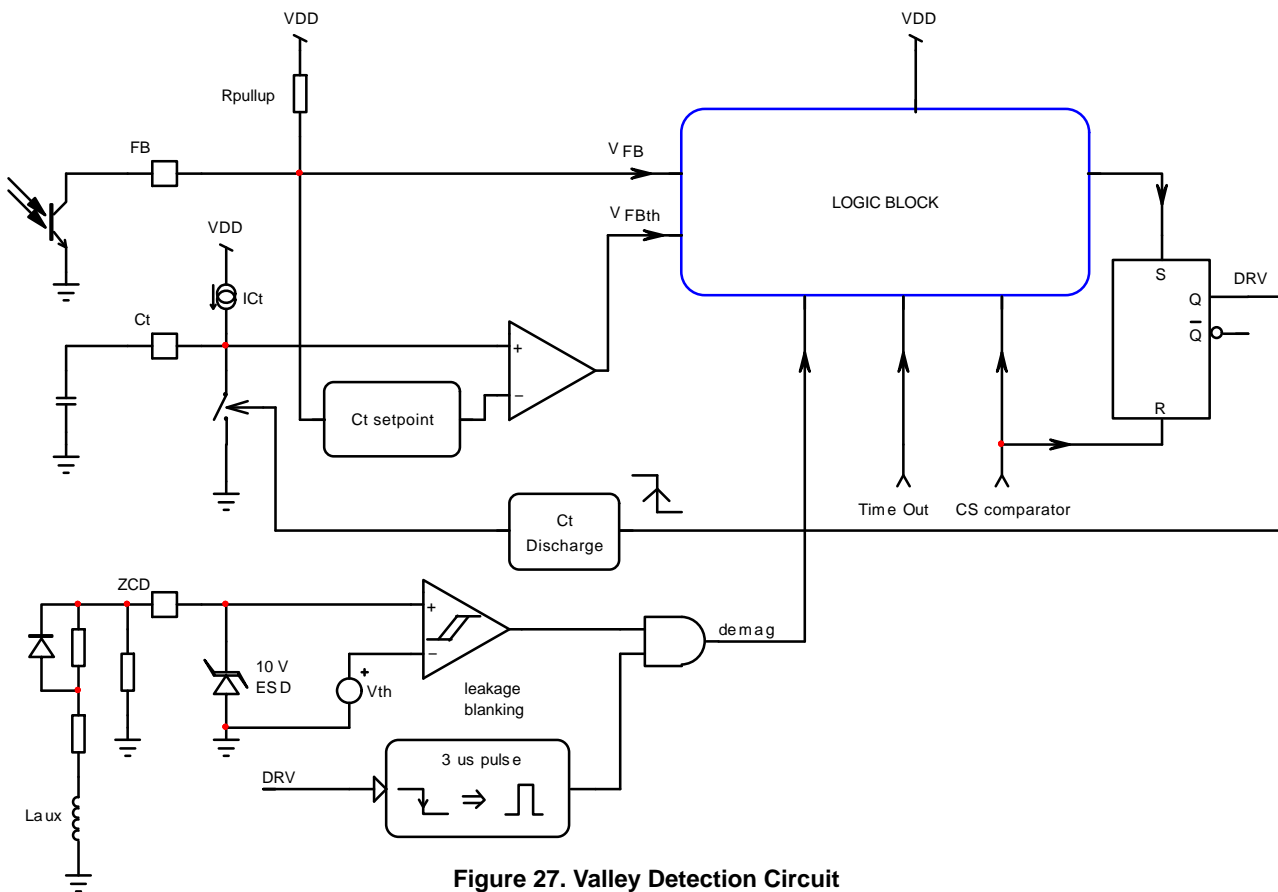


Figure 27. Valley Detection Circuit

NCP1380

出力負荷が減少すると(FB電圧が低下)、バレーは第1から第4までインクリメントされます。第4バレーに達したとき、FB電圧がさらに0.8 V以下に低下すると、コントローラはVCOモードに入ります。

VCO動作中、ピーク電流は最大ピーク電流の17.5%に達するまで減少し続けます。必要な出力電力を供給するためにスイッチング周波数が拡張され

ます。これによってスタンバイ消費電力が非常に小さくなります。

Figure 28は、19 V、60 W電源アダプタの出力電流が2.8 Aから0.1 Aに減少するシミュレーション・ケースを示します。バレー遷移中に不安定動作は見られません(Figures 29, 30, 31および 32)

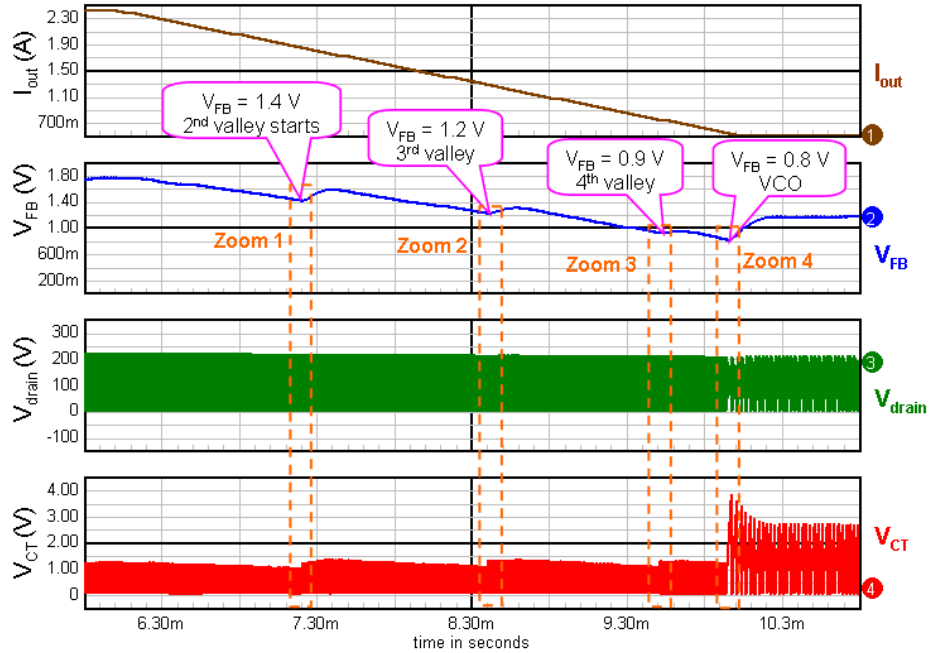


Figure 28. Output Load is Decreased from 2.8 A Down to 100 mA at 120 Vdc Input Voltage

NCP1380

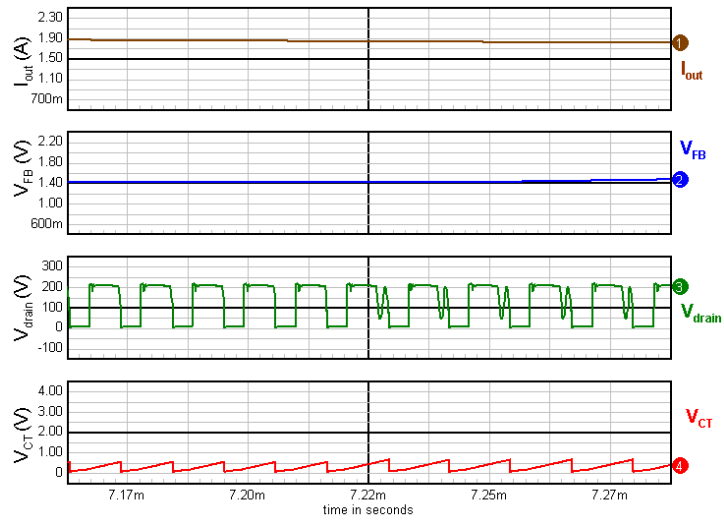


Figure 29. Zoom 1: 1st to 2nd Valley Transition

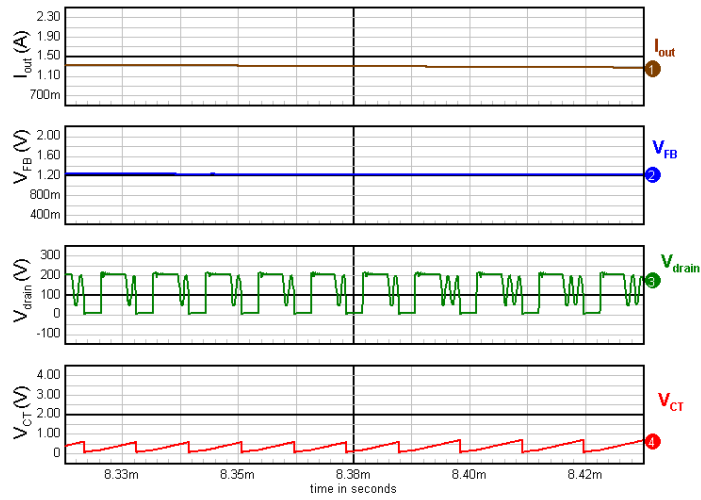


Figure 30. Zoom 2: 2nd to 3rd Valley Transition

NCP1380

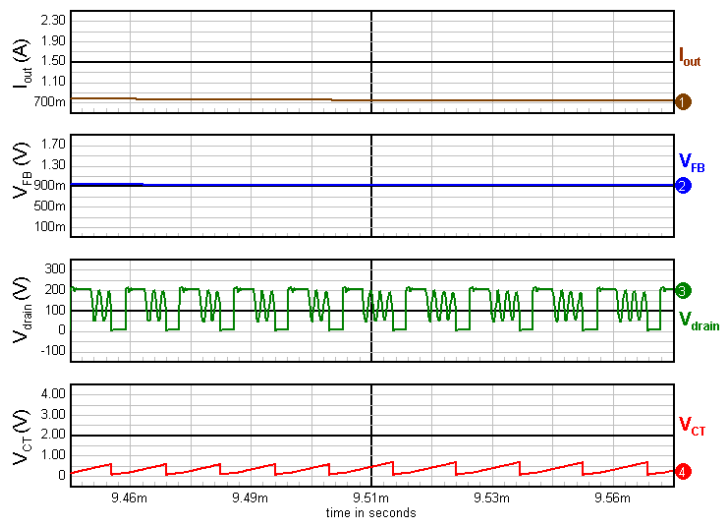


Figure 31. Zoom 3: 3rd to 4th Valley Transition

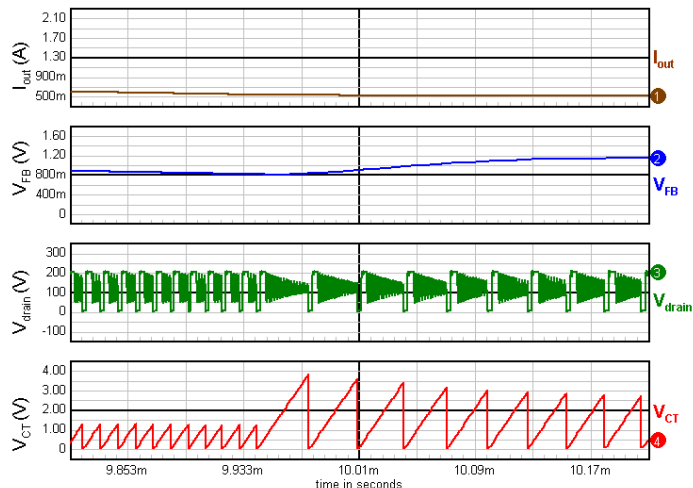


Figure 32. Zoom 4: 4th Valley to VCO Mode Transition

タイムアウト

フリー発振が著しく減衰した場合、ZCDコンパレータがバレーを検出できなくなる可能性があります。このような状況を回避するために、NCP1380はロジック・ブロック内部の10進カウンタ用の代替クロックとして働く、タイムアウト機能を統合しています。これによって、コントローラは通常動作を継続できます。周波数のステップが大きくなりすぎないように、タイムアウト期間は5.5 μs に設定されています。Figures 34および 35に、タイムアウト動作の詳細を示します。

NCP1380はソフトスタート中の拡張タイムアウト機能も備えています。

実際、起動時には、出力電圧“L”が補助巻線に反映されます。過電力補償ダイオード(Figure 40)で

導入される電圧降下のために、ZCDピンの電圧は非常に低く、ZCDコンパレータがバレーを検出できないことがあります。この状態で、DRVラッチを5.5 μs タイムアウトに設定すると、ソフトスタートの開始時に連続導通モード動作(CCM)に入ることができます。このCCM動作は、ZCDピンの電圧がZCDコンパレータで検出可能な値になるまで数サイクルしか継続しません。これを避けるために、ソフトスタート中は、MOSFETがターンオンする前にトランスが完全に消磁されるよう、タイムアウト期間が40 μs に拡張されます。

NCP1380

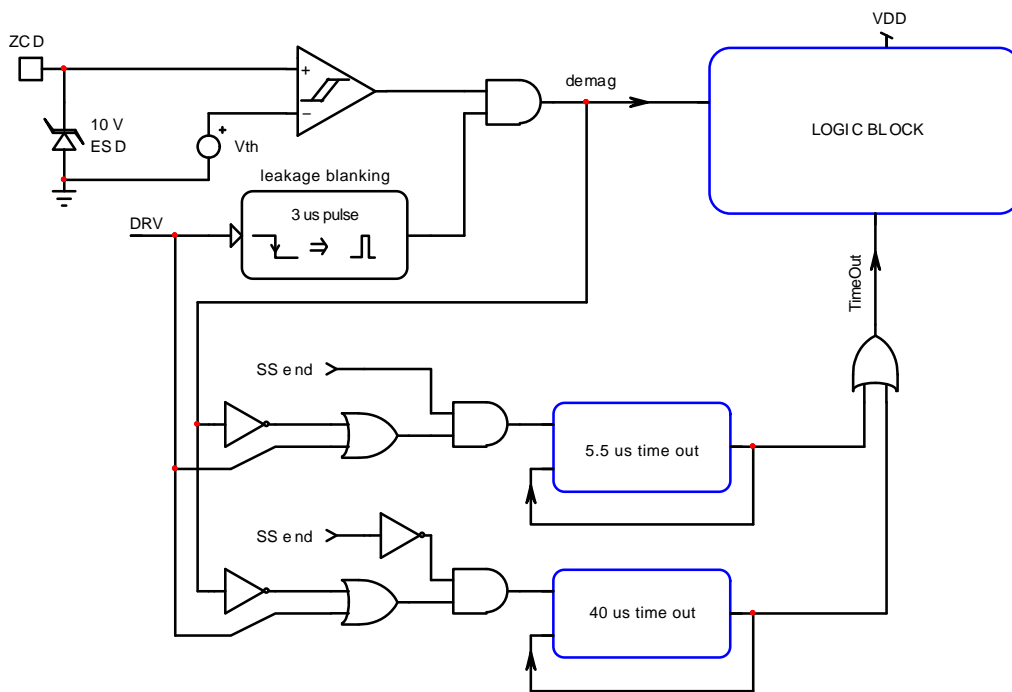


Figure 33. Time Out Circuit

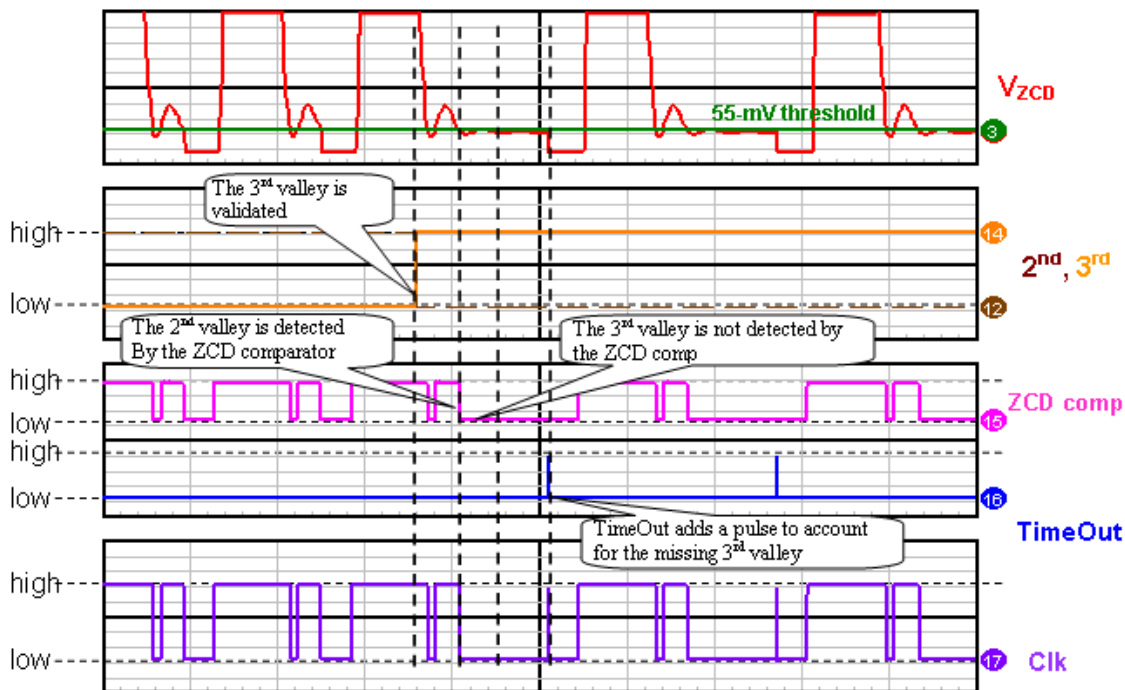


Figure 34. Time Out Case n°1: the 3rd Valley is Missing

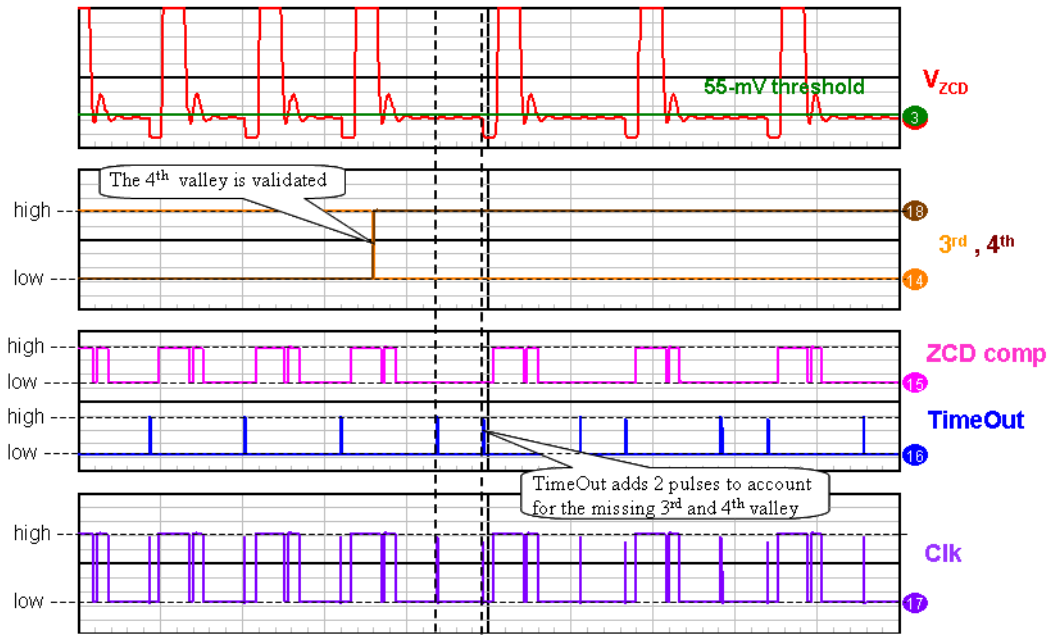


Figure 35. Time Out Case n°2: the 3rd and 4th Valley are Missing

VCOモードまたは周波数フォールドバック

VCO動作は、FB電圧が0.8 V以下(FB低下)、または1.4 V以下(FB上昇)で発生します。これは低出力電力モードに対応しています。

VCO動作中、ピーク電流は最大値の17.5%に固定されます。周波数は可変で、出力電力が減少するに伴って周波数範囲が拡張されます。

周波数は C_T ピンに接続されたコンデンサの充電終了で設定されます。このコンデンサは定電流源で充電され、電圧はFB電圧で固定される内部スレッシュホールド(V_{FBth})と比較されます(Figure 27参照)。このコ

ンデンサ電圧がスレッシュホールドに達すると、コンデンサは急速に放電されて0 Vまで低下して、新しい周期が始まります。内部スレッシュホールドはFB電圧に逆比例します。 V_{FB} と V_{FBth} の関係は、Equation 1で与えられます。

$$V_{FBth} = 6.5 - (10/3)V_{FB} \quad (\text{eq. 1})$$

V_{FB} が0.3 V以下の場合、 V_{CT} は $V_{CT(MAX)}$ (通常5.5 V)にクランプされます。Figure 36はVCOモードの動作を示します。

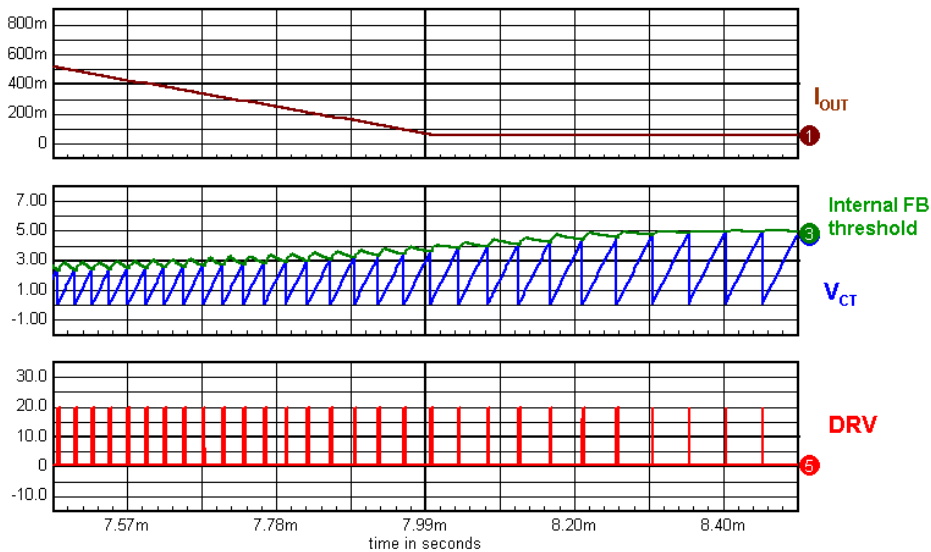


Figure 36. In VCO Mode, as the Power Output Decreases, the Frequency Expands

短絡または過負荷モード

Figure 37にフォールト・タイマを示します。

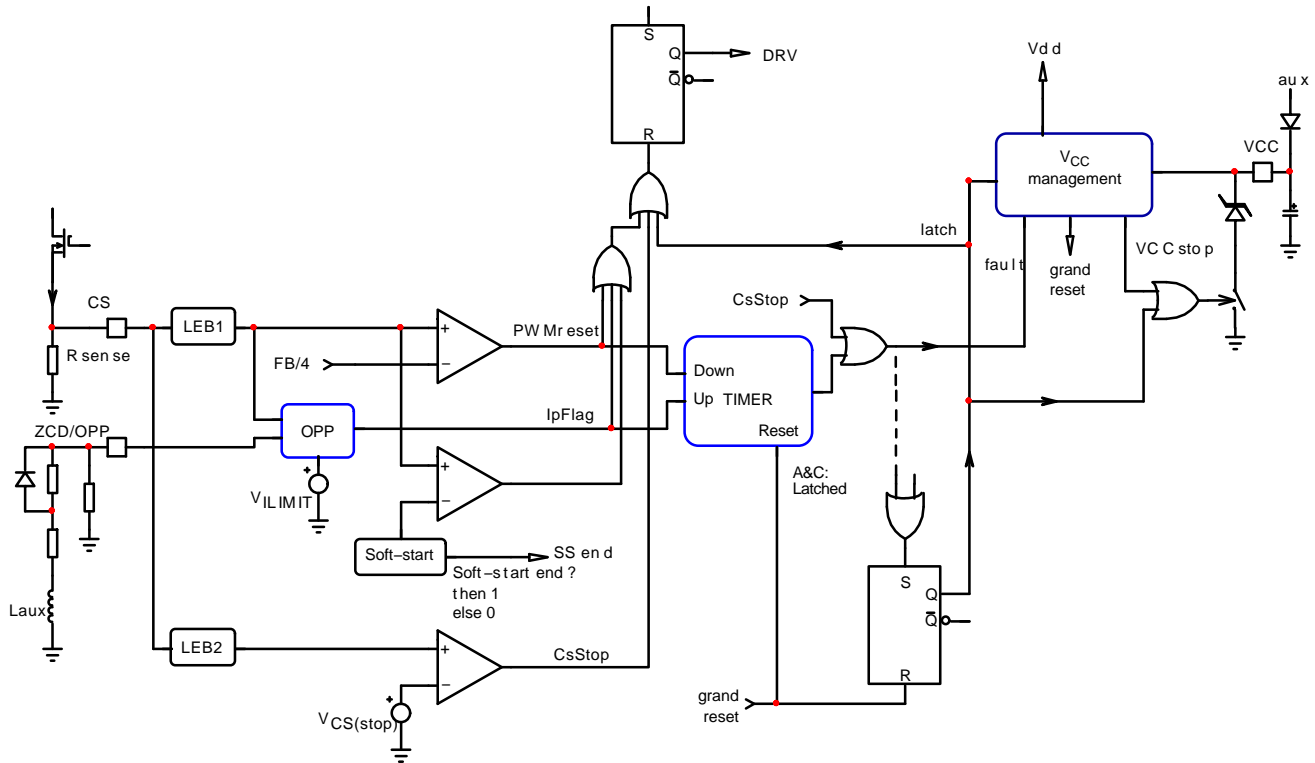


Figure 37. Overload Detection Schematic

MOSFETの電流が V_{ILIM}/R_{sense} より大きくなると、「Max Ip」コンパレータがトリップし、デジタル・タイマがカウントを開始します。タイマ・カウントは10 msごとにインクリメントされます。電流が安全制限内に復帰すると、「Max Ip」コンパレータは沈黙し、タイマがカウント・ダウンを開始します。タイマ・カウントは10 msごとにデクリメントされます。通常の過負荷状態では、タイマは10 msを8回カウント・アップしたときに満了します。

BおよびDバージョンでは、タイマが満了すると、回路は自動リカバリ・モードに入ります。回路はすべての動作を停止し、 V_{CC} は回路自身の消費(I_{CC1})によって低下します。 V_{CC} が $V_{CC(off)}$ に達すると、回路は起動モードに入ってスイッチングを再開します(Figure 38参照)。これにより、フォールト・モードで

の低デューティサイクル・バースト動作が保証されます。

AおよびCバージョンでは、タイマが80 msのカウントを終了すると、回路はラッチ・モードに入ります(Figure 39参照)。DRVパルスは停止し、 V_{CC} は $V_{CC(latch)}$ (通常7.2 V)まで引き下げられます。 V_{CC} ピンを流れる電流が $I_{CC(latch)}$ 以下になると、回路はラッチを解放します。

CSピンのサイクル単位のセンシングと並行して、縮小されたLEB(tBCs)と1.2 Vのスレッシュホールドを持つ別のコンパレータが、巻線短絡を検出し、ただちにコントローラをシャットダウンします。バージョンによって異なりますが、この追加保護機能は過負荷保護動作に応じて、ラッチまたは自動リカバリのいずれかになります。

NCP1380

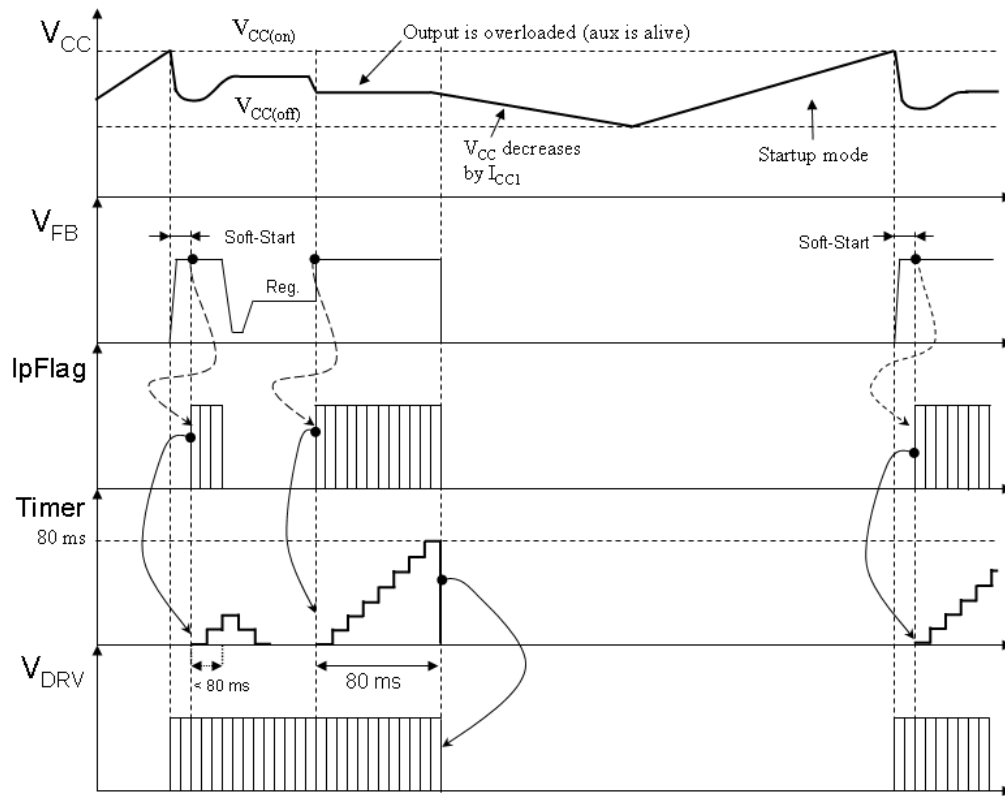


Figure 38. Auto-Recovery Short-Circuit Protection on B and D Versions

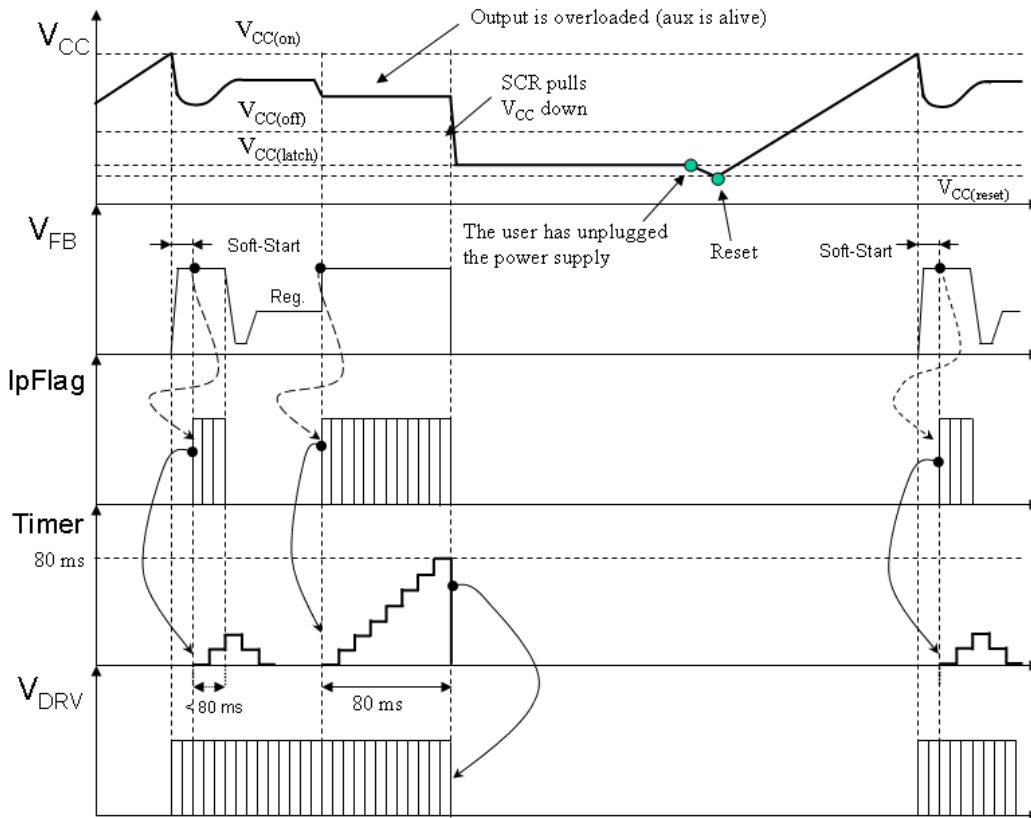


Figure 39. Latched Short-Circuit Protection on A and C Versions

過電力補償

過電力補償はZCDピン(ピン1)の信号をモニタして行われます。実際、このピンに負電圧が印加されると、最大ピーク電流を設定する内部電圧基準に直接影響を与えます(Figure 40参照)。

パワーMOSFETがターンオンすると、補助巻線電圧は入力電圧に比例する負電圧となります。補助巻

線はバレー検出のためにすでにZCDピンに接続されているため、 R_{Opu} と R_{Opl} に正しい値を選択すれば、簡単に過電力補償を行うことができます。

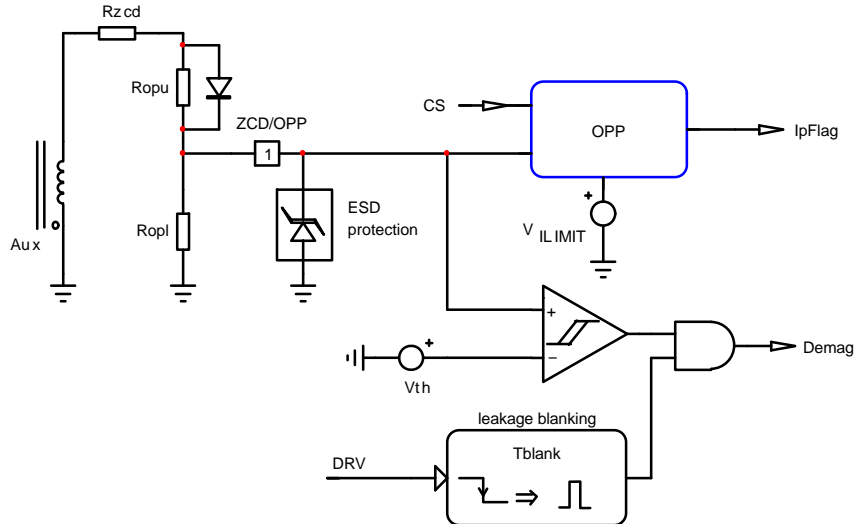


Figure 40. Over Power Compensation Circuit

最適なゼロ・クロス検出を行うには、オフタイム中に R_{Opu} をバイパスするためのダイオードが必要です。

オンタイム中にピン1に抵抗分圧則を適用すれば、次の関係を得ることができます。

$$\frac{R_{ZCD} + R_{Opu}}{R_{Opl}} = - \frac{N_{p,aux} V_{in} - V_{OPP}}{V_{OPP}} \quad (\text{eq. 2})$$

ここで、

$N_{p,aux}$ は補助巻線と1次側巻線の比、 $N_{p,aux} = N_{aux} / N_p$ です。
 V_{in} はDC入力電圧、 V_{OPP} は負のOPP電圧です。

R_{Opl} の値を選択することにより、Equation 2を用いて簡単に R_{Opu} を導出できます。 R_{Opl} の値を選択するときは、オフタイム中のゼロクロス検出に十分な電圧をもたせるために、この抵抗値が低くなりすぎないように注意しなければなりません。最大電圧が10 VのZCDピンに対しては、8 V以上を与えることを推奨します。

オフタイム中、ZCDピンの電圧は次の式で表すことができます。

$$V_{ZCD} = \frac{R_{Opl}}{R_{ZCD} + R_{Opl}} (V_{aux} - V_d) \quad (\text{eq. 3})$$

したがって、 R_{Opl} と R_{ZCD} の間に、次のような関係が成り立ちます。

$$\frac{R_{ZCD}}{R_{Opl}} = \frac{V_{aux} - V_d - V_{ZCD}}{V_{ZCD}} \quad (\text{eq. 4})$$

設計例 :

$$V_{aux} = 18 \text{ V}$$

$$V_d = 0.6 \text{ V}$$

$$N_{p,aux} = 0.18$$

ZCDピンに8 V以上が必要な場合は、次のようになります。

$$\begin{aligned} \frac{R_{ZCD}}{R_{Opl}} &= \frac{V_{aux} - V_d - V_{ZCD}}{V_{ZCD}} \\ &= \frac{18 - 0.6 - 8}{8} \approx 1.2 \end{aligned} \quad (\text{eq. 5})$$

$R_{ZCD} = 1 \text{ k}\Omega$ および $R_{Opl} = 1 \text{ k}\Omega$ を選択できます。

過電力補償の場合は、ハイ・ライン(370 Vdc)でピーク電流を37.5%減らす必要があります。対応するOPP電圧は、次の式で与えられます。

$$V_{OPP} = 0.375 \times V_{ILIM} = -300 \text{ mV} \quad (\text{eq. 6})$$

Equation 2を使用して、次の値が得られます。

$$\begin{aligned} \frac{R_{ZCD} + R_{Opu}}{R_{Opl}} &= - \frac{N_{p,aux} V_{lin} - V_{OPP}}{V_{OPP}} \\ &= \frac{-0.18 \times 370 - (-0.3)}{(-0.3)} = 221 \end{aligned} \quad (\text{eq. 7})$$

したがって、

$$R_{Opu} = 221 R_{Opl} - R_{ZCD} = 221 \times 1\text{k} - 1\text{k} = 220 \text{ k}\Omega \quad (\text{eq. 8})$$

過電圧/過熱検出(AおよびBバージョン)

過電圧および過熱検出は、ピン7の電圧を読み取って行います(Figure 41参照)。

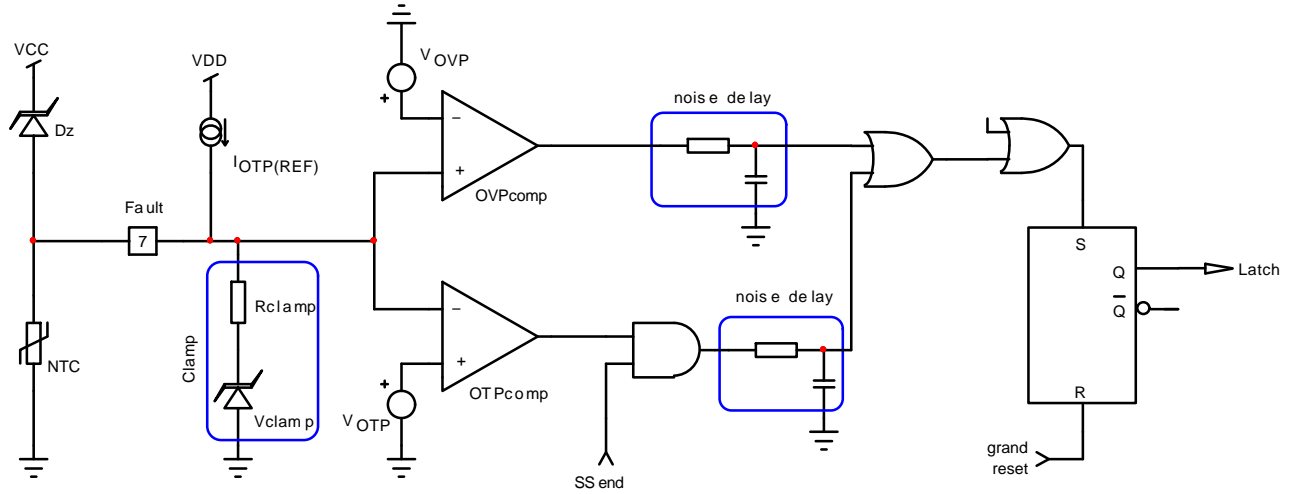


Figure 41. OVP/OTP Circuitry

$I_{OTP(REF)}$ 電流(91 μA typ.)は、負の温度係数を持つ温度センサ(NTC)をバイアスし、OTPピンにDC電圧を与えます。内部クランプは、NTCの抵抗が高いとき(たとえば、25°Cで、 $R_{NTC} > 100 k\Omega$)に、ピン7の電圧を1.2 Vに制限します。温度が上昇するとNTCの抵抗が低下し、ピン7の電圧をコンパレータがトリップしてコントローラをラッチオフする0.8 V(Typ)まで引き下げます(Figure 42参照)。

過電圧の場合、ツェナー・ダイオードが導通を開始し、内部クランプ抵抗 R_{clamp} に電流が流れ、これによってピン7の電圧が上昇します。この電圧がOVPスレッシュホールド(2.5 V Typ)に達すると、コントローラはラッチオフされ、すべてのDRVパルスが停止し、 V_{CC} が $V_{CC(latch)}$ (7.2 V typ)までプルダウンされます。 V_{CC} ピンを流れる電流が $I_{CC(latch)}$ 以下になると、回路はラッチを解放するため、ユーザは電源プラグを抜いて再度差し込む必要があります。

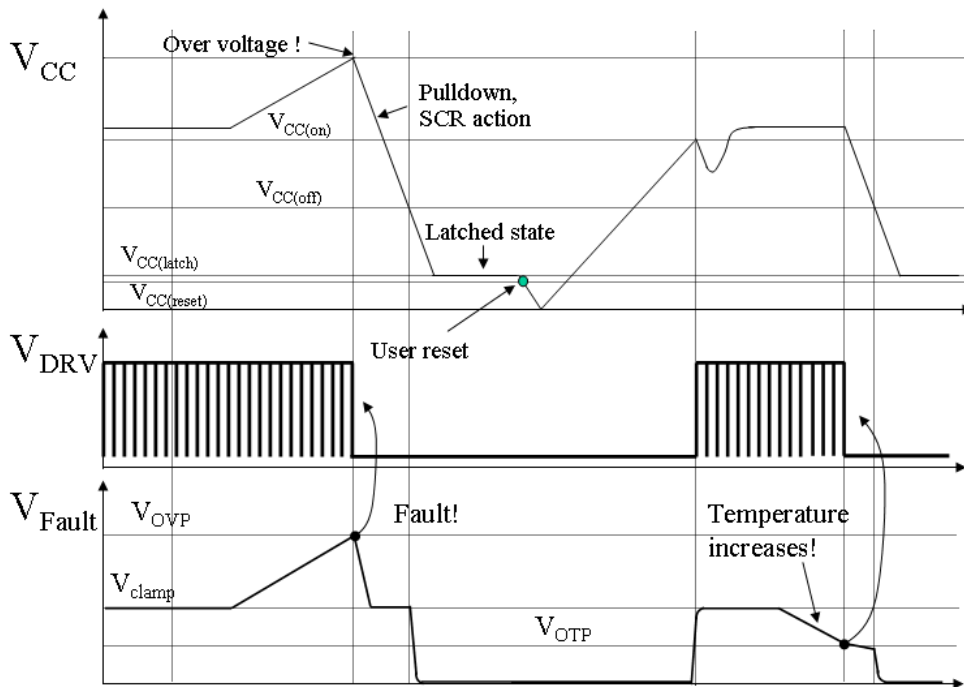


Figure 42. Overvoltage and Overtemperature Chronograms

過電圧保護/ブラウンアウト(CおよびDバージョン)

NCP1380のCおよびDバージョンは、ピン7上でブラウンアウト検出と過電圧検出を組み合わせています。

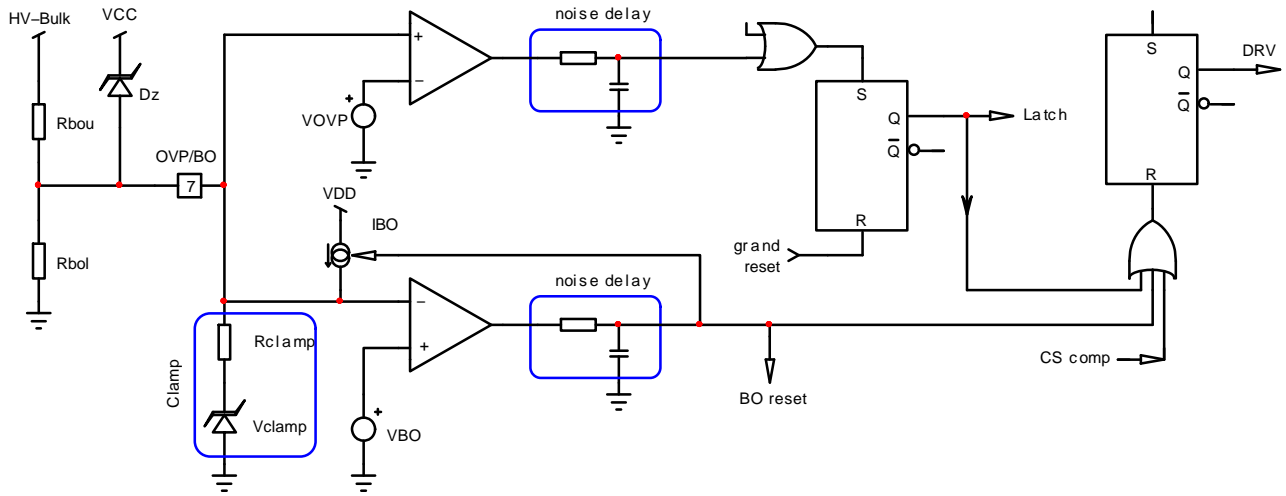


Figure 43. Brown-out and Overvoltage Protection

電源を低入力電圧状態から保護するために、ピン7は分圧回路を通して恒久的にバルク電圧の一部をモニタします。このバルク電圧のイメージが V_{BO} スレッシュホールド以下になると、コントローラはスイッチングを停止します。バルク電圧が安全な範囲に戻ると、回路は V_{CC} が $V_{CC(on)}$ に達したときのみパルス

生成を再開します(Figure 44)。これによってソフトスタートによるクリーンな起動シーケンスが行われます。ブラウンアウト機能のヒステリシスは、ブラウンアウト・コンパレータが“H”のとき($V_{bulk} < V_{bulk(on)}$)、10 μ Aをシンクするハイサイド電流源で実現されます。

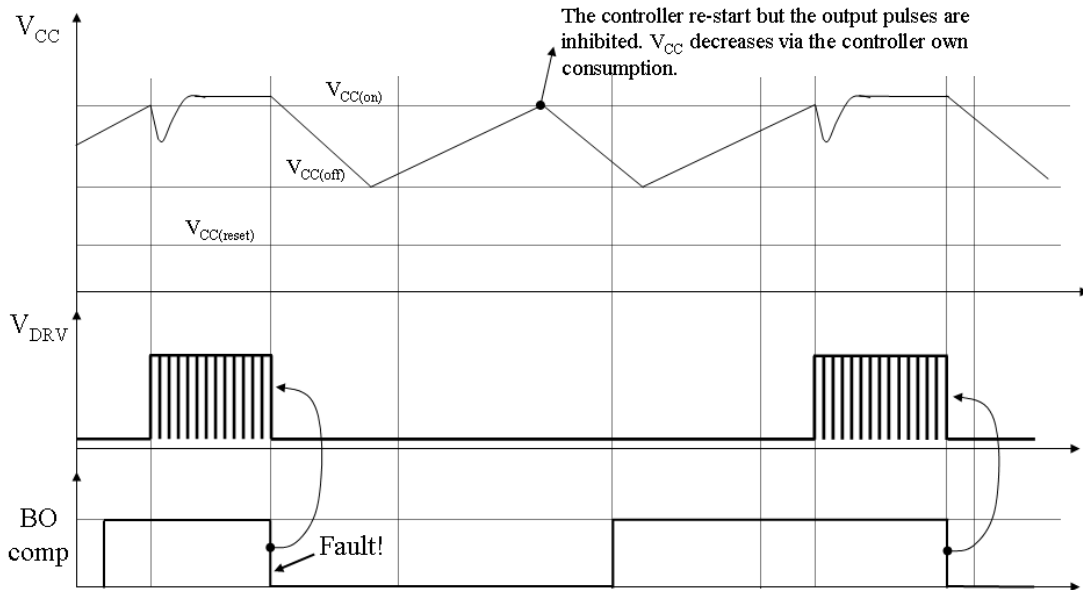


Figure 44. Brown-out Operating Chronograms

バルク電圧が高いときにピン7の電圧が過度に上昇するのを避けるために、内部クランプがこの電圧を制限します。

過電圧の場合、ツェナー・ダイオードが導通を開始し、内部クランプ抵抗 R_{clamp} に電流が流れて、ピ

ン7の電圧が上昇します。この電圧が V_{OVP} に達すると、コントローラがラッチオフして電源が切断されるまでラッチ状態を維持します(Figure 45)。

NCP1380

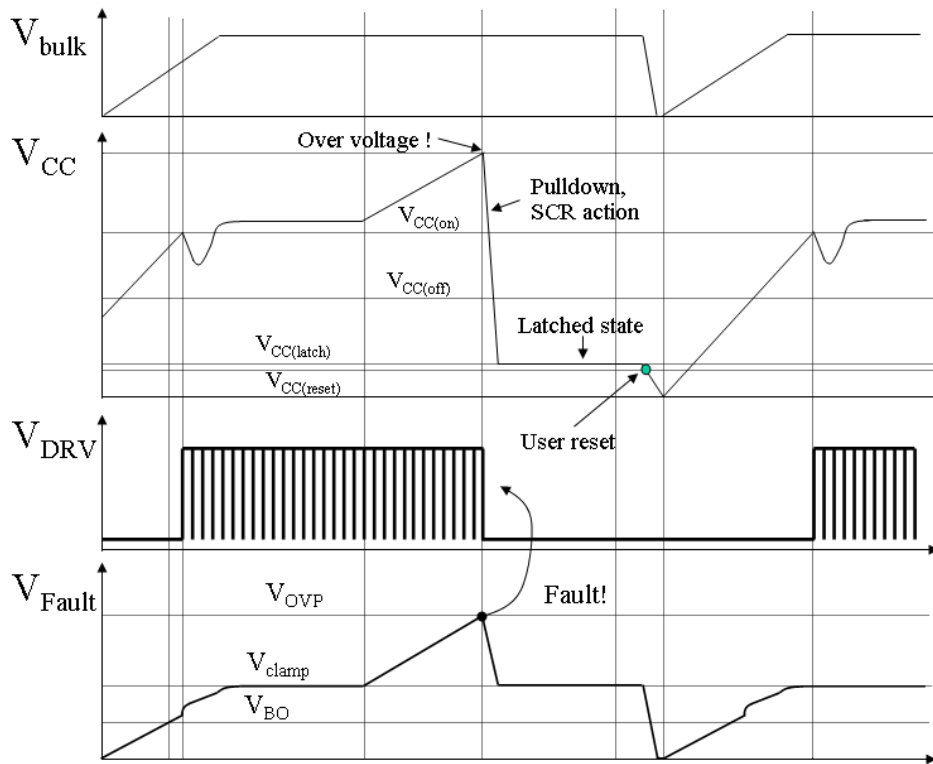


Figure 45. Operating Chronograms in Case of Overvoltage

ブラウンアウト抵抗は次の式で計算します。
 最初に、コントローラがスイッチングを開始するバルク電圧値($V_{\text{bulk(on)}}$)と、シャットダウンのためのバルク電圧($V_{\text{bulk(off)}}$)を選択します。ついで次の式を使用して、 R_{bou} と R_{bol} を計算します。

$$R_{\text{bol}} = \frac{V_{\text{BO}}(V_{\text{bulk(on)}} - V_{\text{bulk(off)}})}{I_{\text{BO}}(V_{\text{bulk(on)}} - V_{\text{BO}})} \quad (\text{eq. 9})$$

$$R_{\text{bou}} = \frac{R_{\text{bol}}(V_{\text{bulk(on)}} - V_{\text{BO}})}{V_{\text{BO}}} \quad (\text{eq. 10})$$

ORDERING INFORMATION

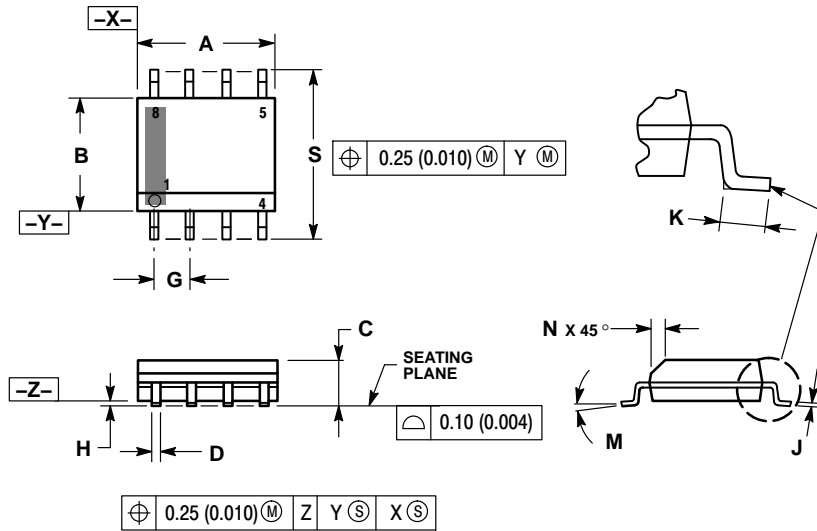
Device	Package	Shipping [†]
NCP1380ADR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP1380BDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP1380CDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel
NCP1380DDR2G	SOIC-8 (Pb-Free)	2500 / Tape & Reel

[†]For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

NCP1380

PACKAGE DIMENSIONS

SOIC-8 NB
CASE 751-07
ISSUE AK

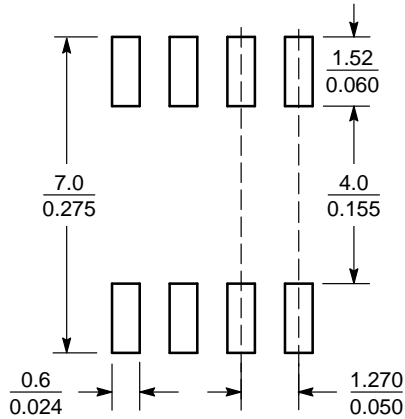


NOTES:

1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

SOLDERING FOOTPRINT*



SCALE 6:1 (mm / inches)

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative