

# NCP1652、NCP1652A

## 高効率シングル・ステージ 力率補正およびステップダウン・ コントローラ

NCP1652はシングル・ステージで力率補正 (PFC) および絶縁型ステップダウンAC-DC電力変換を実行する高集積コントローラで、低コスト化と部品点数の削減が可能なソリューションを提供します。このコントローラはノートブックPC電源アダプタ、バッテリー充電器、および75Wから150Wまでの電源が必要なオフライン・アプリケーションなどに最適です。シングル・ステージ構成は、フライバック・コンバータをベースとしており、連続導通モード (CCM) または不連続導通モード (DCM) で動作するように設計されています。

NCP1652は2次側の同期整流スイッチ、1次側のアクティブ・クランプ・スイッチ、またはその両方を制御するための調整可能な非オーバーラップ遅延を持つ2次側ドライバを導入することによってシステムの効率を高めています。また、このコントローラは独自のSoft-Skip™を使用して、軽負荷時の音響ノイズを低減しています。NCP1652のその他の特長としては、高電圧起動回路、電圧フィードフォワード、ブラウンアウト検知回路、内部過負荷タイマ、ラッチ入力、および高精度乗算器などがあります。

### 特長

- 同期整流器スイッチ、アクティブ・クランプ・スイッチ、またはその両方を駆動するための調整可能な非オーバーラップ遅延付きデュアル・コントロール出力
- 電圧フィードフォワードがループ応答特性を改善
- 周波数ジッタリングが電磁妨害(EMI)シグネチャを抑制
- 独自のSoft-Skip™が軽負荷時の音響ノイズを低減
- ブラウンアウト検知回路
- 内部150msフォルト・タイマ
- 独立したLatch-Off入力により、過電圧および過熱による故障検出回路の実装が容易
- シングル・ステージPFCおよび絶縁型ステップダウン・コンバータ
- 連続または不連続導通モード動作
- 平均電流モード制御 (ACMC) 、固定周波数動作
- 高精度乗算器が入力ラインの高調波を低減
- 20 kHzから250 kHzまで調整可能な動作周波数
- 鉛フリー・デバイスです。

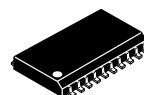
### 代表的アプリケーション

- ノートブックPC電源アダプタ
- 大電流バッテリー充電器
- 分散型電源システムのフロントエンド
- 大電力ソリッドステート照明機器

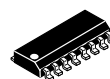


ON Semiconductor®

<http://onsemi.com>

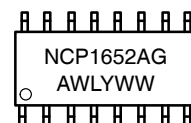
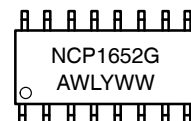
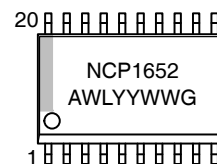


SO-20 WB  
DW SUFFIX  
CASE 751D



SOIC-16  
D SUFFIX  
CASE 751B

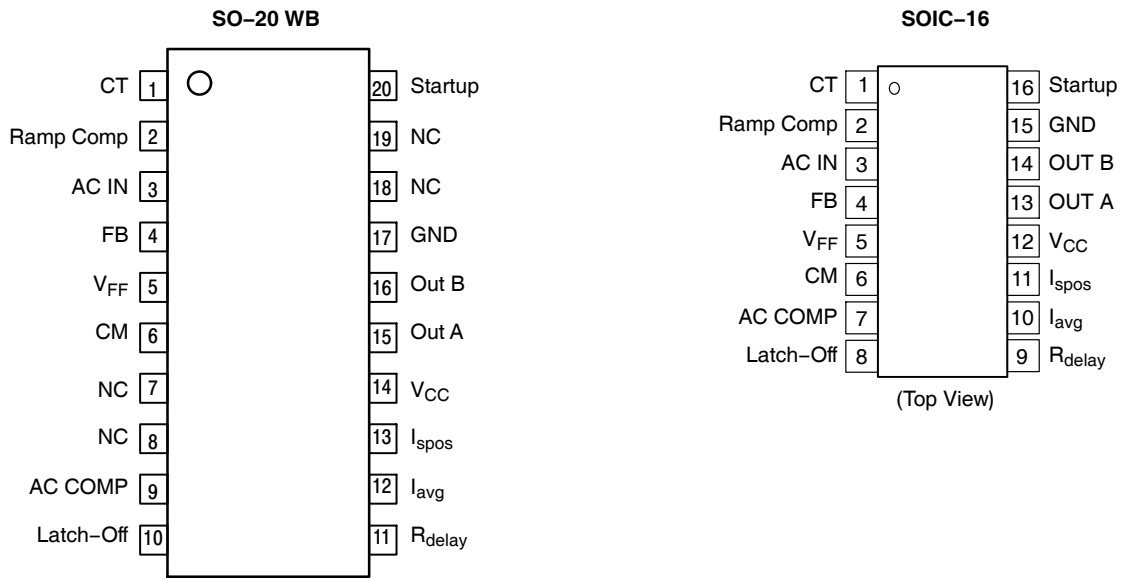
### MARKING DIAGRAMS



A = Assembly Location  
WL = Wafer Lot  
YY = Year  
WW = Work Week  
G = Pb-Free Package

### ORDERING INFORMATION

See detailed ordering and shipping information in the package dimensions section on page 32 of this data sheet.



**Figure 1. Pin Connections**

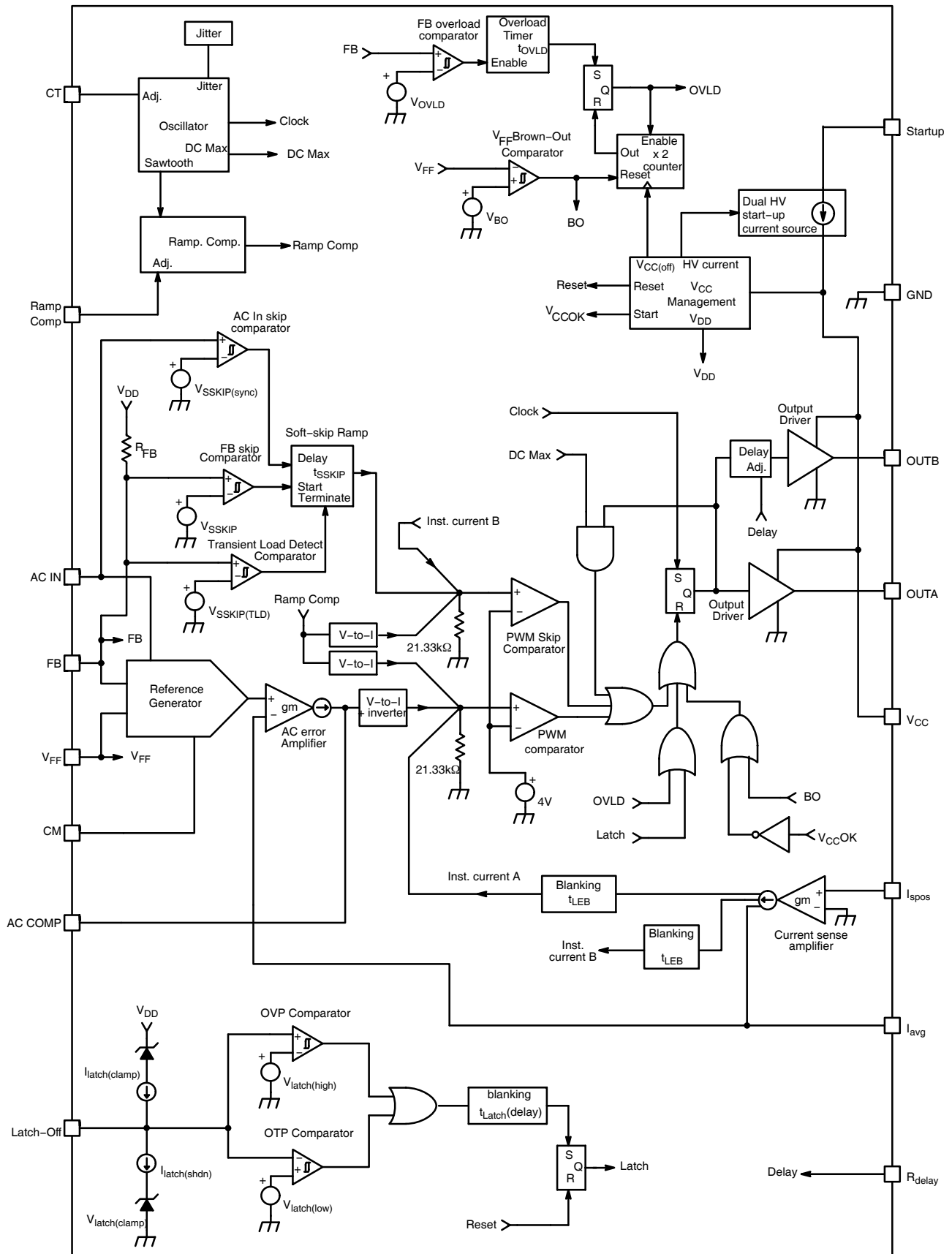


Figure 2. Detailed Block Diagram

## PIN FUNCTION DESCRIPTION

Pin		Symbol	Description
16 Pin	20 Pin		
1	1	$C_T$	An external timing capacitor ( $C_T$ ) sets the oscillator frequency. A sawtooth between 0.2 V and 4 V sets the oscillator frequency and the gain of the multiplier.
2	2	RAMP COMP	A resistor ( $R_{RC}$ ) between this pin and ground adjust the amount of ramp compensation that is added to the current signal. Ramp compensation is required to prevent subharmonic oscillations. This pin should not be left open.
3	3	AC IN	The scaled version of the full wave rectified input ac wave is connected to this pin by means of a resistive voltage divider. The line voltage information is used by the multiplier.
4	4	FB	An error signal from an external error amplifier circuit is fed to this pin via an optocoupler or other isolation circuit. The FB voltage is a proportional of the load of the converter. If the voltage on the FB pin drops below $V_{SSKIP}$ the controller enters Soft-Skip™ to reduce acoustic noise.
5	5	VFF	Feedforward input. A scaled version of the filtered rectified line voltage is applied by means of a resistive divider and an averaging capacitor. The information is used by the Reference Generator to regulate the controller.
6	6	CM	Multiplier output. A capacitor is connected between this pin and ground to filter the modulated output of the multiplier.
	7	NC	
	8	NC	
7	9	AC COMP	Sets the pole for the ac reference amplifier. The reference amplifier compares the low frequency component of the input current to the ac reference signal. The response must be slow enough to filter out most of the high frequency content of the current signal that is injected from the current sense amplifier, but fast enough to cause minimal distortion to the line frequency information. The pin should not be left open.
8	10	Latch	Latch-Off input. Pulling this pin below 1.0 V (typical) or pulling it above 7.0 V (typical) latches the controller. This input can be used to implement an overvoltage detector, an overtemperature detector or both. Refer to Figure 69 for a typical implementation.
9	11	Rdelay	A resistor between this pin and ground sets the non-overlap time delay between OUTA and OUTB. The delay is adjusted to prevent cross conduction between the primary MOSFET and synchronous rectification MOSFET or optimize the resonant transition in an active clamp stage.
10	12	$I_{AVG}$	An external resistor and capacitor connected from this terminal to ground, to set and stabilizes the gain of the current sense amplifier output that drives the ac error amplifier.
11	13	$I_{Spos}$	Positive current sense input. Connects to the positive side of the current sense resistor.
12	14	$V_{CC}$	Positive input supply. This pin connects to an external capacitor for energy storage. An internal current source supplies current from the STARTUP pin $V_{CC}$ . Once the voltage on $V_{CC}$ reaches approximately 15.3 V, the current source turns off and the outputs are enabled. The drivers are disabled once $V_{CC}$ reaches approximately 10.3 V. If $V_{CC}$ drops below 0.85 V (typical), the startup current is reduced to less than 500 $\mu$ A.
13	15	OUTA	Drive output for the main flyback power MOSFET or IGBT. OUTA has a source resistance of 13 $\Omega$ (typical) and a sink resistance of 8 $\Omega$ (typical).
14	16	OUTB	Secondary output of the PWM Controller. It can be used to drive synchronous rectifier, and active clamp switch, or both. OUTB has source and sink resistances of 22 $\Omega$ (typical) and 11 $\Omega$ (typical), respectively.
15	17	GND	Ground reference for the circuit.
	18	NC	
	19	NC	
16	20	HV	Connect the rectified input line voltage directly to this pin to enable the internal startup regulator. A constant current source supplies current from this pin to the capacitor connected to the $V_{CC}$ pin, eliminating the need for a startup resistor. The charge current is typically 5.5 mA. Maximum input voltage is 500 V.

**MAXIMUM RATINGS** (Notes 1 and 2)

Rating	Symbol	Value	Unit
Start_up Input Voltage Start_up Input Current	$V_{HV}$ $I_{HV}$	-0.3 to 500 $\pm 100$	V mA
Power Supply Input Voltage Power Supply Input Current	$V_{CC}$ $I_{CC}$	-0.3 to 20 $\pm 100$	V mA
Latch Input Voltage Latch Input Current	$V_{Latch}$ $I_{Latch}$	-0.3 to 10 $\pm 100$	V mA
OUTA Pin Voltage OUTA Pin Current	$V_{outA}$ $I_{outA}$	-0.3 to 20 $\pm 1.0$	V A
OUTB Pin Voltage OUTB Pin Current	$V_{outB}$ $I_{outB}$	-0.3 to 20 $\pm 600$	V mA
All Other Pins Voltage All Other Pins Current		-0.3 to 6.5 $\pm 100$	V mA
Thermal Resistance, Junction-to-Air 0.1 in" Copper 0.5 in" Copper	$\theta_{JA}$	130 110	$^{\circ}\text{C}/\text{W}$
Thermal Resistance, Junction-to-Lead	$R_{\theta JL}$	50	$^{\circ}\text{C}/\text{W}$
Maximum Power Dissipation @ $T_A = 25^{\circ}\text{C}$	$P_{MAX}$	0.77	W
Operating Temperature Range	$T_J$	-40 to 125	$^{\circ}\text{C}$
Storage Temperature Range	$T_{STG}$	-55 to 150	$^{\circ}\text{C}$

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

1. This device series contains ESD protection and exceeds the following tests:

16 pin package:

Pin 1–15: Human Body Model 2000 V per JEDEC standard JESD22, Method A114.

Machine Model 200 V per JEDEC standard JESD22, Method A115.

Pin 16 is the high voltage startup of the device and is rated to the maximum rating of the part, 500 V.

20 pin package:

Pin 1–19: Human Body Model 2000 V per JEDEC standard JESD22, Method A114.

Machine Model 200 V per JEDEC standard JESD22, Method A115.

Pin 20 is the high voltage startup of the device and it is rated to the maximum rating of the part, or 500 V.

2. This device contains Latchup protection and exceeds  $\pm 100$  mA per JEDEC Standard JESD78.

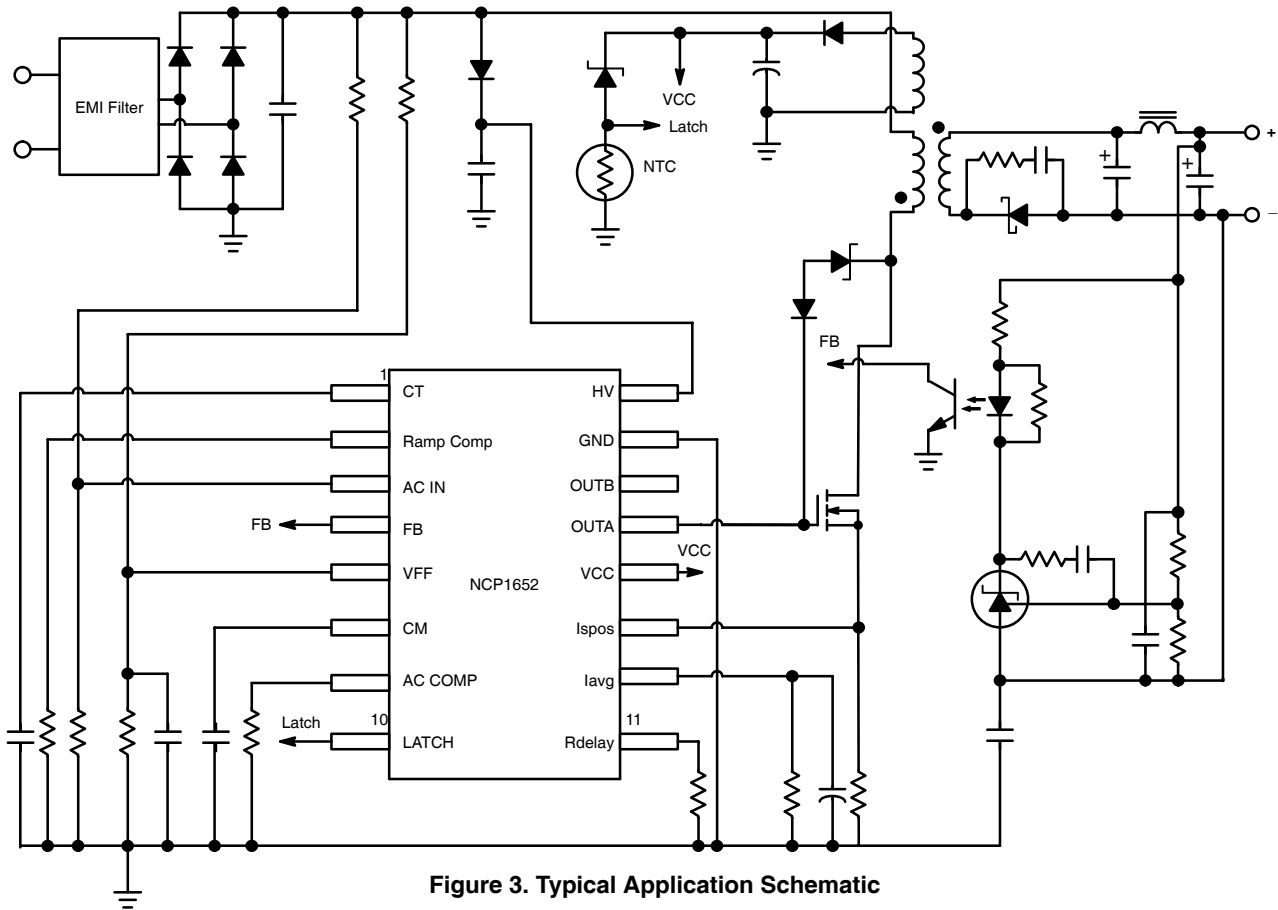


Figure 3. Typical Application Schematic

**ELECTRICAL CHARACTERISTICS** ( $V_{CC} = 15\text{ V}$ ,  $V_{AC\ IN} = 3.8\text{ V}$ ,  $V_{FB} = 2.0\text{ V}$ ,  $V_{FF} = 2.4\text{ V}$ ,  $V_{Latch} = \text{open}$ ,  $V_{ISPOS} = -100\text{ mV}$ ,  $C_{OUTA} = 1\text{ nF}$ ,  $C_T = 470\text{ pF}$ ,  $C_{I\text{AVG}} = 0.27\text{ nF}$ ,  $C_{L\text{atch}} = 0.1\text{ nF}$ ,  $C_M = 10\text{ nF}$ ,  $R_{I\text{AVG}} = 76.8\text{ k}\Omega$ ,  $R_{\text{delay}} = 49.9\text{ k}\Omega$ ,  $C_{OUTB} = 330\text{ pF}$ ,  $R_{RC} = 43\text{ k}\Omega$ , For typical Value  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $125^\circ\text{C}$ , unless otherwise noted)

Parameter	Test Condition	Symbol	Min	Typ	Max	Unit
-----------	----------------	--------	-----	-----	-----	------

#### OSCILLATOR

Frequency		$f_{osc}$	90	100	110	kHz
Frequency Modulation in Percentage of $f_{osc}$			–	6.8	–	%
Frequency Modulation Period			–	6.8	–	ms
Ramp Peak Voltage		$V_{CT(\text{peak})}$	–	4.0	–	V
Ramp Valley Voltage		$V_{CT(\text{valley})}$	–	0.10	–	V
Maximum Duty Ratio	$R_{\text{delay}} = \text{open}$	D	94	–	–	%
Ramp Compensation Peak Voltage		$V_{RCOMP(\text{peak})}$	–	4	–	V

#### AC ERROR AMPLIFIER

Input Offset Voltage (Note 3)	Ramp $I_{\text{AVG}}$ , $V_{FB} = 0\text{ V}$	$ACV_{IO}$		40	–	mV
Error Amplifier Transconductance		$g_m$	–	100	–	$\mu\text{S}$
Source Current	$V_{AC\ COMP} = 2.0\text{ V}$ , $V_{AC\ IN} = 2.0\text{ V}$ , $V_{FF} = 1.0\text{ V}$	$I_{EA(\text{source})}$	25	70	–	$\mu\text{A}$
Sink Current	$V_{AC\ COMP} = 2.0\text{ V}$ , $V_{AC\ IN} = 2.0\text{ V}$ , $V_{FF} = 5.0\text{ V}$	$I_{EA(\text{sink})}$	–25	–70	–	$\mu\text{A}$

#### CURRENT AMPLIFIER

Input Bias Current	$V_{ISPOS} = 0\text{ V}$	$CAI_{\text{bias}}$	40	53	80	$\mu\text{A}$
Input Offset Voltage	$V_{AC\ COMP} = 5.0\text{ V}$ , $V_{ISPOS} = 0\text{ V}$	$CAV_{IO}$	–20	0	20	mV
Current Limit Threshold	force OUTA high, $V_{AC\ COMP} = 3.0\text{ V}$ , ramp $V_{ISPOS}$ , $V_{\text{Ramp\_Comp}} = \text{open}$	$V_{ILIM}$	0.695	0.74	0.77	V
Leading Edge Blanking Duration		$t_{LEB}$	–	200	–	ns
Bandwidth			–	1.5	–	MHz
PWM Output Voltage Gain	$PWMk = \frac{4}{(V_{ILIM} - C_{AVIO})}$	PWMk	4.0	5.3	6.0	V/V
Current Limit Voltage Gain (See Current Sense Section)	$ISVK = \frac{V_{(AVG)}}{V_{ISPOS}}$	ISVk	15.4	18.5	23	V/V

#### REFERENCE GENERATOR

Reference Generator Gain	$k = \frac{V_{AC\_REF} \cdot V_{FF}^2}{V_{FB} \cdot V_{AC\_IN}}$	k	–	0.55	–	V
Reference Generator output voltage (low input ac line and full load)	$V_{AC\ IN} = 1.2\text{ V}$ , $V_{FF} = 0.765\text{ V}$ , $V_{FB} = 4\text{ V}$	$RG_{\text{out1}}$	3.61	4.36	4.94	Vpk
Reference Generator output voltage (high input ac line and full load)	$V_{AC\ IN} = 3.75\text{ V}$ , $V_{FF} = 2.39\text{ V}$ , $V_{FB} = 4.0\text{ V}$	$RG_{\text{out2}}$	1.16	1.35	1.61	Vpk
Reference Generator output Voltage (low input as line and minimum load)	$V_{AC\ IN} = 1.2\text{ V}$ , $V_{FF} = 0.765\text{ V}$ , $V_{FB} = 2.0\text{ V}$	$RG_{\text{out3}}$	1.85	2.18	2.58	Vpk
Reference Generator output voltage (high input ac line and minimum load)	$V_{AC\ IN} = 3.75\text{ V}$ , $V_{FF} = 2.39\text{ V}$ , $V_{FB} = 2.0\text{ V}$	$RG_{\text{out4}}$	0.55	0.65	0.78	Vpk
Reference Generator output offset voltage		$RG_{\text{offset}}$	–100	–	100	mV

3. Guaranteed by Design

**ELECTRICAL CHARACTERISTICS** ( $V_{CC} = 15\text{ V}$ ,  $V_{AC\ IN} = 3.8\text{ V}$ ,  $V_{FB} = 2.0\text{ V}$ ,  $V_{FF} = 2.4\text{ V}$ ,  $V_{Latch} = \text{open}$ ,  $V_{ISPOS} = -100\text{ mV}$ ,  $C_{OUTA} = 1\text{ nF}$ ,  $C_T = 470\text{ pF}$ ,  $C_{IAVG} = 0.27\text{ nF}$ ,  $C_{Latch} = 0.1\text{ nF}$ ,  $C_M = 10\text{ nF}$ ,  $R_{IAVG} = 76.8\text{ k}\Omega$ ,  $R_{delay} = 49.9\text{ k}\Omega$ ,  $C_{OUTB} = 330\text{ pF}$ ,  $R_{RC} = 43\text{ k}\Omega$ , For typical Value  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $125^\circ\text{C}$ , unless otherwise noted)

Parameter	Test Condition	Symbol	Min	Typ	Max	Unit
-----------	----------------	--------	-----	-----	-----	------

#### AC INPUT

Input Bias Current Into Reference Multiplier & Current Compensation Amplifier		$I_{AC\ IN(IB)}$	–	0.01	–	$\mu\text{A}$
---	--	------------------	---	------	---	---------------

#### DRIVE OUTPUTS A and B

Drive Resistance (Thermally Limited) OUTA Sink OUTA Source	$V_{OUTA} = 1\text{ V}$ $I_{OUTA} = 100\text{ mA}$	$R_{SNK1}$ $R_{SRC1}$	– –	8 10.8	18 24	$\Omega$
OUTB Sink OUTB Source	$V_{OUTB} = 1\text{ V}$ $I_{OUTB} = 100\text{ mA}$	$R_{SNK2}$ $R_{SRC2}$	– –	10 21	22 44	
Rise Time (10% to 90%) OUTA OUTB		$t_{r1}$ $t_{r2}$	– –	40 25	– –	ns
Fall Time (90% to 10%) OUTA OUTB		$t_{f1}$ $t_{f2}$	– –	20 10	– –	ns
DRV Low Voltage OUTA OUTB	$I_{OUTA} = 100\ \mu\text{A}$ $I_{OUTB} = 100\ \mu\text{A}$	$V_{OUTA(low)}$ $V_{OUTB(low)}$	– –	1.0 1.0	100 100	mV
Non-Overlap Adjustable Delay Range (Note 3)		$t_{delay(range)}$	0.08	–	2.8	$\mu\text{s}$
Non-Overlap Adjustable Delay Leading Trailing	Measured at 50% of $V_{OUT}$ , $C_{OUTA} = C_{OUTB} = 100\text{ pF}$ OUTA Rising to OUTB falling OUTB Rising to OUTA falling	$t_{delay(lead)}$ $t_{delay(trail)}$	250 250	450 420	550 550	ns
Non-Overlap Adjustable Delay Matching	OUTA Rising to OUTB Falling or OUTB Rising to OUTA Falling	$t_{delay(match)}$	–	–	55	%

#### Soft-Skip™

Skip Synchronization to ac Line Voltage Threshold	$V_{ACIN}$ Increasing, $V_{FB} = 1.5\text{ V}$	$V_{SSKIP(SYNC)}$	210	267	325	mV
Skip Synchronization to ac Line Voltage Threshold Hysteresis	$V_{ACIN}$ Decreasing	$V_{SSKIP(SYNCHYS)}$	–	40	–	mV
Skip Ramp Period (Note 3)		$t_{SSKIP}$	–	2.5	–	ms
Skip Voltage Threshold NCP1652 NCP1652A		$V_{SSKIP}$	1.04 0.36	1.24 0.41	1.56 0.46	V
Skip Voltage Hysteresis		$V_{SSKIP(HYS)}$	45	90	140	mV
Skip Transient Load Detect Threshold (Note 3)	$V_{SSKIP(TLD)} = V_{SSKIP} + 0.55\text{ V}$	$V_{SSKIP(TLD)}$	–	1.75	–	V

#### FEEDBACK INPUT

Pull-Up Current Source	$V_{FB} = 0.5\text{ V}$	$I_{FB}$	600	750	920	$\mu\text{A}$
Pull-Up Resistor		$R_{FB}$	–	6.7	–	k $\Omega$
Open Circuit Voltage		$V_{FB(open)}$	5.3	5.7	6.3	V

#### STARTUP AND SUPPLY CIRCUITS

Supply Voltage Startup Threshold Minimum Operating Voltage Logic Reset Voltage	$V_{CC}$ Increasing $V_{CC}$ Decreasing $V_{CC}$ Decreasing	$V_{CC(on)}$ $V_{CC(off)}$ $V_{CC(reset)}$	14.3 9.3 –	15.4 10.2 7.0	16.3 11.3 –	V
Inhibit Threshold Voltage	$V_{HV} = 40\text{ V}$ , $I_{inhibit} = 500\ \mu\text{A}$	$V_{inhibit}$	–	0.83	1.15	V

3. Guaranteed by Design



**ELECTRICAL CHARACTERISTICS** ( $V_{CC} = 15\text{ V}$ ,  $V_{AC\ IN} = 3.8\text{ V}$ ,  $V_{FB} = 2.0\text{ V}$ ,  $V_{FF} = 2.4\text{ V}$ ,  $V_{Latch} = \text{open}$ ,  $V_{ISPOS} = -100\text{ mV}$ ,  $C_{OUTA} = 1\text{ nF}$ ,  $C_T = 470\text{ pF}$ ,  $C_{I\text{AVG}} = 0.27\text{ nF}$ ,  $C_{L\text{atch}} = 0.1\text{ nF}$ ,  $C_M = 10\text{ nF}$ ,  $R_{I\text{AVG}} = 76.8\text{ k}\Omega$ ,  $R_{\text{delay}} = 49.9\text{ k}\Omega$ ,  $C_{OUTB} = 330\text{ pF}$ ,  $R_{RC} = 43\text{ k}\Omega$ , For typical Value  $T_J = 25^\circ\text{C}$ , for min/max values  $T_J = -40^\circ\text{C}$  to  $125^\circ\text{C}$ , unless otherwise noted)

Parameter	Test Condition	Symbol	Min	Typ	Max	Unit
-----------	----------------	--------	-----	-----	-----	------

#### STARTUP AND SUPPLY CIRCUITS

Inhibit Bias Current	$V_{HV} = 40\text{ V}$ , $V_{CC} = 0.8 * V_{\text{inhibit}}$	$I_{\text{inhibit}}$	40	-	500	$\mu\text{A}$
Minimum Startup Voltage	$I_{\text{start}} = 0.5\text{ mA}$ , $V_{CC} = V_{CC(\text{on})} - 0.5\text{ V}$	$V_{\text{start}(\text{min})}$	-	-	40	V
Startup Current	$V_{CC} = V_{CC(\text{on})} - 0.5\text{ V}$ , $V_{FB} = \text{Open}$	$I_{\text{start}}$	3.0	5.62	8.0	mA
Off-State Leakage Current	$V_{HV} = 400\text{ V}$ , $T_J = 25^\circ\text{C}$ $T_J = -40^\circ\text{C}$ to $125^\circ\text{C}$	$I_{HV(\text{off})}$	-	17	40	$\mu\text{A}$
			-	15	80	
Supply Current Device Disabled (Overload) Device Switching	$V_{FB} = \text{Open}$ $f_{\text{OSC}} \approx 100\text{ kHz}$	$I_{CC1}$ $I_{CC2}$	-	0.72	1.2	mA
			-	6.25	7.2	

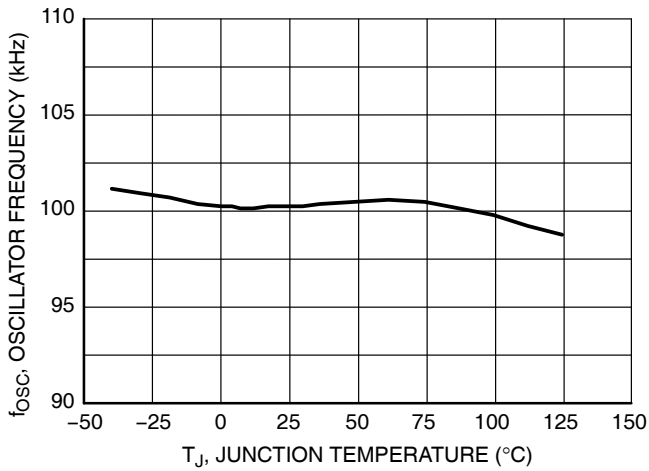
#### FAULT PROTECTION

Overload Timer		$t_{\text{OVLD}}$	120	162	360	ms
Overload Detect Threshold		$V_{\text{OVLD}}$	4.7	4.9	5.2	V
Brown-Out Detect Threshold (entering fault mode)	$V_{FF}$ Decreasing, $V_{FB} = 2.5\text{ V}$ , $V_{AC\ IN} = 2.0\text{ V}$	$V_{\text{BO}(\text{low})}$	0.41	0.45	0.49	V
Brown-Out Exit Threshold (exiting fault mode)	$V_{FF}$ Increasing, $V_{FB} = 2.5\text{ V}$ , $V_{AC\ IN} = 2.0\text{ V}$	$V_{\text{BO}(\text{high})}$	0.57	0.63	0.69	V
Brown-Out Hysteresis		$V_{\text{BO}(\text{HYS})}$	-	174	-	mV

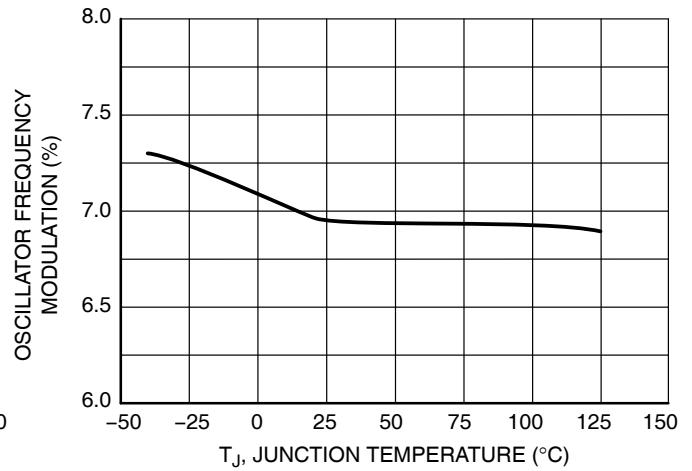
#### LATCH INPUT

Pull-Down Latch Voltage Threshold	$V_{Latch}$ Decreasing	$V_{\text{latch}(\text{low})}$	0.9	0.98	1.1	V
Pull-Up Latch Voltage Threshold	$V_{Latch}$ Increasing	$V_{\text{latch}(\text{high})}$	5.6	7.0	8.4	V
Latch Propagation Delay	$V_{Latch} = V_{\text{latch}(\text{high})}$	$t_{\text{latch}(\text{delay})}$	30	56	90	$\mu\text{s}$
Latch Clamp Current (Going Out)	$V_{Latch} = 1.5\text{ V}$	$I_{\text{latch}(\text{clamp})}$	42	51	58	$\mu\text{A}$
Latch Clamp Voltage ( $I_{Latch}$ Going In)	$I_{Latch} = 50\text{ }\mu\text{A}$	$V_{\text{latch}(\text{clamp})}$	2.5	3.27	4.5	V
Latch-Off Current Shutdown (Going In)	$V_{Latch}$ Increasing	$I_{\text{latch}(\text{shdn})}$	-	95	-	$\mu\text{A}$

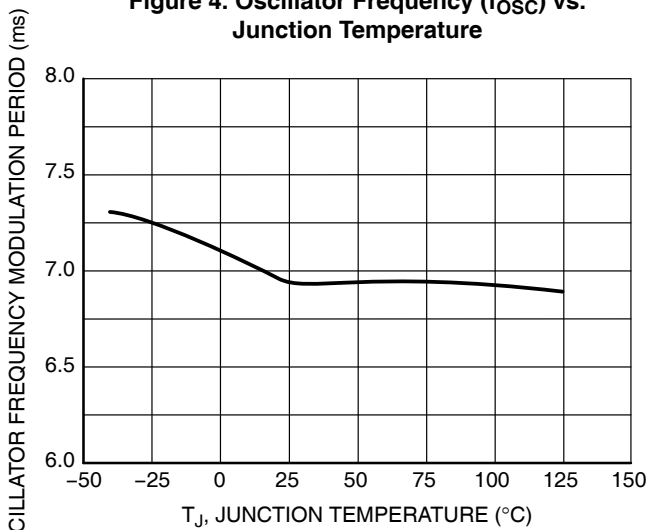
3. Guaranteed by Design



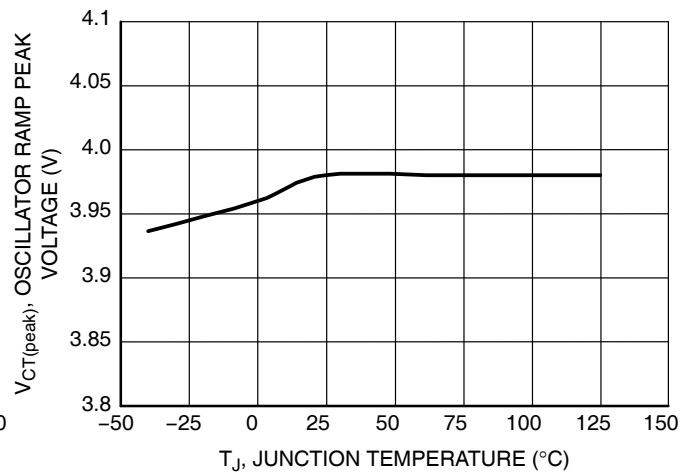
**Figure 4. Oscillator Frequency (f<sub>osc</sub>) vs. Junction Temperature**



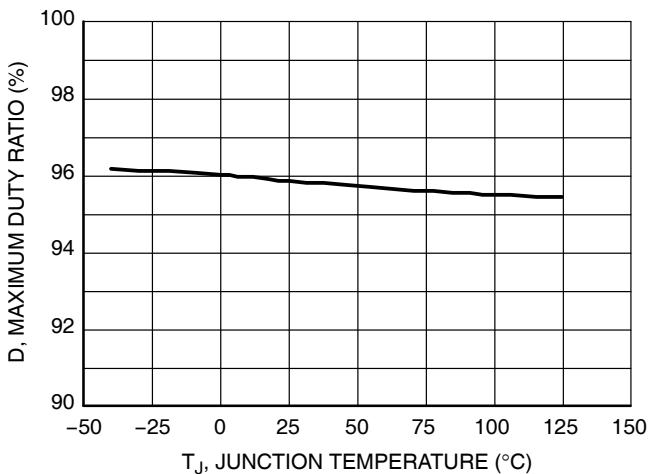
**Figure 5. Oscillator Frequency Modulation in Percentage of f<sub>osc</sub> vs. Junction Temperature**



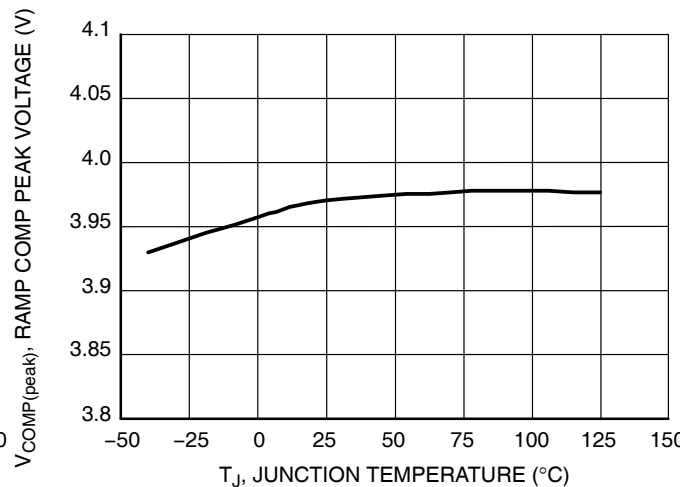
**Figure 6. Oscillator Frequency Modulation Period vs. Junction Temperature**



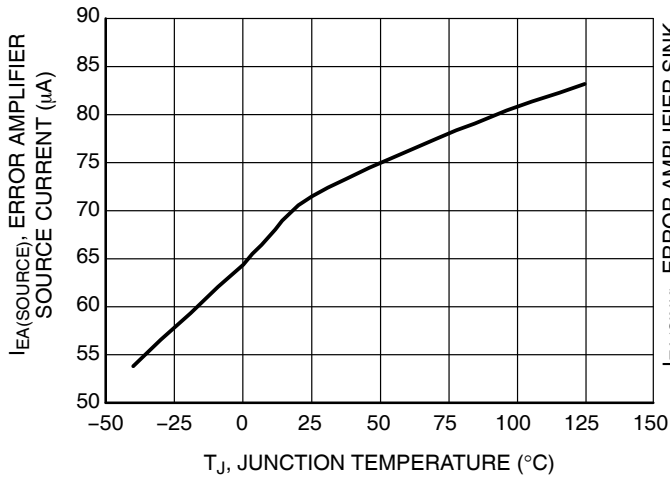
**Figure 7. Ramp Peak Voltage vs. Junction Temperature**



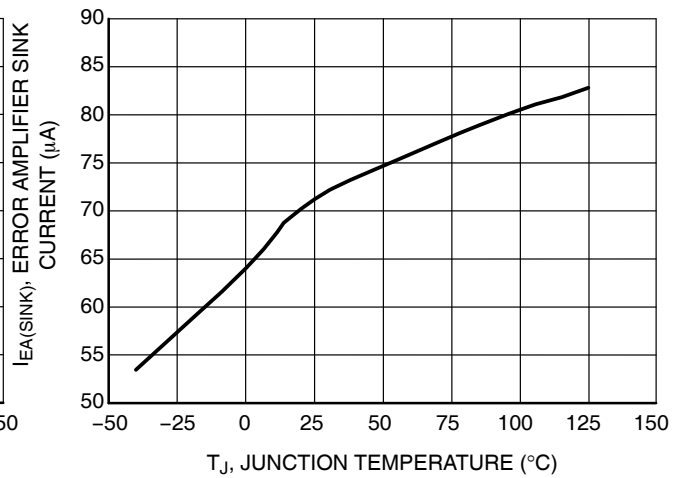
**Figure 8. Maximum Duty Ratio vs. Junction Temperature**



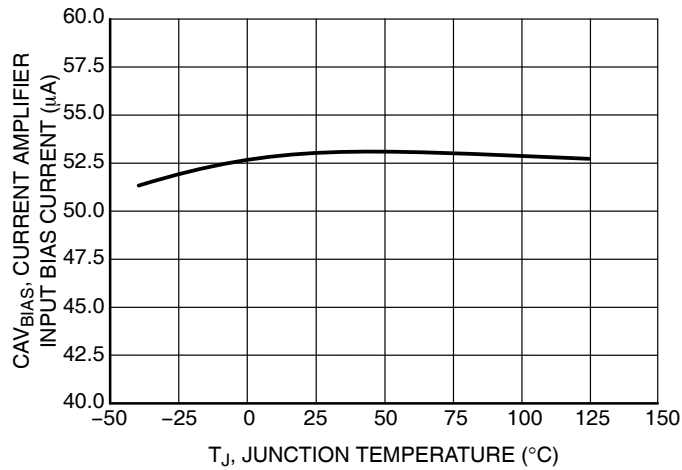
**Figure 9. Ramp Compensation Peak Voltage vs. Junction Temperature**



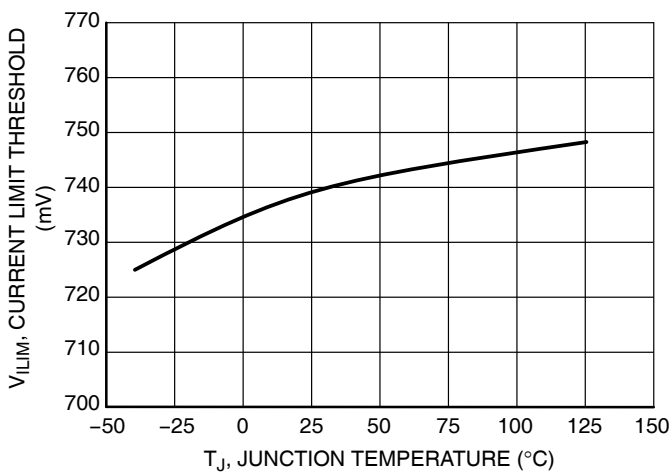
**Figure 10. Error Amplifier Source Current vs. Junction Temperature**



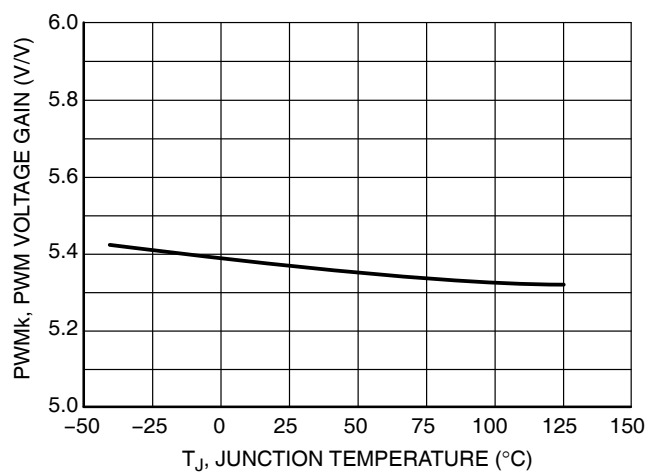
**Figure 11. Error Amplifier Sink Current vs. Junction Temperature**



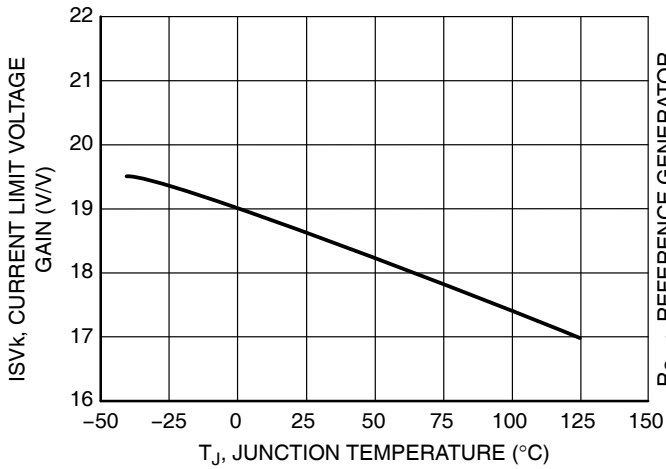
**Figure 12. Current Amplifier Input Bias Current vs. Junction Temperature**



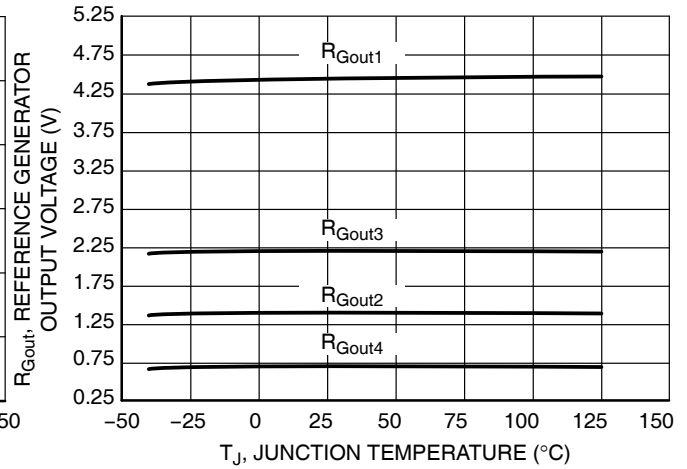
**Figure 13. Current Limit Threshold vs. Junction Temperature**



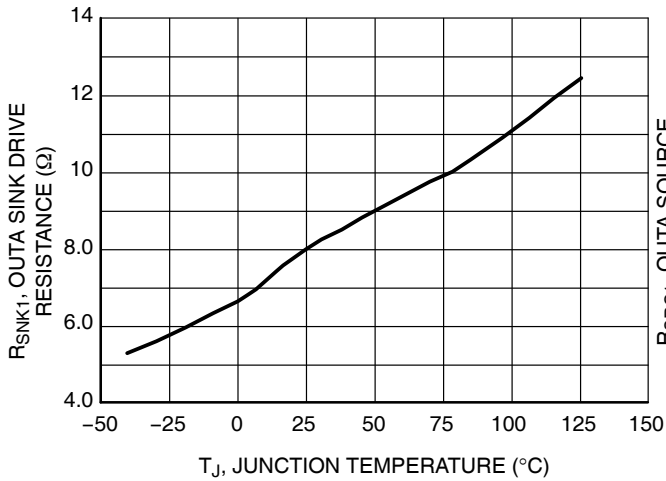
**Figure 14. PWM Output Voltage Gain vs. Junction Temperature**



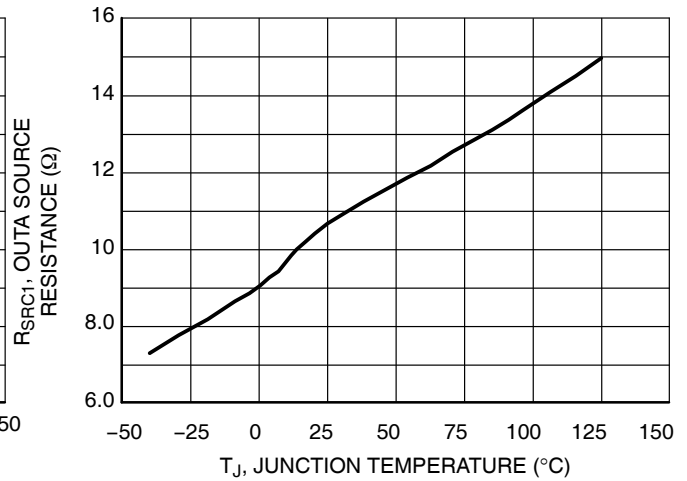
**Figure 15. Oscillator CS Limit Voltage Gain vs. Junction Temperature**



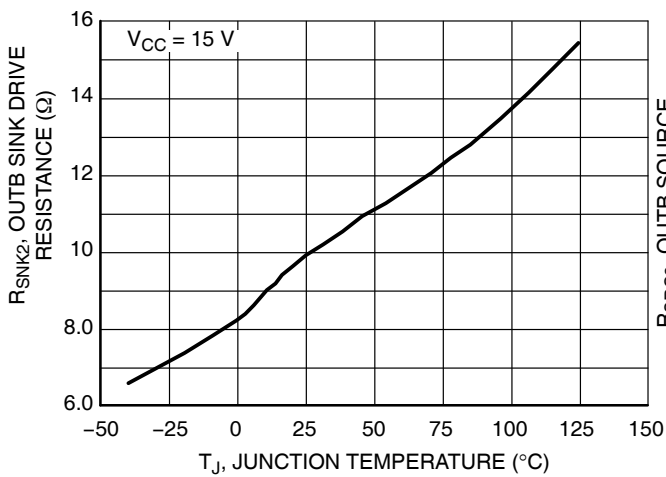
**Figure 16. Oscillator Reference Generator Output Voltage vs. Junction Temperature**



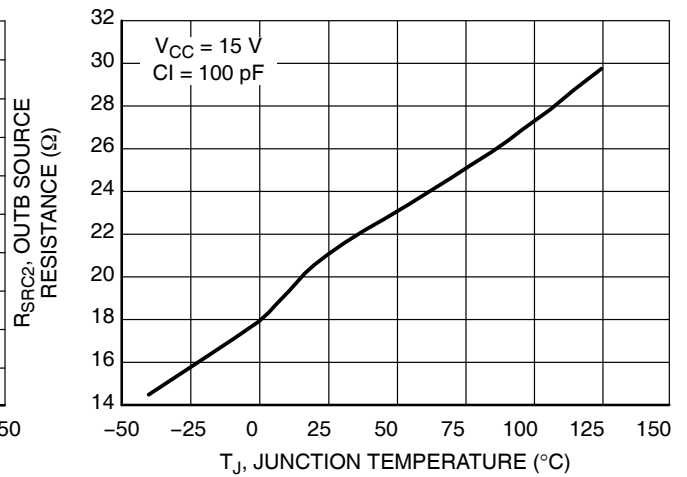
**Figure 17. OUTA Sink Resistance vs. Junction Temperature**



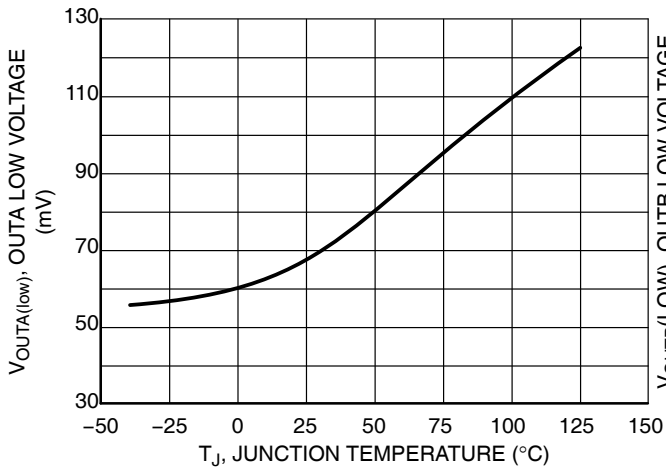
**Figure 18. OUTA Source Drive Resistance vs. Junction Temperature**



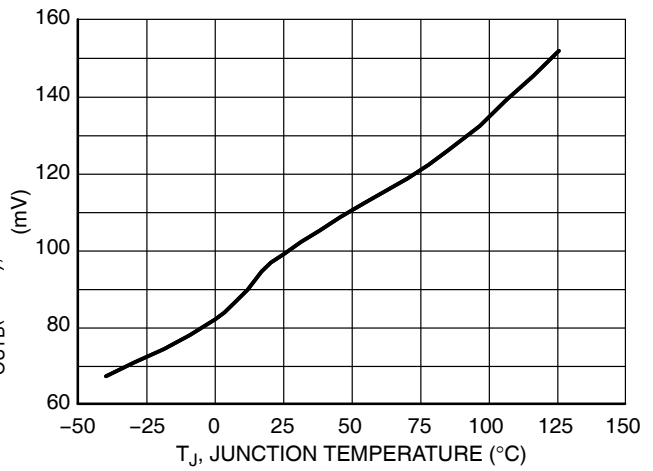
**Figure 19. OUTB Sink Resistance vs. Junction Temperature**



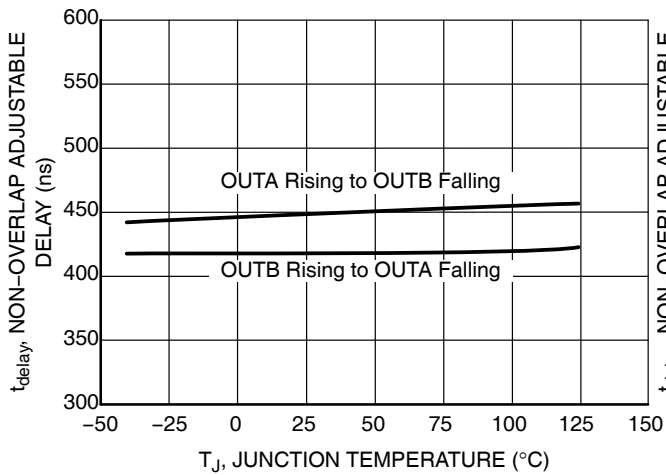
**Figure 20. OUTB Source Drive Resistance vs. Junction Temperature**



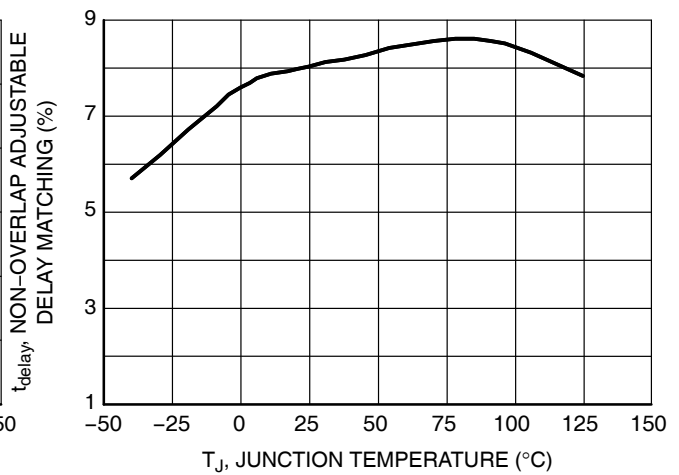
**Figure 21. OUTA Low Voltage vs. Junction Temperature**



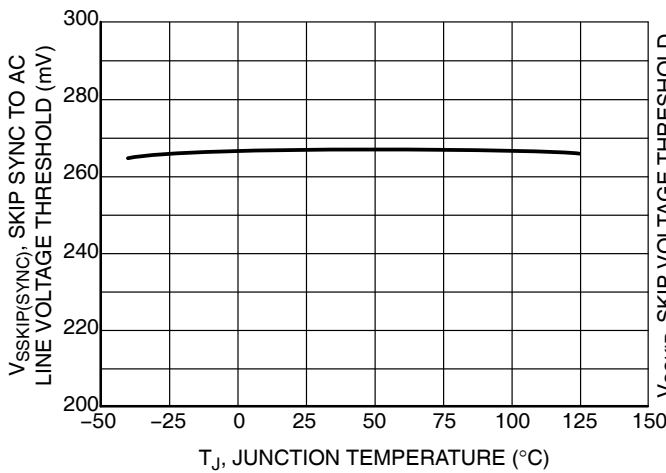
**Figure 22. OUTB Low Voltage vs. Junction Temperature**



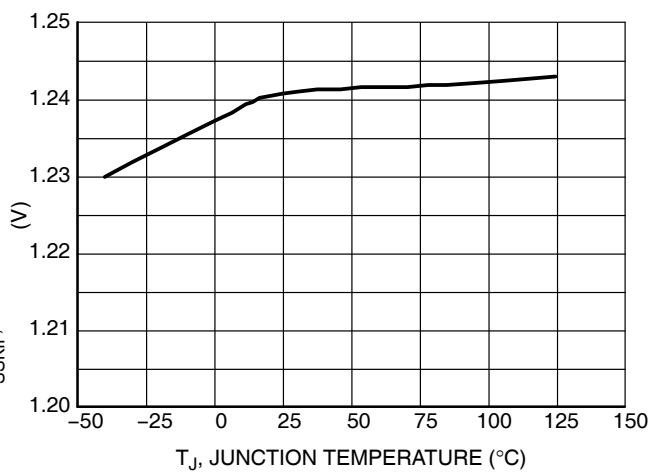
**Figure 23. Non-Overlap Adjustable Delay vs. Junction Temperature**



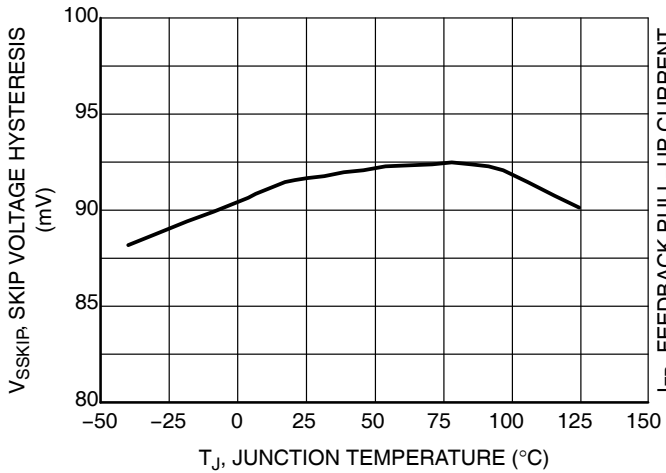
**Figure 24. Non-Overlap Adjustable Delay Matching vs. Junction Temperature**



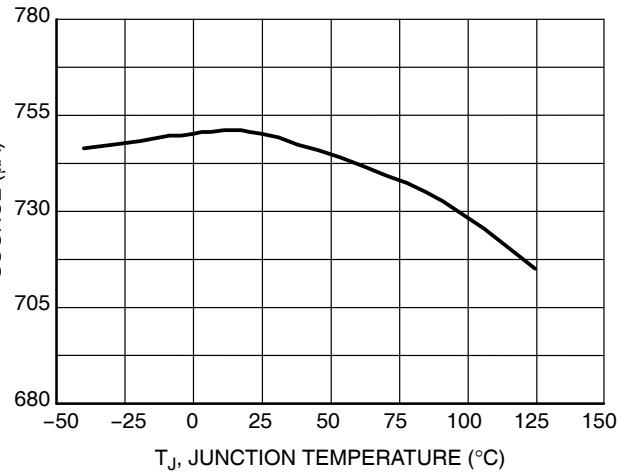
**Figure 25. Skip Synchronization to ac Line Voltage Threshold vs. Junction Temperature**



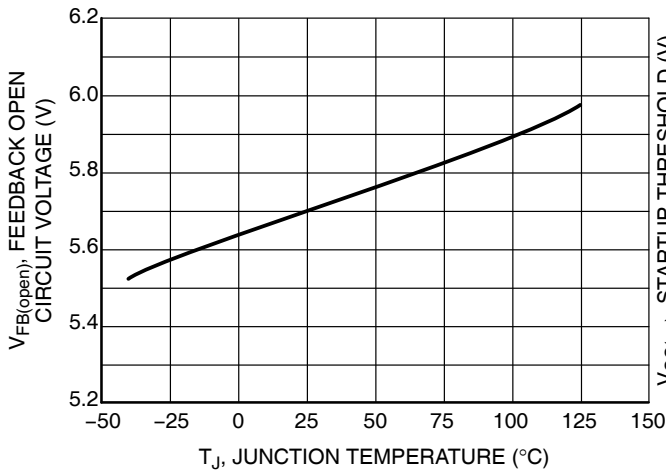
**Figure 26. Skip Voltage Threshold vs. Junction Temperature**



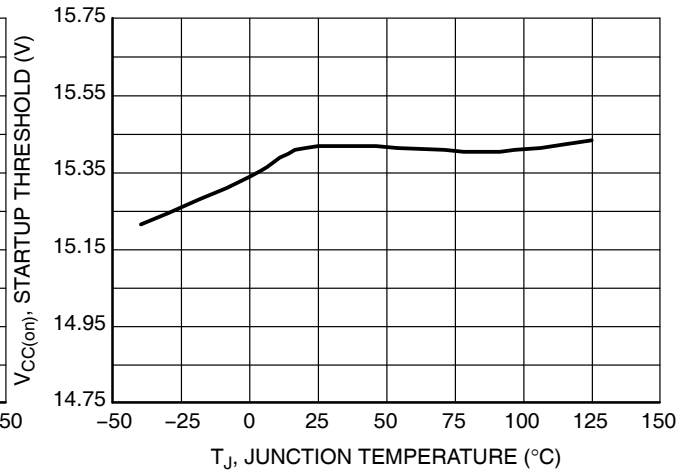
**Figure 27. Skip Voltage Hysteresis vs. Junction Temperature**



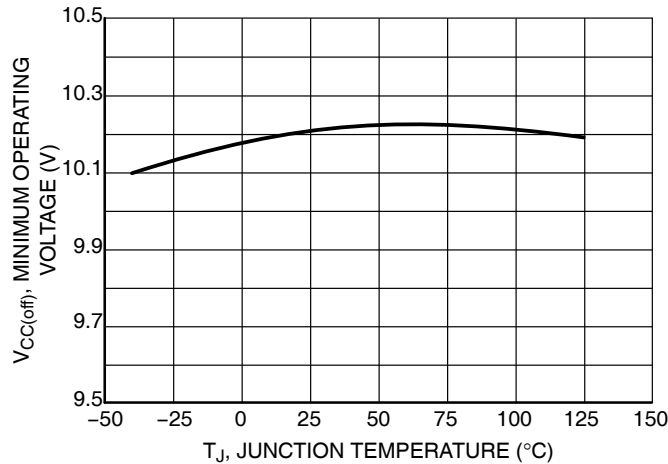
**Figure 28. Feedback Pull-Up Current vs. Junction Temperature**



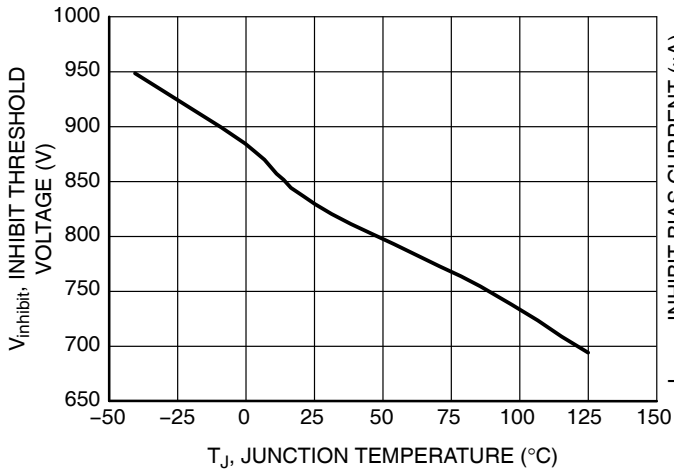
**Figure 29. Feedback Open Circuit Voltage vs. Junction Temperature**



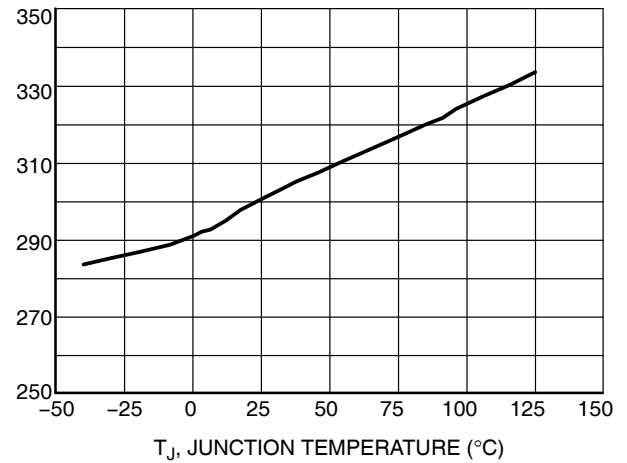
**Figure 30. Startup Threshold vs. Junction Temperature**



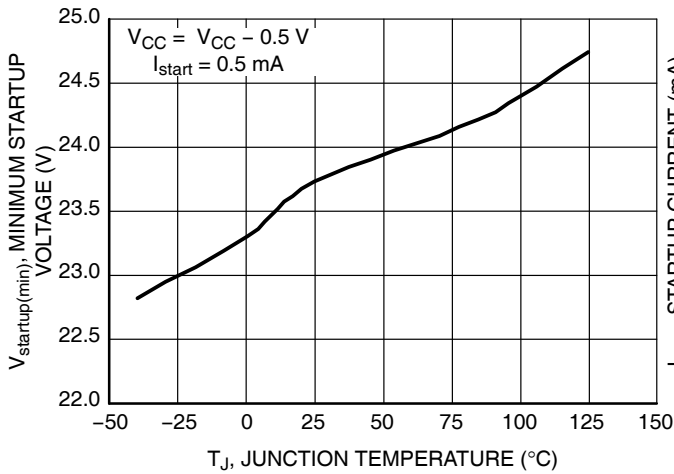
**Figure 31. Minimum Operating Voltage vs. Junction Temperature**



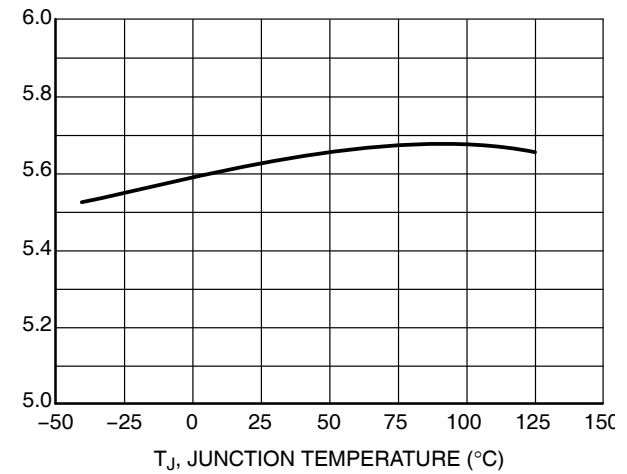
**Figure 32. Inhibit Threshold Voltage vs. Junction Temperature**



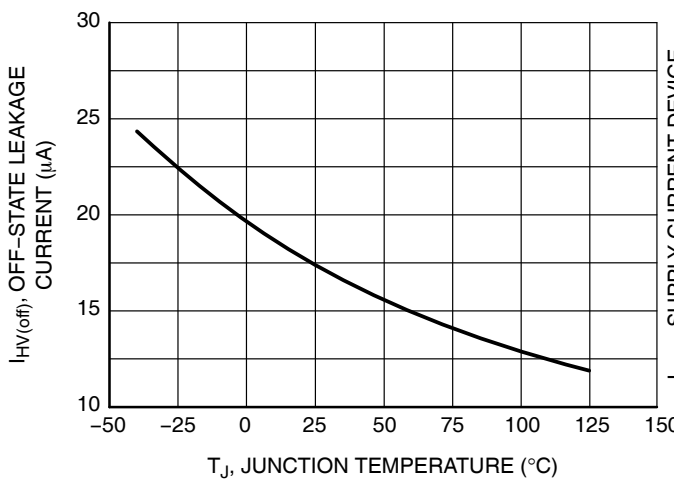
**Figure 33. Inhibit Bias Current vs. Junction Temperature**



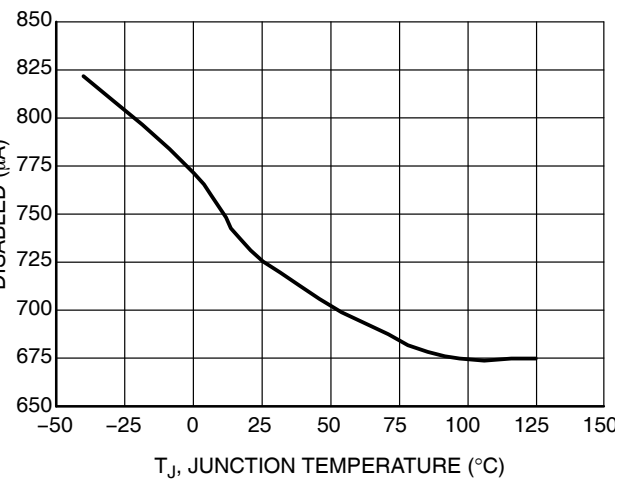
**Figure 34. Minimum Startup Voltage vs. Junction Temperature**



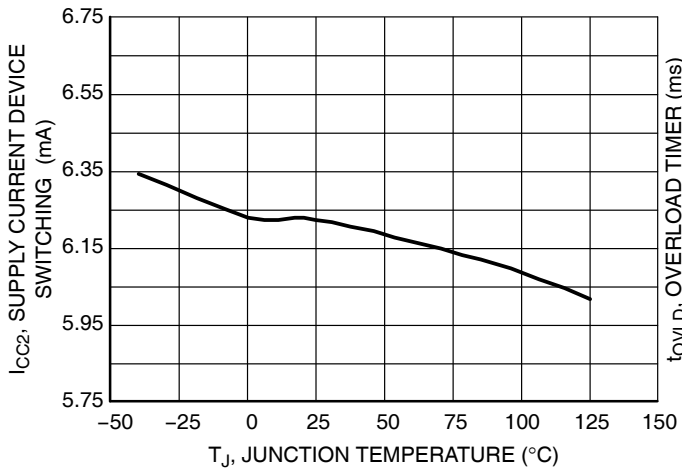
**Figure 35. Startup Current vs. Junction Temperature**



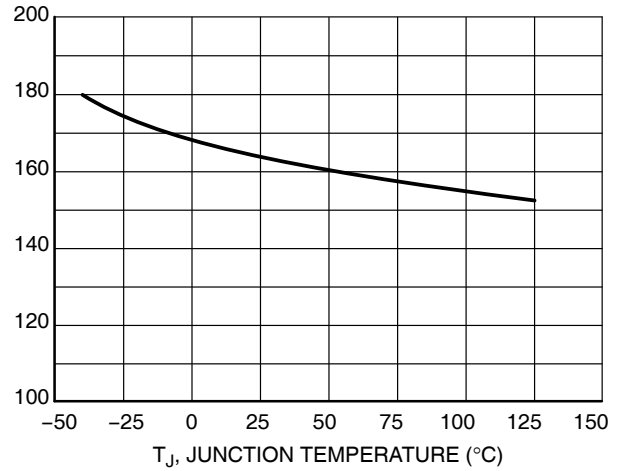
**Figure 36. Off-State Leakage Current vs. Junction Temperature**



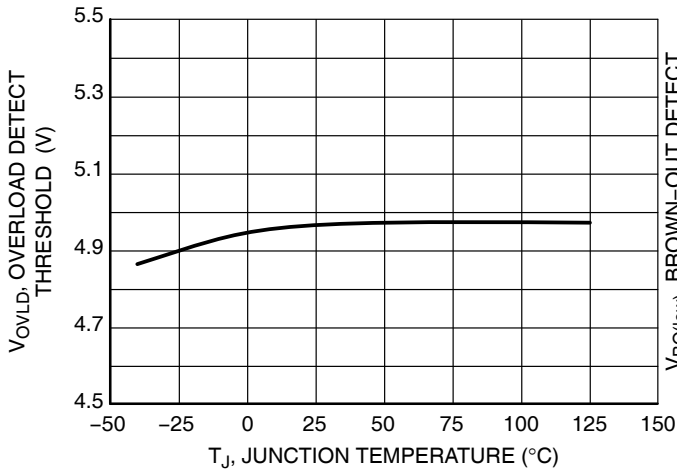
**Figure 37. Supply Current Device Disabled (Overload) vs. Junction Temperature**



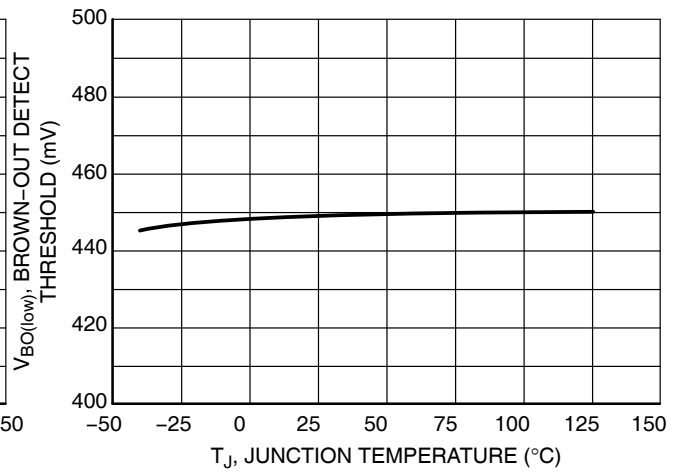
**Figure 38. Supply Current Device Switching vs. Junction Temperature**



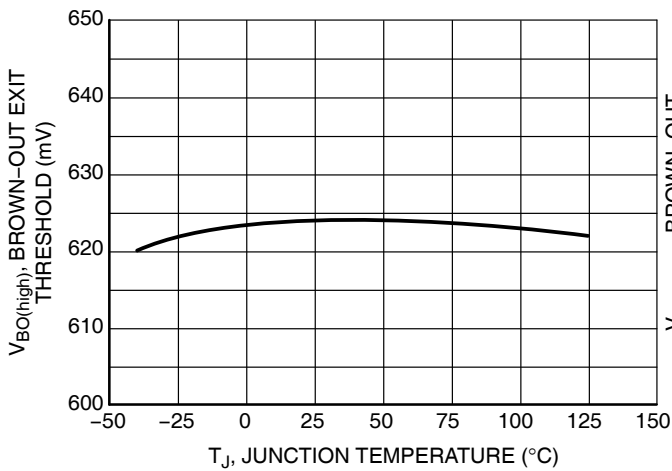
**Figure 39. Overload Timer vs. Junction Temperature**



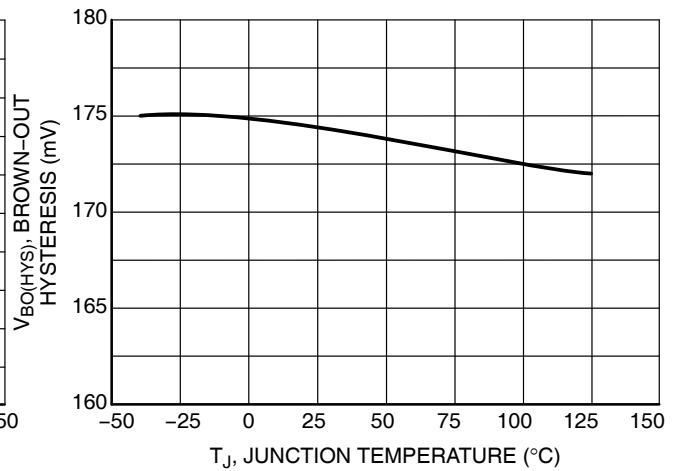
**Figure 40. Overload Detect Threshold vs. Junction Temperature**



**Figure 41. Brown-Out Detect Threshold vs. Junction Temperature**

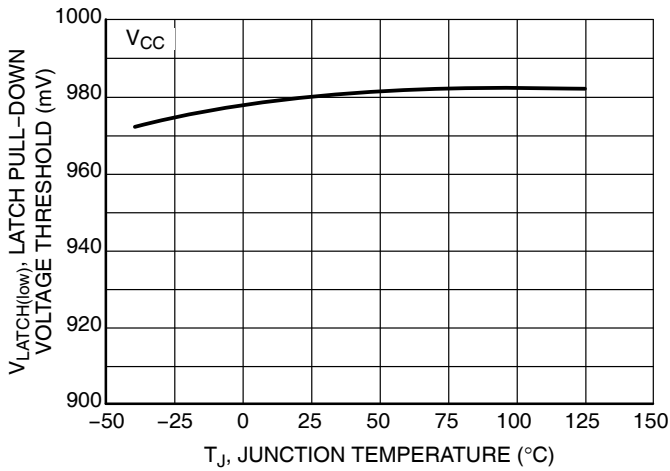


**Figure 42. Brown-Out Exit Threshold vs. Junction Temperature**

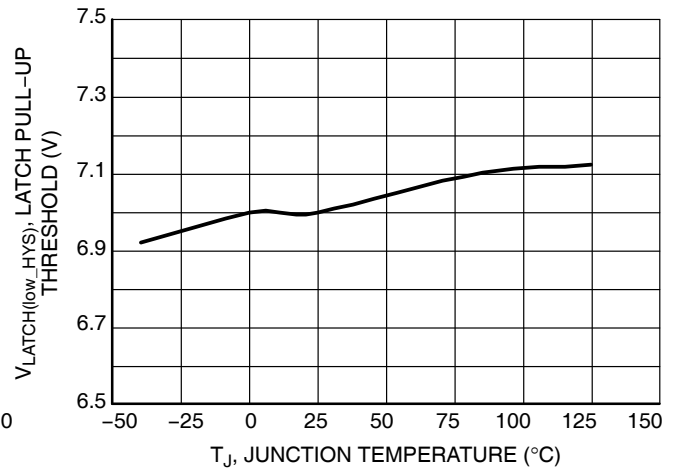


**Figure 43. Brown-Out Hysteresis vs. Junction Temperature**

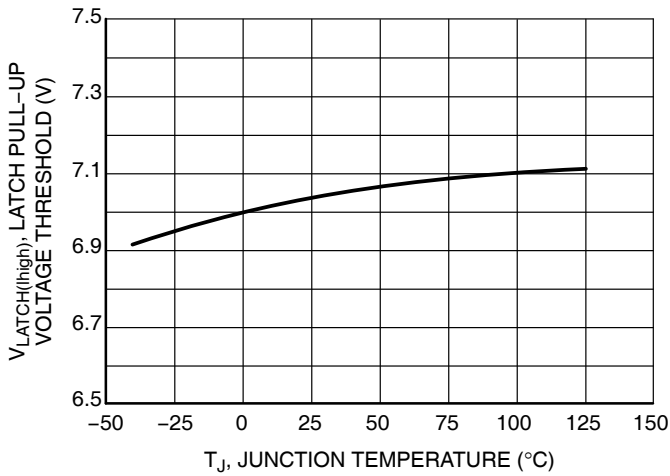




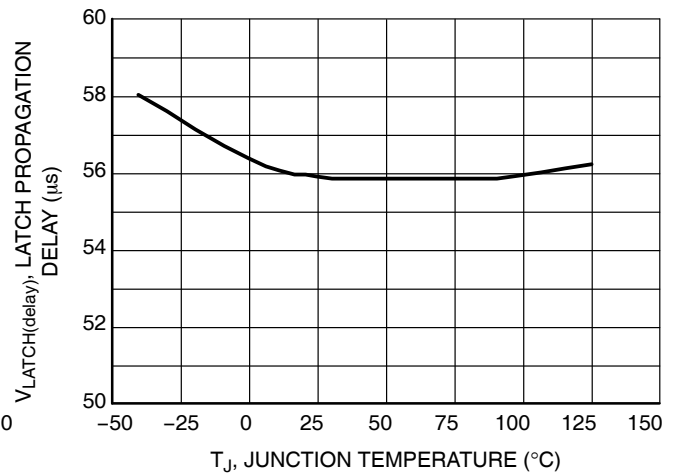
**Figure 44. Latch Pull-Down Voltage Threshold vs. Junction Temperature**



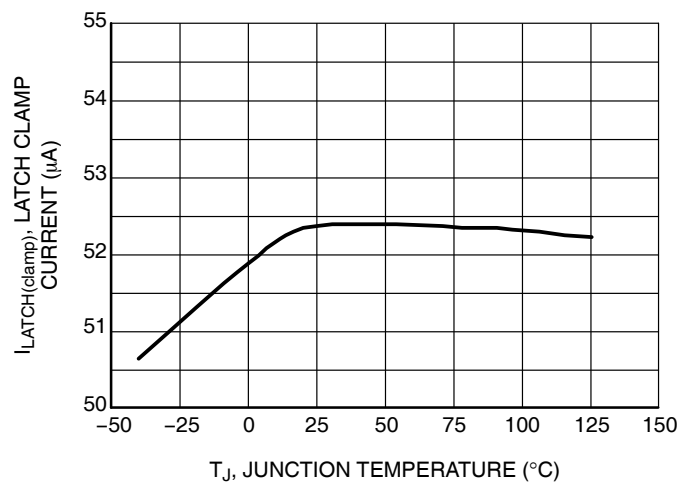
**Figure 45. Latch Pull-Up Threshold vs. Junction Temperature**



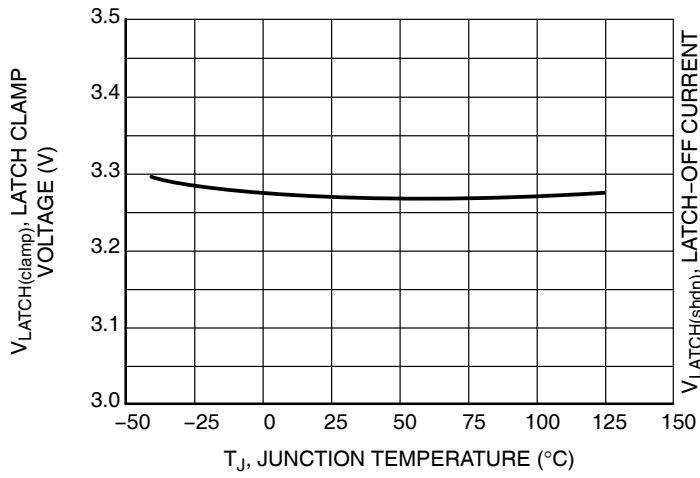
**Figure 46. Latch Pull-Up Voltage Threshold vs. Junction Temperature**



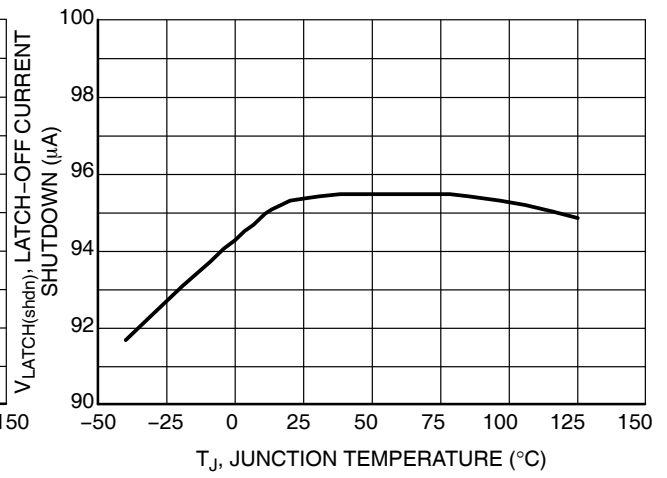
**Figure 47. Latch Propagation Delay vs. Junction Temperature**



**Figure 48. Latch Clamp Current vs. Junction Temperature**



**Figure 49. Latch Clamp Voltage vs. Junction Temperature**



**Figure 50. Latch-Off Current Shutdown vs. Junction Temperature**

## 詳細なデバイス説明

### はじめに

NCP1652はシングル・ステージで力率補正(PFC)および絶縁型ステップダウンAC-DC電力変換を実行する高集積コントローラで、低コスト化と部品点数の削減が可能なソリューションを提供します。このコントローラはノートブックPC電源アダプタ、バッテリー充電器、および出力電圧が12V以上で容量が75Wから150Wまでの電源を必要とするオフライン・アプリケーションなどに最適です。シングル・ステージ構成は、フライバック・コンバータをベースとしており、連続導通モード(CCM)または不連続導通モード(DCM)で動作するように設計されています。

### 力率補正(PFC)の概要

力率補正はオフライン電源の入力電流を整形して主電源から供給される実電力を最大化します。理想的には、電気機器は純抵抗をエミュレートする負荷を与えるべきで、その場合は装置によって引き出されるリアクティブ電力はゼロになります。このシナリオの本質は、入力電流に高調波が含まれないことにあります。電流は入力電圧（通常は正弦波）の完全なレプリカであり、電圧とまったく同位相になります。電圧と電流が同位相の場合、主電源から引き出される電流は必要な作業を実行するのに必要な実電力に対して最小となり、電力の分配だけでなく電力の発生や処理に関連する資本設備に関わる損失とコストも最小化されます。高調波が存在しないということは、同じ電源から電力が供給される他の装置との干渉も最小限になることを意味します。

今日の電源の多くでPFCが採用されるもう1つの理由は、法的規制への準拠です。現在、ヨーロッパで使用される電気機器はEuropean Norm EN61000-3-2に適合しなければなりません。この要求条件は75W以上の入力電力で動作する大部分の電気機器に適用され、最大39次までのライン周波数高調波の最大振幅を規定しています。この要求条件は米国ではまだ適用されていませんが、世界中に製品を販売しようとしている電源メーカーはこの規制に準拠するように製品を設計しています。

### PFC付きの代表的電源

代表的な電源は、中間の~400Vバスを生成するブーストPFCプリレギュレータと、Figure 51に示すような、目的の出力電圧を生成する絶縁型DC-DCコンバータで構成されています。このアーキテクチャには、2つのパワー・ステージがあります。

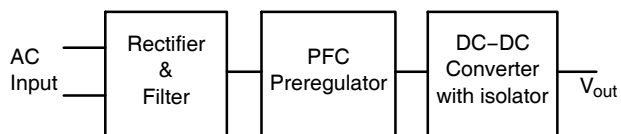


Figure 51. Typical Two Stage Power Converter

2ステージ・アーキテクチャにより、各パワー・ステージを個別に最適化できます。この構成は、設計者が熟知していることと、入手可能なコンポーネン

トの範囲が広いことから一般的に使用されています。しかし、この構成では電力を2回処理するため効率が悪く、よりコンパクトで電力効率に優れたソリューションが常に求められています。

NCP1652コントローラは、フロントエンド・コンバータ（PFCプリレギュレータ）とDC-DCコンバータを、Figure 52に示すような単一の電力処理ステージに縮小する利便性を提供します。

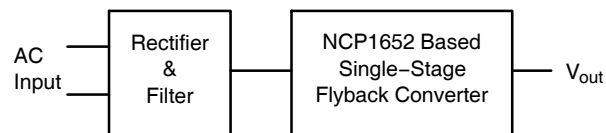


Figure 52. Single Stage Power Converter

この方法により使用コンポーネント数を大幅に減らすことができます。NCP1652ベースのソリューションは、MOSFET、磁性素子、出力整流回路（低電圧）、および出力コンデンサ（低電圧）をそれぞれ1個しか必要としません。対照的に、2ステージ・ソリューションではこれらのコンポーネントが2個以上必要です。高電圧コンポーネント（たとえば、高電圧コンデンサや高電圧PFCダイオード）を省略できることは、システム・デザインに大きなインパクトを与えます。その結果得られるコスト削減と信頼性向上は、新しいコンバータを設計するための労力に匹敵する場合も少なくありません。

### シングルPFCステージ

シングル・ステージでも一定のメリットは得られますが、これがすべての要求条件に対する推奨ソリューションではないことを認識することが大切です。シングル・ステージのアプローチには、次の3つの制約があります。

- 出力電圧リップルは、ライン周波数の2倍の周波数成分（北米アプリケーションの場合は120Hz）を持っており、簡単には除去できません。このリップルの原因は、2ステージ・ソリューションでは通常、ブースト出力コンデンサであるエネルギー保存素子をなくしたことにあります。リップルを低減する唯一の方法は、出力フィルタの容量を大きくすることです。容量に要求される値は出力電圧に反比例します。そのためこの方法は、3.3Vや5Vといった低い電圧出力の場合には推奨されません。しかし、シングル・ステージ・コンバータの後に追加のDC-DCコンバータ・ステージまたはバッテリーが存在する場合、低周波リップルは何の問題も生じません。
- ホールドアップ時間は、中間エネルギー保存素子がないため、2ステージ・アプローチほど良くありません。
- シングル・ステージ・コンバータでは、1つのFETが全電力を処理しますが、メインMOSFETにかかるストレスが比較的大きいため長所と制約の両方

につながります。同様に、磁性部品（フライバック・トランスインダクタ）は、2ステージ・ソリューションの場合と同じく、最適化することはできません。結果として、リーク・インダクタンスが大きくなるほど、MOSFETのドレインに加えられる電圧スパイクが大きくなります（Figure 53参照）。そのため、同様のDC入力フライバック・アプリケーションに比べて、より高い定格電圧のMOSFETが必要になることがあります。

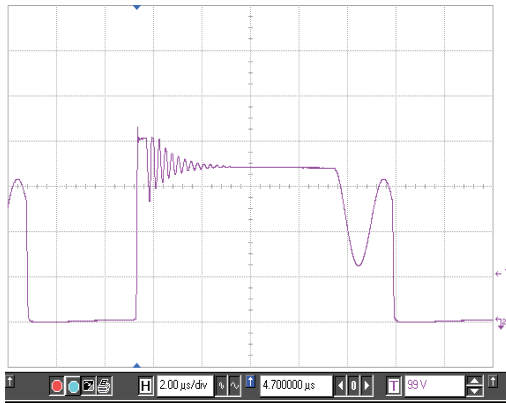


Figure 53. Typical Drain Voltage Waveform of a Flyback Main Switch

メイン・スイッチにかかる電圧スパイクをクランプする方法がいくつかあります。Figure 54からFigure 56に示すように、抵抗-容量-ダイオード(RCD)クランプ法、過渡電圧サプレッサ(TVS)法、またはMOSFETとコンデンサを使用したアクティブ・クランプ法を使用できます。

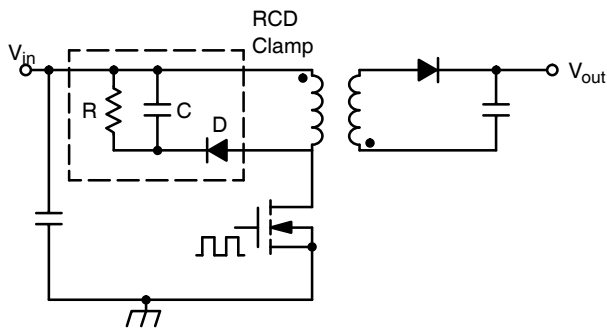


Figure 54. RCD Clamp

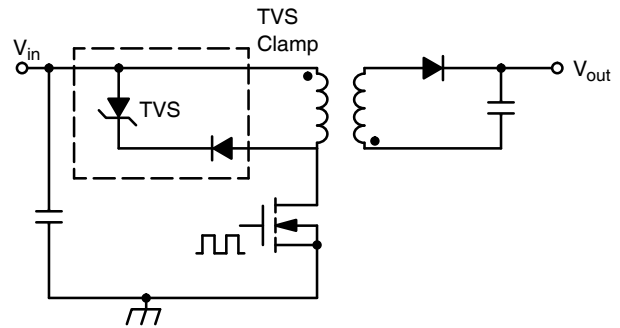


Figure 55. TVS Clamp

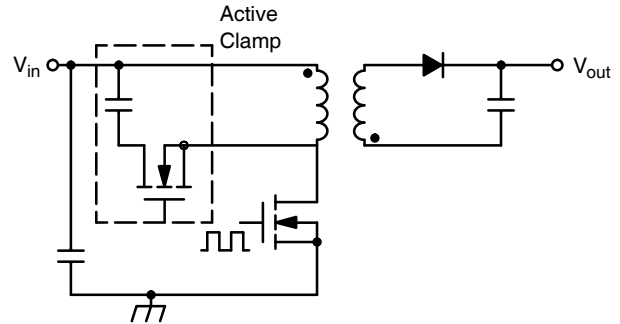


Figure 56. Active Clamp

最初の2つの方法は、クランプ回路でリーク・エネルギーを放散しますが、この電力消費は $LI^2$ に比例します。ここで、 $L$ はトランスのリーク・インダクタンス、 $I$ はオフ時のスイッチ電流のピーク値です。RDCスナバ回路はシンプルでコストが最小となりますが、絶えず電力を消費します。TVS法は若干コスト高になりますが、良好な電圧クランプ性能を有し、ドレイン電圧がTVSの電圧定格を超えたときのみ電力を消費します。

アクティブ・クランプ回路は、他の方法に対する興味深い代替ソリューションを提供します。アクティブ・クランプ回路の一部にMOSFETと高電圧コンデンサを追加する必要があるため、複雑になりますが、リーク・インダクタンス・エネルギーを完全に再利用できます。結果として、トランスの構造はそれほど厳密なものではなくなり、安価なソリューションを使用することができます。また、アクティブ・クランプ回路は1次側スイッチにかかる電圧ストレスも抑えるため、より低コストすなわちより低いオン抵抗 ( $R_{DS(on)}$ ) を持つMOSFETの使用が可能になります。最後に、アクティブ・クランプ回路ではMOSFETがターンオンする前に、MOSFETの $C_{OSS}$ 容量が放電されるため、ターンオン・スイッチング時の損失がなくなります。この状態遷移のために、リーク・インダクタンスに蓄えられたエネルギーが利用されます。

多くのアプリケーションでは、アクティブ・クランプ回路が複雑になることは正当化されない可能性があります。しかし、NCP1652のOUTBは別の目的、すなわち同期整流制御にも使用できます。フライバック・コンバータ用の同期整流は、フライバック・コンバータに対して新たに発生した要求条件の1つで

す。NCP1652からのOUTB信号は、Figure 57に示すように、NCP4303のような2次側同期整流器コントローラとのインタフェースに理想的です。Figure 57に示すように、OUTB（パルス・トランスまたはY-キャパシタを通して結合される）をNCP4303のトリガとして使用することにより、1次側スイッチのターンオ

ン前に2次側の同期MOSFETがターンオフすることを保証できます。どのCCMフライバック・コンバータでも、これは交差導通を防止するための重要な要件であり、NCP1652とNCP4303の組み合わせは、交差導通のない動作を保証する初めてのチップセットとなっています。

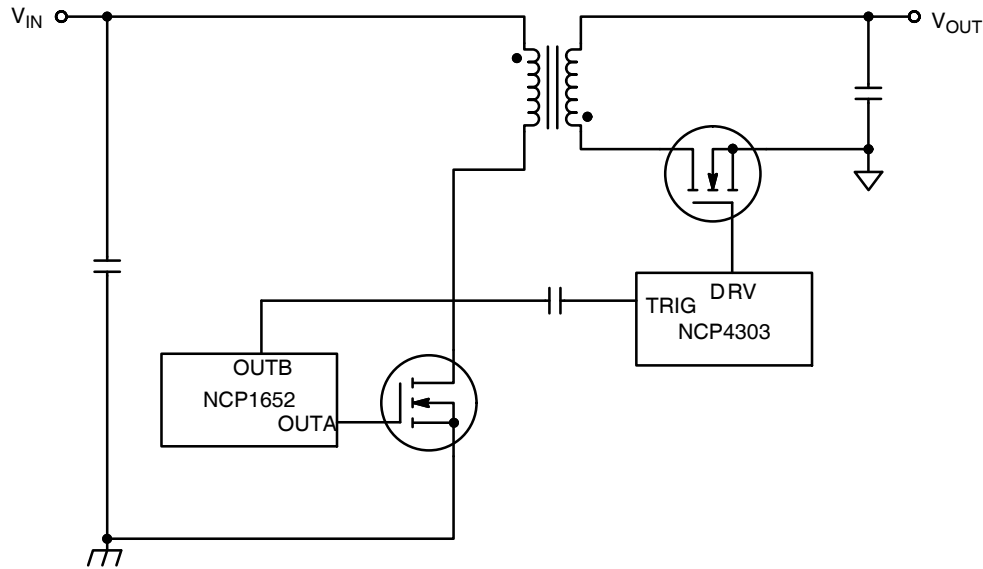


Figure 57. NCP1652 and NCP4303 based single stage PFC with synchronous rectification.

NCP1652は、2次ドライバ、2次側の同期整流スイッチを制御するための調整可能な非オーバーラップ遅延付きOUTB、1次側または両側にアクティブ・クランプ・スイッチを内蔵しています。さらに、このコントローラは独自のSoft-Skip™を使用して、軽負荷時の音響ノイズを低減します。NCP1652のその他の特長としては、高電圧起動回路、電圧フィードフォワード、ブラウンアウト検知回路、内部過負荷タイマ、ラッチ入力、および高精度乗算器などがあります。

#### NCP1652 PFCループ

NCP1652は力率1を達成するために使用される平均電流モード・コントロールの修正版を内蔵しています。PFCセクションには、可変基準電圧発生器、低周波電圧レギュレーション・エラー・アンプ(AC error AMP)、ランプ補償(Ramp Comp)、および電流整形ネットワークが含まれています。これらのブロックは、ブロック図 (Figure 51) の下部に示してあります。

基準電圧発生器の入力としては、フィードバック信号 (FB)、縮小されたAC入力信号 (AC\_IN)、およびフィードフォワード入力 (V<sub>FF</sub>) があります。基準電圧発生器の出力は、FBおよびV<sub>FF</sub>の値によって縮小された入力正弦波の整流波です。リファレンスの振幅はFB値に比例し、V<sub>FF</sub>値の2乗に反比例します。これは負荷レベルが高くなるか入力電圧が低くなれば (あるいはその両方)、この信号が大きくなることを意味しています。

ACエラー・アンプの機能は、電流センス・アンプの平均電流出力を基準電圧発生器出力に強制的に一致させることです。ACエラー・アンプの出力は高速イベントへの応答を妨げるように補正されます。この出力 (V<sub>error</sub>) は、リファレンス・バッファを通してPWMコンパレータに送られます。PWMコンパレータは、V<sub>error</sub>と瞬時電流を合計し、それを4.0Vのスレッシュホールドと比較して、目的のデューティ・サイクル制御を提供します。また、デューティ・サイクル50%以上でCCM動作を可能にするために、入力信号にCCMランプ補償も追加されています。

#### 高電圧起動回路

NCP1652の内部高電圧起動回路は、外部の起動用コンポーネントが不要で、外付け起動抵抗と比べて起動時間が短くなります。起動回路は、HVピンからV<sub>CC</sub>ピン (C<sub>CC</sub>) 上の電源コンデンサに電流を供給する定電流源で構成されています。起動電流 (I<sub>start</sub>) は標準5.5mAです。

V<sub>CC</sub>電圧がV<sub>CC(on)</sub> (通常15.3V) に達すると、OUT AおよびOUTBドライバがイネーブルされ、起動電流源はディセーブルされます。これにより、コントローラはV<sub>CC</sub>コンデンサでバイアスされます。V<sub>CC</sub>が最小動作スレッシュホールド (V<sub>CC(off)</sub>)、標準10.3V) まで低下した場合、ドライバはディセーブルされます。V<sub>CC(off)</sub>に達すると、ゲート・ドライバはディセーブルされます。V<sub>CC</sub>のコンデンサは、補助電圧が立ち上がる間、V<sub>CC</sub>がV<sub>CC(off)</sub>

以上に維持される容量にする必要があります。そうしないと、システムは起動しません。

コントローラは、過負荷状態または $V_{CC(off)}$ の間ダブル・ヒックアップ・モードで動作します。ダブル・ヒックアップ障害でドライバがディセーブルされ、コントローラを低電流モードに設定し、 $V_{CC}$ を $V_{CC(off)}$ まで放電させます。障害イベント中に外部コンポーネントでの消費電力を抑えるために、このサイクルが2回繰り返されます。Figure 58にダブル・ヒックアップ・モード動作を示します。ソフトスタート・シーケ

スは $V_{CC}$ が2回目に $V_{CC(on)}$ に達すると開始されます。 $V_{CC(on)}$ に達すると同時にコントローラがラッチされた場合、コントローラはヒックアップ・モードを維持します。ヒックアップ・モード中には、 $V_{CC}$ はコントローラのロジック・リセット・レベル $V_{CC(reset)}$ 以下にはなりません。これにより、コントローラへの電源を完全に取り除かない限り（つまり、ACラインから電源プラグを引き抜かない限り）、ラッチされた障害がクリアされないようにすることができます。

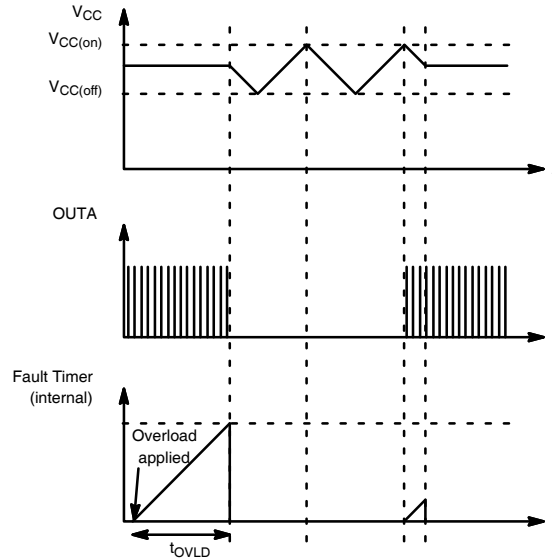


Figure 58.  $V_{CC}$  Double Hiccup Operation with a Fault Occurring while the Startup Circuit is Disabled

内部監視回路は、 $V_{CC}$ ピンが偶発的に接地された場合でも、コントローラが過剰な電力を消費しないように $V_{CC}$ 電圧をモニタします。低レベル電流源 ( $I_{inhibit}$ ) は、 $C_{CC}$ を0Vから $V_{inhibit}$ 、0.85V (Typ) まで充電します。 $V_{CC}$ が $V_{inhibit}$ を超えると、起動電流源がイ

ネーブルされます。この挙動をFigure 59に示します。これにより $V_{CC}$ を充電するまでのトータル時間が若干増加しますが、通常は目立つほどではありません。

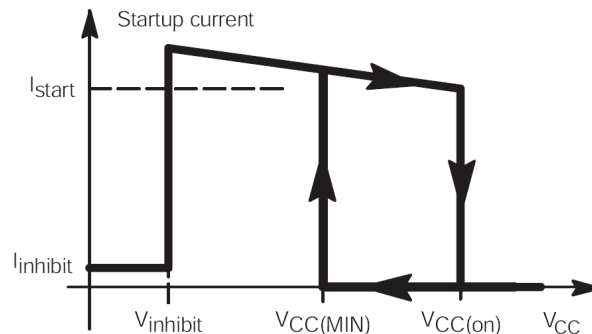


Figure 59. Startup Current at Various  $V_{CC}$  Levels

正確なPFCを達成するために、パワー・ステージには整流されたACライン電圧が供給されます。整流されたACライン電圧をフィルタリングすると、シングル・ステージPFCコンバータ内のPFCに歪みが生じます。Figure 60に示すようにHVピンをバイアスする

ために、ピーク・チャージャが必要です。ピーク・チャージャがない場合、HVピンはACライン電圧に追随し、ACライン電圧が0Vに近づくたびに起動回路がディセーブルされます。 $V_{CC}$ のコンデンサは、

パワーアップ中にコントローラをバイアスするだけのサイズが必要です。

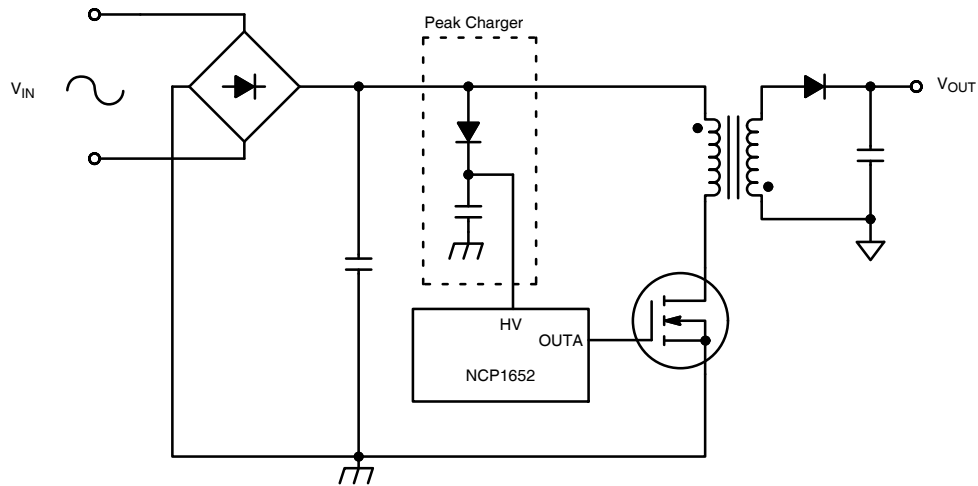


Figure 60. Peak charger

この起動回路の最大定格電圧は500Vです。コントローラが最大消費電力を超えないように電力消費を調整する必要があります。コントローラの電力消費が過剰な場合は、HVピンに直列に抵抗を挿入することができます。これによりコントローラの電力消費を低減し、電力の一部を直列抵抗に転送することができます。

#### ドライブ出力

NCP1652は調整可能な非オーバーラップ遅延( $t_D$ )を持つアウト・オフ・フェーズ出力ドライバを備えています。メイン出力OUTAは1次MOSFETを駆動します。2次出力OUTBは2次側の同期整流スイッチ、1次側のアクティブ・クランプ・スイッチ、またはその両方をコントロールするために使用される論理信号を供給するように設計されています。出力は $V_{CC}$ から直接バイアスされ、“H”電圧はほぼ $V_{CC}$ となります。

OUTAは13  $\Omega$  (Typ) のソース抵抗と8.0  $\Omega$  (Type) のシンク抵抗を持っています。OUTBは22  $\Omega$  (Typ) のソース抵抗と10  $\Omega$  (Typ) のシンク抵抗を持っています。同期整流回路で用いられるアクティブ・スイッチやロジックのゲート電荷は、一般に1次MOSFETよりも少ないため、OUTBドライバのサイズは意図的にOUTAドライバよりも小さく設計されています。より大きなドライブ能力が必要な場合は、外付けのディスクリット・ドライバを使用できます。

これらのドライバは、 $V_{CC}$ が $V_{CC(on)}$ に達し、障害がなければイネーブルされます。ドライバは、 $V_{CC}$ が( $V_{CC(off)}$ )まで放電されるとディセーブルされます。OUTBは常に、出力が障害(ラッチオフ、 $V_{CC(off)}$ )、過負荷、またはブラウンアウト)のためにディセーブルされる際に生成された最後のパルスになります。最後のパルスは当該クロック・サイクルの終了時点で終了します。これによりアクティブ・クランプ・コンデンサのリセットが保証されます。

OUTAとOUTBの高い電流駆動能力により、ボードの寄生インダクタンスのためにスイッチ遷移中に電圧スパイクが発生することがあります。ドライバと負荷の配線長を短く、幅広い接続を使用することにより、インダクタンスによって誘起される電圧スパイクを低減できます。

#### 調整可能なデッドタイム

OUTAとOUTBには、メイン整流器と同期整流器またはアクティブ・クランプMOSFETの同時導通を防止するために、遷移間に調整可能なデッドタイムが設けられています。この遅延はアクティブ・クランプ・スイッチのターンオフ遷移を最適化して、アクティブ・クランプ・トポロジにおけるメイン・スイッチのゼロ・ボルト・スイッチングを達成するためにも使用されます。Figure 61にOUTAとOUTB間のタイミング関係を示します。

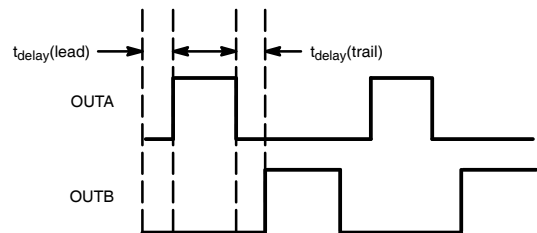


Figure 61. Timing relationship between OUTA and OUTB.

OUTAとOUTB間のデッドタイムは、 $R_D$ ピンとグラウンド間に抵抗 $R_D$ を接続して調整されます。オーバーラップ遅延は $R_D$ に比例します。遅延時間は次の公式を使用して、80nsから1.8  $\mu s$ の間に設定できます。

$$t_{\text{delay}}(\text{in ns}) = 8.0 \times R_{\text{delay}}(\text{in k}\Omega) \text{ with } R_{\text{delay}} \text{ varying between } 10 \text{ k}\Omega \text{ and } 230 \text{ k}\Omega$$

### ACエラー・アンプとバッファ

ACエラー・アンプ(EA)は、フィルタされた入力電流を基準電圧発生器の出力に強制的に追従させることによって、入力電流を高品質な正弦波に整形します。基準電圧発生器の出力は、全波整流されたAC信号で、EAの非反転入力に印加されます。フィルタされた入力電流 $I_{\text{in}}$ は、ISPOSピンの電流センス信号に電流センス・アンプのゲインを乗算したものです。AC EAの反転入力に印加されます。

A EAはトランスコンダクタンス・アンプです。トランスコンダクタンス・アンプは、差動入力電圧に比例した出力電流を生成します。このアンプの公称ゲインは $100 \mu\text{S}$  (つまり、 $0.0001 \text{ A/V}$ )です。すなわち、入力電圧差が $10\text{mV}$ あると、

出力電流は $1.0 \mu\text{A}$ 変化します。このAC EAの標準ソース電流およびシンク電流は、 $70 \mu\text{A}$ です。

フィルタされた入力電流は高周波信号です。低周波のポールは、平均入力電流を強制的に基準電圧発生器出力に追従させます。AC EAの出力に抵抗( $R_{\text{COMP}}$ )とコンデンサ( $C_{\text{COMP}}$ )の直列接続を挿入することによって、極-零ペア(Pole-zero pair)が作成されます。AC COMPピンでAC EA出力へアクセスできます。

A EAの出力は、第2トランスコンダクタンス・アンプを用いて反転され、電流に変換されます。反転トランスコンダクタンス・アンプの出力は $V_{\text{ACEA}}(\text{buffer})$ です。Figure 62は、AC EAバッファの回路構成を示します。AC EAバッファの出力電流 $I_{\text{ACEA}}(\text{out})$ は、Equation 1で与えられます。

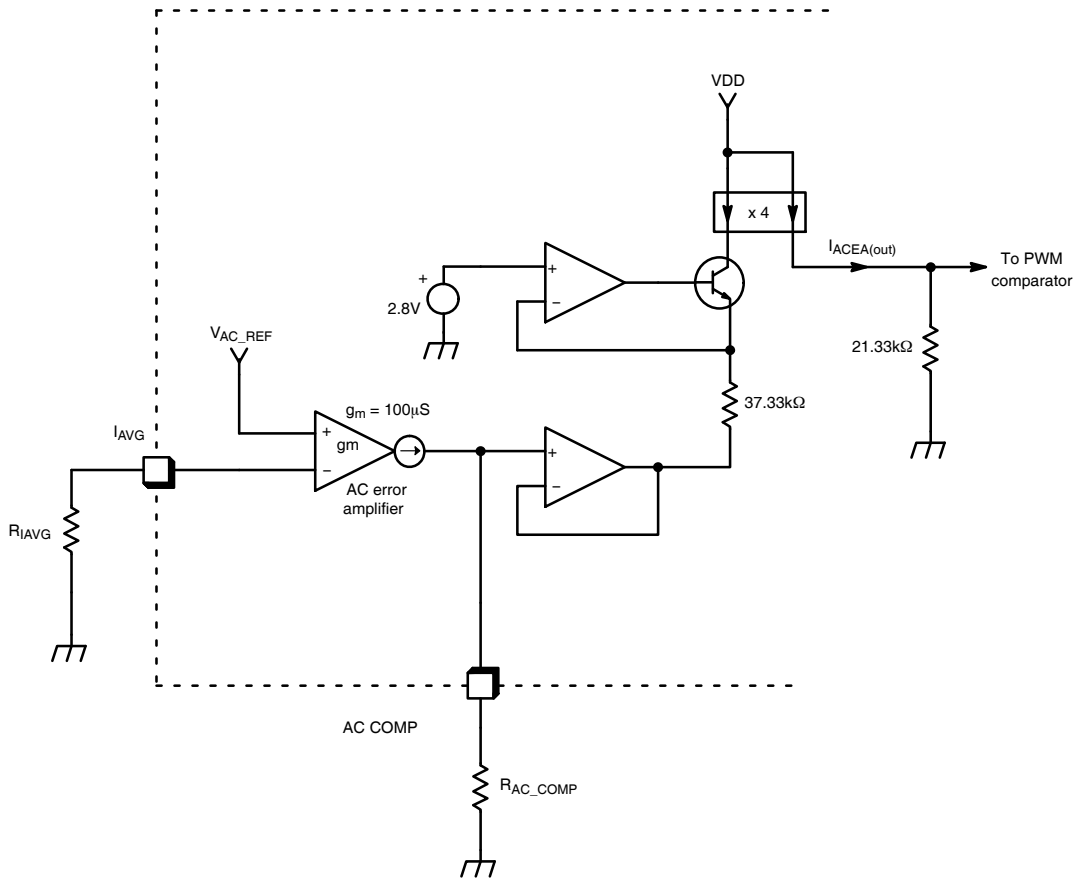


Figure 62. AC EA Buffer Amplifier

$$I_{\text{ACEA}}(\text{out}) = \left( \frac{2.8 - V_{\text{ACEA}}}{37.33\text{k}} \right) \cdot 4 \quad (\text{eq. 1})$$

PWN非反転入力電圧は、 $I_{\text{ACEA}}(\text{out})$ 、瞬時スイッチ電流、およびランプ補償電流で決まります。OUT AはPWM非反転入力電圧が $4\text{V}$ に達すると終了します。

### 電流センス・アンプ

電流センスの入力ISPOSには、メイン・スイッチ電流に比例する電圧が印加されます。電流センス・アンプは差動入力を備えた広帯域アンプです。電流センス・アンプにはPWM出力と $I_{\text{AVG}}$ 出力の2つの出力があります。PWM出力は、PWMコンパレータの非



反転入力に印加される前に、内部リーディング・エッジ・ブランキング(LEB)回路によってフィルタされる瞬時スイッチ電流です。第2の出力は、入力電

流の平均値に類似するフィルタされた電流信号です。Figure 63は電流センス・アンプの内部アーキテクチャを示します。

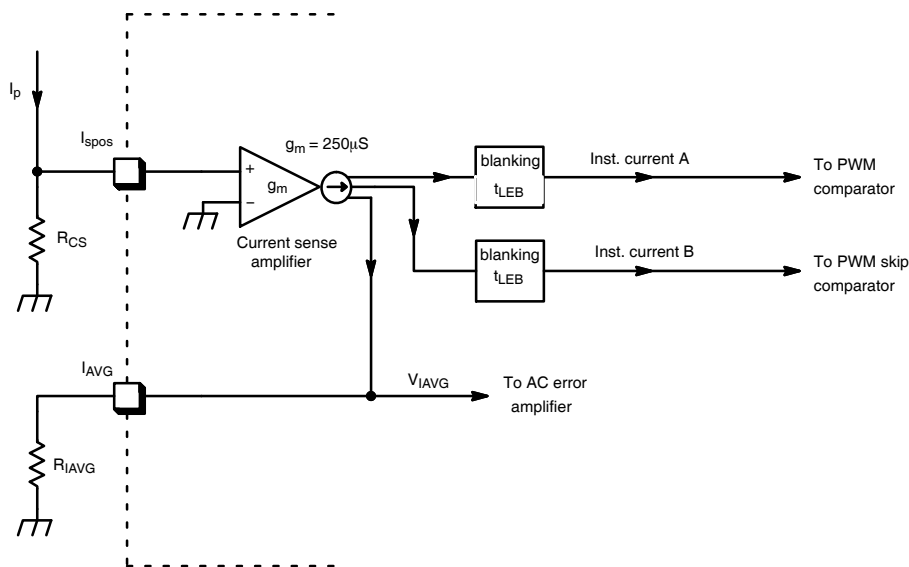


Figure 63. Current Sense Amplifier

電流センス抵抗とISPOS入力間のフィルタを設計するときには、このアンプの低インピーダンス性に対する注意が必要です。フィルタのために、どの直列抵抗も、入力バイアス電流CA<sub>Ibias</sub>に起因する電圧オフセット(V<sub>OS</sub>)が発生します。入力バイアス電流は標準60 μAです。電圧オフセットはEquation 2で与えられます。

$$V_{OS} = CA_{Ibias} \cdot R_{external} \quad (\text{eq. 2})$$

このオフセットは、電流センス信号に正のオフセットを追加します。そのため、ACエラー・アンプは平均出力電流に対して補正を試みますが、この電流がゼロになって追加ゼロ・クロス歪みが発生することはないと考えられます。

ISPOSピンには、メイン・スイッチ電流に比例する電圧が印加されます。ISPOSピンの電圧は電流*i*<sub>1</sub>に変換され、内部でミラーされます。I<sub>CS</sub>とI<sub>AVG</sub>の2つの内部電流が生成されます。I<sub>CS</sub>は瞬時スイッチ電流のレプリカである高周波信号です。I<sub>AVG</sub>は低周波信号です。V<sub>ISPOS</sub>とI<sub>CS</sub>およびI<sub>AVG</sub>の関係は、Equation 3で与えられます。

$$I_{CS} = I_{IN} = \frac{V_{ISPOS}}{4k} \quad (\text{eq. 3})$$

PWM出力はPWM入力の正入力に電流を供給します。この電流はAC EAおよびランプ補正信号に追加されます。

I<sub>AVG</sub>出力はバッファ・アンプへの電圧信号を生成します。この電圧信号は、I<sub>AVG</sub>と外部R<sub>I<sub>AVG</sub></sub>抵抗によって生成され、I<sub>AVG</sub>ピンのコンデンサC<sub>I<sub>AVG</sub></sub>によってフィルタされます。C<sub>I<sub>AVG</sub></sub>で設定される極周波数*f*<sub>P</sub>は、高周波成分を除去するために、スイッチング周波数より十分低くなければなりません。しかし、入力の全波整流された正弦波波形に大きな歪みが生じないように、十分高くする必要があります。適切にフィルタされた平均電流信号は、ライン周波数の2倍の周波数を持ちます。Equation 4は、C<sub>I<sub>AVG</sub></sub>(nF)と*f*<sub>P</sub>(kHz)との関係を示します。

$$C_{I_{AVG}} = \frac{1}{2 \cdot \pi \cdot R_{I_{AVG}} \cdot f_P} \quad (\text{eq. 4})$$

低周波電流バッファのゲインは、 $I_{AVG}$ ピンの抵抗 $R_{I_{AVG}}$ で設定されます。 $R_{I_{AVG}}$ は、1次ピークと1次平均電流間のスケール・ファクタを設定します。電流センス・アンプ $A_{CA}$ のゲインは、Equation 5で与えられます。

$$A_{CA} = \frac{R_{I_{AVG}}}{4k} \quad (\text{eq. 5})$$

電流センス信号は、寄生容量と寄生インダクタンスによってメイン・スイッチがターンオンする際に、リーディング・エッジ・スパイクを発生する傾向があります。このスパイクはPWMコンパレータの誤動作を引き起こす可能性があります。電流センス信号をフィルタリングすると、必然的に電流パルスの形状が変化します。NCP1652は各電流パルスの先頭200ns(Typ)をブロックするためのLEB回路を内蔵しています。これにより電流信号波形を変えずに

、リーディング・エッジ・スパイクを除去することができます。

### 発振器

発振器はスイッチング周波数 $f$ 、ジッタ周波数、および乗算器のゲインを制御します。発振器ランプは、 $CT$ ピンのタイミング・コンデンサ $C_T$ を、 $200\mu A$ の電流源で充電すると生成されます。この電流源は、制御された再現可能な発振周波数を得るために、厳密なプロセス管理の下で製造されます。電流源は、発振器ランプがピーク電圧 $V_{CT(\text{peak})}$ (標準4.0V)に達するとターンオフし、プルダウン・トランジスタによって $C_T$ が直ちに放電されます。発振器ランプが谷電圧 $V_{CT(\text{valley})}$ に達すると、プルダウン・トランジスタがターンオフし、充電電流源がターンオンします。Figure 64は、発生する発振器ランプ波形と制御回路を示します。

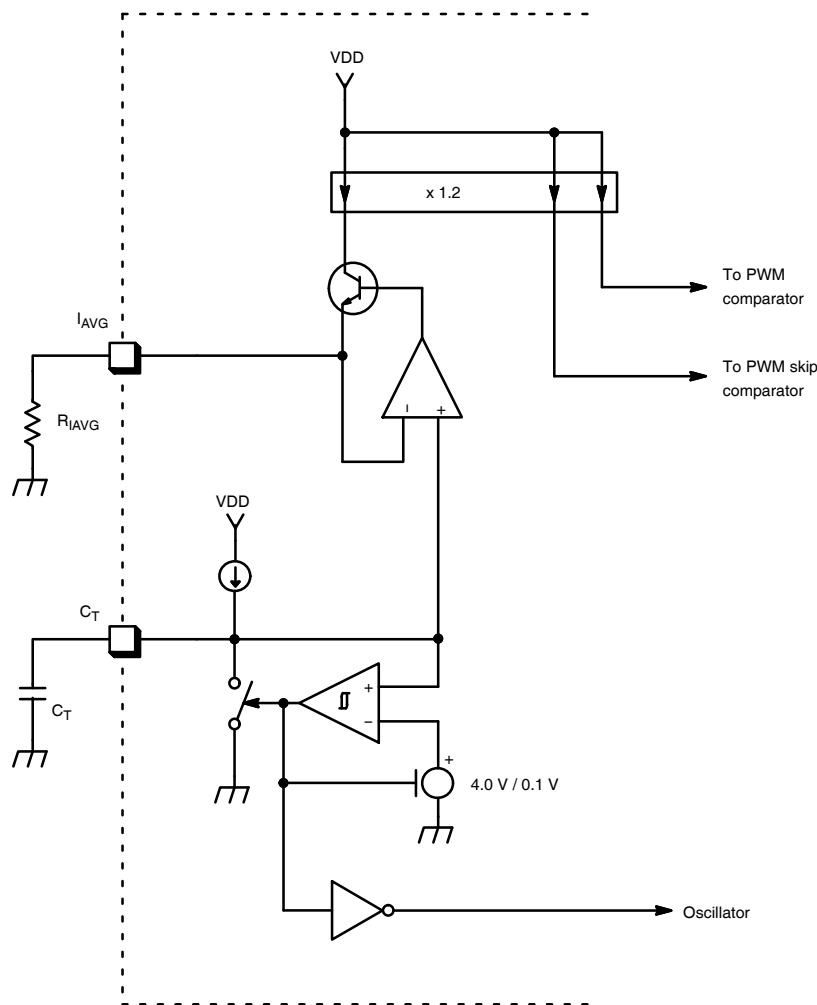


Figure 64. Oscillator Ramp and Control Circuitry

発振器周波数(kHz)とタイミング・コンデンサ(pF)の関係は、Equation 6によって与えられます。

$$C_T = \frac{47000}{f} \quad (\text{eq. 6})$$

低周波発振器はスイッチング周波数を変調して、コントローラのEMIシグネチャを低減させ、より小さなEMIフィルタの使用を可能にします。周波数変調、すなわちジッタは一般に発振器周波数の±5%です。

## 出力過負荷

フィードバック電圧 $V_{FB}$ は、コンバータの出力電力に正比例します。内部6.7k $\Omega$ 抵抗がFB電圧を内部6.5Vリファレンスまでプルアップします。システムの出力電圧を安定化させるために、外部オプトカプラがFB電圧をプルダウンします。オプトカプラはパワーアップ中および出力過負荷状態の間はオフになるため、FB電圧が最大レベルに達することができます。

NCP1652はFB電圧をモニタして、過負荷状態を検出します。シングルPFCステージ・コンバータの標準起動時間は約100msです。コンバータが150ms (Typ)以上にわたって、規定レベルから外れた (FB電圧が5.0Vを超える) 場合、ドライバはディセーブルされ、コントローラはダブル・ヒックアップ・モードに入って平均消費電力を削減します。ダブル・ヒックアップが完了すると、新しい起動シーケンスが開始されます。この保護機能は、出力短絡状態での消費電力を抑えるために重要です。

## Soft-Skip™ サイクル・モード

FB電圧は、コンバータの出力電力需要が減少すると低下します。 $V_{FB}$ がスキップ・スレッシュホールド $V_{SSKIP}$ 、1.3V (Typ)以下に低下すると、ドライバはディセーブルされます。スキップ・コンパレータのヒステリシスは標準180mVです。

余分な出力電力が供給されないため、コンバータの出力電圧は減少し始めます。出力電圧が低下すると、フィードバック電圧が上昇して出力電圧を安定状態に維持します。この動作モードはスキップ・モードと呼ばれています。スキップ・モードの周波数は、負荷ループ・ゲインや出力容量には関係なく、トランスおよびスナバ・コンデンサでの機械的共振によって可聴ノイズが発生するおそれがあります。独自のSoft-Skip™モードは、1次ピーク電流が最大値に達するまでゆっくり増加させて、可聴ノイズを低減します。最小スキップ・ランプ期間 $t_{SSKIP}$ は2.5msです。Figure 65は、 $V_{FB}$ 、 $V_{SSKIP}$ 、および1次電流間関係を示します。

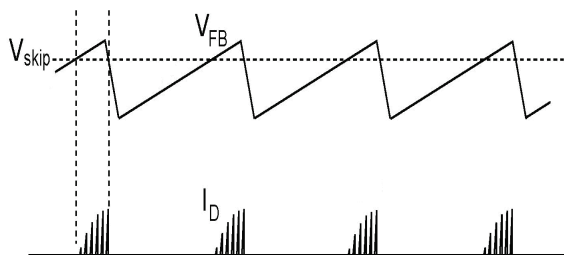


Figure 65. Soft-Skip™ operation.

スキップ・モードの動作はACライン電圧に同期しています。NCP1652は、整流されたACライン電圧が谷レベルまで低下すると、Soft-Skip™をディセーブルします。これによって、1次電流は常に可聴ノイズを抑えながら上昇します。ACライン電圧が下降する際に生ずるスキップ・イベントは、1次ピーク電流を増加ではなく減少させます。スキップ期間が終

了すると、1次電流はACライン電圧によってのみ決定されます。Soft-Skip™イベントは、AC-INピンの電圧が260mV未満に低下すると終了します。新しいSoft-Skip™期間は、AC-INピンの電圧が260mVまで上昇するとスタートします。

出力負荷電流が増加するとSoft-Skip™イベントが終了します。 $V_{FB}$ 電圧が $V_{SSKIP}$ を550mV以上超えると、過渡負荷検出回路がSoft-Skip™期間を終了させます。これにより、負荷過渡期間中に必要な出力電力が供給され、出力電圧が規定レベルから外れないことが保証されます。Figure 66は、Soft-Skip™と過渡負荷検出回路の関係を示します。

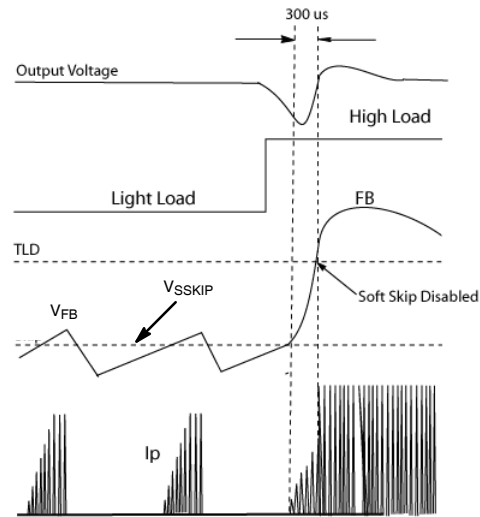


Figure 66. Load transient during Soft-Skip™

Soft-Skip™コンパレータの出力は、デューティ比を制御するために、PWMコンパレータ出力とORがとられます。Soft-Skip™コンパレータは、スキップ・モードでデューティ比を制御し、PWMコンパレータは通常動作中にデューティ比を制御します。スキップ・モードでは、Soft-Skip™コンパレータの非反転入力4Vを超えると、ドライバがディセーブルされます。FB電圧が上昇するに伴って、非反転入力電圧は4Vから0.2Vまで低下してドライバがイネーブルされます。

## 乗算器および基準電圧発生器

NCP1652は乗算器を使用して、コンバータの平均出力電力を安定化させています。このコントローラは、基準電圧発生器内で使用される乗算器に独自の概念を適用しています。この革新的なデザインにより、従来式のリニア・アナログ乗算器と比較して、大幅に精度を改善することができます。この乗算器はPWMスイッチング回路を使用して、明確に定義されたゲインを有するスケラブルな出力信号を生成します。

乗算器の出力はAC-基準信号です。AC-基準信号は入力電流波形を整形するために使用されます。乗算器には、外部エラー・アンプからのエラー信号 ( $V_{FB}$ )、全波整流されたAC入力 (AC\_IN)、およびフィードフォワード入力 ( $V_{FF}$ ) があります。

外部エラー・アンプ回路からのFB信号は、オプトコプラまたは他の絶縁回路を通して、V<sub>FB</sub>ピンに印加されます。FB電圧はV-Iコンバータで電流に変換されます。Figure 67に示すように、直列整流器のために出力信号にはエラーがありません。

全波整流AC入力波形の相似波形が、抵抗分圧回路を介してAC\_INピンに印加されます。AC\_INコンパレータで、ライン電圧の相似波形を発振器ランプと

比較して、乗算器ランプが生成されます。V-Iコンバータからの電流信号は、AC\_INコンパレータ出力と乗算されます。結果として得られる信号は、CMピン上のローパスR-Cフィルタでフィルタされます。このローパス・フィルタが高周波成分を除去します。乗算器のゲインは、V-Iコンバータ、CMピンの抵抗、および発振器の鋸歯状ランプ電圧のピーク電圧と谷電圧によって決まります。

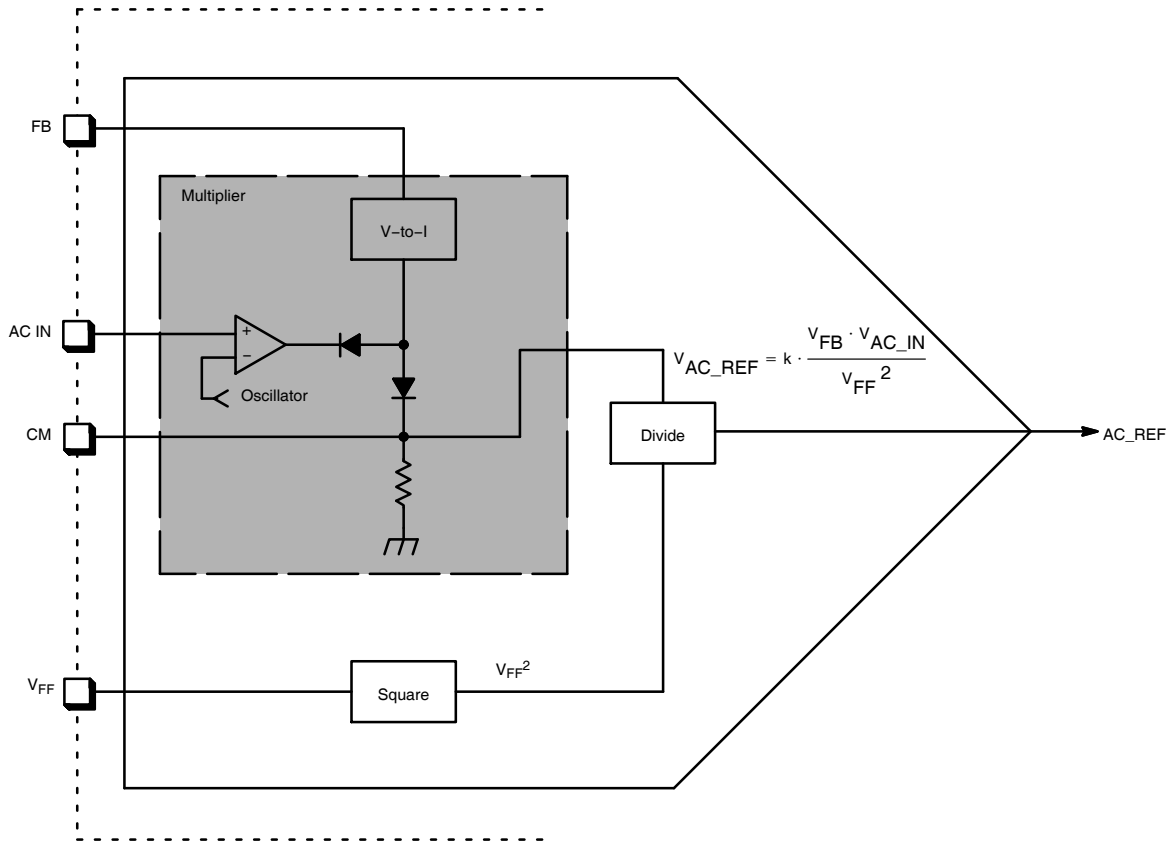


Figure 67. Reference Generator

基準電圧発生器の3番目の入力、V<sub>FF</sub>信号です。V<sub>FF</sub>信号は、ACライン電圧に比例するDC電圧です。抵抗分圧器は、全波整流されたライン電圧を0.7~5.0Vの間で減衰させます。全波整流されたライン電圧は、コンデンサで平滑化されます。このAC平均電圧は、ラインの各半サイクルにわたって一定でなければなりません。V<sub>FF</sub>信号上のライン電圧リップル（120Hzまたは100Hz）は、乗算器の出力にリップルを追加します。これによってAC基準信号に歪が生じ、力率が低下してライン電流の歪みが増加します。過剰なフィルタリングはフィードフォワード信号を遅延させ、ラインの過渡応答性能を低下させます。適切な出発点は、フィルタの時定数をライン電圧の1サイクルに設定することです。ユーザはフィルタを最適化して、適切な力率対ライン過渡応答特性を得ることができます。V<sub>FF</sub>ピンの平均電圧は、次式で与えられます。

$$V_{FF} = \frac{2}{\pi} V_{ac} \sqrt{2\alpha} \quad (\text{eq. 7})$$

ここで、 $\alpha$ は分圧比で、通常は0.01です。

$$V_{AC\_REF} = \frac{V_{FB} \cdot V_{AC\_IN}}{V_{FF}^2} \cdot k \quad (\text{eq. 8})$$

乗算器の伝達関数は、Equation 8で与えられます。乗算器の出力はAC\_REFで、ACエラー・アンプに接続されます。

ここで、kは基準電圧発生器のゲインで標準0.55です。基準電圧発生器の出力は4.5Vにクランプされ、最大出力電力を制限します。

フィードフォワードにより、ライン電圧には関係なく一定の入力電力が維持されます。つまり、与えられたFB電圧に対してライン電圧（AC\_IN）が2倍になると、フィードフォワード項が4倍になり、エ

ラー・アンプの出力を半分に低減して同じ入力電力を維持します。

### ACエラー・アンプの補償

ACエラー・アンプ (EA) の出力に $R_{COMP}$ と $C_{COMP}$ の直列接続を配置することによって、極-ゼロペア (pole-zero pair) が作成されます。補償コンポーネントの値は、平均入力電流および瞬時スイッチ電流とは無関係です。平均入力電流ループつまり低速ループのゲインは、Equation 9で与えられます。

$$A_{LF} = \left( \frac{R_{IAVG}}{4k} \right) \cdot (gm \cdot R_{AC\_COMP}) \cdot (2.286) \quad (\text{eq. 9})$$

低周波ゲインは、電流センス平均化回路、トランスコンダクタンス・アンプ、およびACエラー・アンプのゲインの積で与えられます。

電流センス・アンプ入力に4kΩ抵抗を使用して、瞬時電流に比例する電流が生成されます。この比例電流はPWMコンパレータ入力で、21.33kΩ抵抗に印加されて、電流センス電圧信号を生成します。高周波ループ、つまり高速ループのゲイン $A_{HF}$ は、Equation 10を使用して計算されます。

$$A_{HF} = \frac{21.33k}{4k} = 5.333 \quad (\text{eq. 10})$$

Equation 11は、システムの安定要件を示します。すなわち、低周波ゲインは高周波ゲインの半分以下でなければなりません。

$$\left( \frac{R_{IAVG}}{4k} \right) \cdot (gm \cdot R_{AC\_COMP}) \cdot (2.286) < \frac{5.333}{2} \quad (\text{eq. 11})$$

Equation 12は、Equation 11を $R_{AC\_COMP}$ について整理して得られます。この式は $R_{AC\_COMP}$ の最大値を与えます。

$$R_{AC\_COMP} < \frac{4666}{R_{IAVG} \cdot gm} \quad (\text{eq. 12})$$

制御ループのゼロ周波数 $f_z$ は、Equation 13を用いて計算されます。制御ループのゼロ周波数は、発振器周波数 $f_{OSC}$ の1/10付近に設定する必要があります。補償コンデンサの値は、Equation 14を用いて計算されます。

$$f_z = \frac{1}{2\pi \cdot C_{AC\_COMP} \cdot R_{AC\_COMP}} \quad (\text{eq. 13})$$

$$C_{AC\_COMP} = \frac{1}{2\pi \cdot \frac{f_{OSC}}{10} \cdot R_{AC\_COMP}} \quad (\text{eq. 14})$$

### 電流センス抵抗

PFCステージには2つの制御ループがあります。第1ループは平均入力電流を制御し、第2ループはメイン・スイッチを通して流れる瞬時電流を制御します。電流センス信号は両方のループに影響を与えます。電流センス信号は、エラー・アンプの正入力に送られて平均入力電流が制御されます。さらに、電流

センス情報がランプ補償およびエラー・アンプ信号と共に、瞬時1次ピーク電流を制御します。

1次ピーク電流 $I_{PK}$ は、Equation 15を用いて計算されます。

$$I_{PK} = \frac{\sqrt{2} \cdot P_{out}}{\eta \cdot V_{in(LL)} \cdot D} + \frac{V_{in(LL)} \cdot t_{on}}{0.88 \cdot 2 \cdot L_p} \quad (\text{eq. 15})$$

ここで $V_{in(LL)}$ は低ラインAC入力電圧、 $D$ はデューティ比、 $P_{out}$ は出力電力、 $P_{in}$ は入力電力、 $\eta$ は効率、 $L_p$ は1次インダクタンス、そして $t_{on}$ はオン時間です。このトポロジの標準的な効率は約88%です。

電流センス抵抗は、ACリファレンス・アンプの入力で最大の信号分解能が達成されるように選択されます。飽和を防止するためのACリファレンス・アンプの最大電圧入力は4.5Vです。これは瞬時ピーク電流と共に、Equation 16を用いて電流センス抵抗 $R_{CS}$ を計算するのに使用されます。

$$R_{CS} = 4.5 \frac{4k \cdot (V_{in(LL)} \cdot D)}{R_{IAVG} \cdot P_{in} \cdot \sqrt{2}} \quad (\text{eq. 16})$$

### ランプ補償

50%以上のデューティ比により連続導通モード (CCM) で動作中のピーク電流-モード・コントローラでは、分数調波発振が観測されます。電流センス信号に補償ランプを注入することにより、分数調波発振を除去することができます。補償量はシステムに依存し、インダクタの下降 $di/dt$ によって決定されます。

NCP1652はシステム・デザインを容易にするために、ランプ補償回路を内蔵しています。ランプ補償量は、 $R_{amp}$ と $R_{COMP}$ の間の抵抗 $R_{RAMP}$ を用いてユーザが設定します。 $R_{amp}$ と $R_{COMP}$ の間の抵抗 $R_{RAMP}$ は $C_T$ ピンに生成される発振器ランプをバッファします。 $R_{RAMP}$ を流れる電流は、内部で1:1.2の比率でミラーされます。反転されたACエラー・アンプ信号と瞬時スイッチ電流信号は、ランプ補償がミラーされた電流に加えられます。結果として得られる電流信号は、Figure 64に示すように、PWMコンパレータの非反転入力とグランド間の内部21.33kΩ抵抗に印加されます。

ランプ補償信号のエラー信号に対する最大電圧寄与 $V_{RAMP}$ は、Equation 17によって与えられます。

$$V_{RAMP} = \frac{(1.2) \cdot (V_{CT(peak)}) \cdot (21.33k)}{R_{RAMP}} = \frac{102.38k}{R_{RAMP}} \quad (\text{eq. 17})$$

ここで、 $V_{CT(peak)}$ は発振器ランプのピーク電圧で標準4.0Vです。

適切なランプ補償のためには、ランプ信号は50%デューティ比でインダクタの下降 $di/dt$  ( $dv/dt$ に変換済み) に一致していなければなりません。下降 $di/dt$ と出力電圧は両方とも、1次側に対するトランス巻線比によって反映される必要があります。Equations

18から23までは、 $R_{CS}$ および $R_{COMP}$ の式の導出を補助します。

$$\frac{di}{dt_{secondary}} = \frac{V_{out}}{L_S} = \frac{V_{out}}{L_P} \cdot \left(\frac{N_P}{N_S}\right)^2 \quad (\text{eq. 18})$$

$$\frac{di}{dt_{primary}} = \frac{di}{dt_{secondary}} \cdot \frac{N_S}{N_P} = \frac{V_{out} N_P}{L_P N_S} \quad (\text{eq. 19})$$

$$V_{R_{COMP}} = \frac{di}{dt_{primary}} \cdot T \cdot R_{CS} \cdot A_{HF} \quad (\text{eq. 20})$$

$$R_{CS} = \frac{N_S}{N_P} \cdot \frac{L_P \cdot 102.38k}{T \cdot A_{HF} \cdot V_{out} \cdot R_{R_{COMP}}} \quad (\text{eq. 21})$$

低ライン電圧の全負荷では、ACエラー・アンプ出力は“H”でほぼ飽和します。ACエラー・アンプの出力が飽和している間、 $I_{ACEA}$ はゼロであり、PWMコンパレータの非反転入力内部21.33 k $\Omega$ 抵抗にかかる電圧には寄与しません。この動作モードでは、21.33 k $\Omega$ 抵抗にかかる電圧は、単にランプ補償電圧とEquation 22で与えられる瞬時スイッチ電流によってのみ決定されます。

$$V_{ref(PWM)} = \left( V_{R_{COMP}} \cdot \frac{t_{on}}{T} \right) + V_{INST} \quad (\text{eq. 22})$$

PWMコンパレータの電圧基準 $V_{REF(PWM)}$ は4Vです。これらの計算では、余裕を見て3.8Vを使用しています。最大瞬時スイッチ電流の電圧寄与 $V_{INST}$ は、Equation 23によって与えられます。

$$V_{INST} = I_{PK} \cdot R_{CS} \cdot A_{HF} \quad (\text{eq. 23})$$

Equation 23をEquation 22に代入し、 $V_{REF(PWM)}$ を3.8Vに設定して（余裕を見て）、 $R_{R_{COMP}}$ について解くと、Equation 24が得られます。

$$R_{R_{COMP}} = \frac{102.38k}{(3.8 - 5.333 \cdot I_{PK} \cdot R_{CS})} \cdot \frac{t_{on}}{T} \quad (\text{eq. 24})$$

Equation 24をEquation 21に代入すれば、次の式が得られます。

$$R_{CS} = \frac{3.8}{\left( \frac{N_P}{N_S} \cdot \frac{A_{HF} \cdot V_{out} \cdot t_{on}}{L_P} \right) + 5.333 I_{PK}} \quad (\text{eq. 25})$$

## PWMロジック

PWMおよびロジック回路は、PWMコンパレータ、RSフリップ・フロップ(ラッチ)、およびORゲートで構成されます。ラッチはセット優先です。つまり、RとSの両方が滴狼7場合は、S信号が優先されてQは“H”になり、パワー・スイッチをオフのまま維持します。

NCP1652は固定周波数発振器をベースにしたパルス幅変調を使用しています。発振器は、電圧ランプに加えて、ランプの立ち下がりエッジに同期してパルスを生成します。このパルスはPWMロジックおよびドライバ・ブロックに入力されます。発振器がパルスを発生している間、ラッチはリセットされており、出力ドライブは“L”状態にあります。パルスの立ち下がりエッジで、OUTAは“H”になりパワー・スイッチが導通を開始します。

瞬時インダクタ電流は、ACエラー・アンプの出力電圧に比例する電流と合計されます。この複雑な波形はPWMコンパレータの反転入力で4V基準信号と比較されます。PWMコンパレータへの非反転入力の信号が4Vを超えると、PWMコンパレータの出力が“H”状態に切り替わり、ラッチのSet入力をドライブして、次のクロック・サイクルまでパワー・スイッチをターンオフします。

## ブラウナウト

NCP1652は、コントローラが低いACライン電圧で動作しないように、またパワー・コンポーネントのストレスを低減するためにブラウナウト検知回路を内蔵しています。整流されたライン電圧の相似波形が、抵抗分圧回路によってVFFピンに印加されます。この電圧は、ブラウナウト検知回路で使用されます。

ブラウナウト（電圧低下）状態は、フィードフォワード電圧がブラウナウト脱出スレッショルド $V_{BO(high)}$ 、0.45V (Typ) より低い場合に存在します。ブラウナウト検知回路には、180mVのヒステリシスがあります。コントローラは、 $V_{FF}$ が0.63V以上になり、 $V_{CC}$ が $V_{CC(on)}$ に達するとイネーブルされます。OUTBは最後のドライブ・パルスです。Figure 68はブラウナウト、 $V_{CC}$ 、OUTA、およびOUTB信号間の関係を示しています。

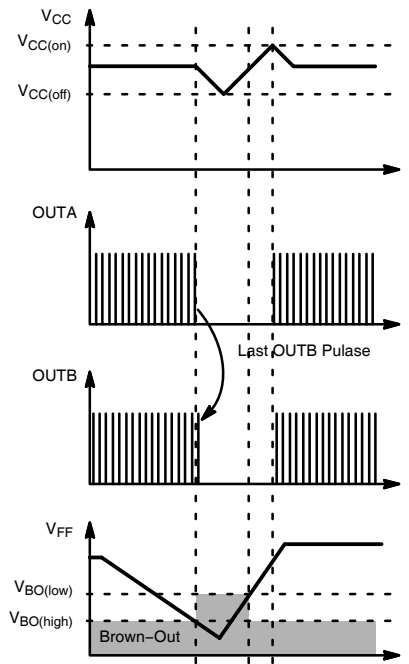


Figure 68. Relationship Between the Brown-Out,  $V_{CC}$ , OUTA and OUTB

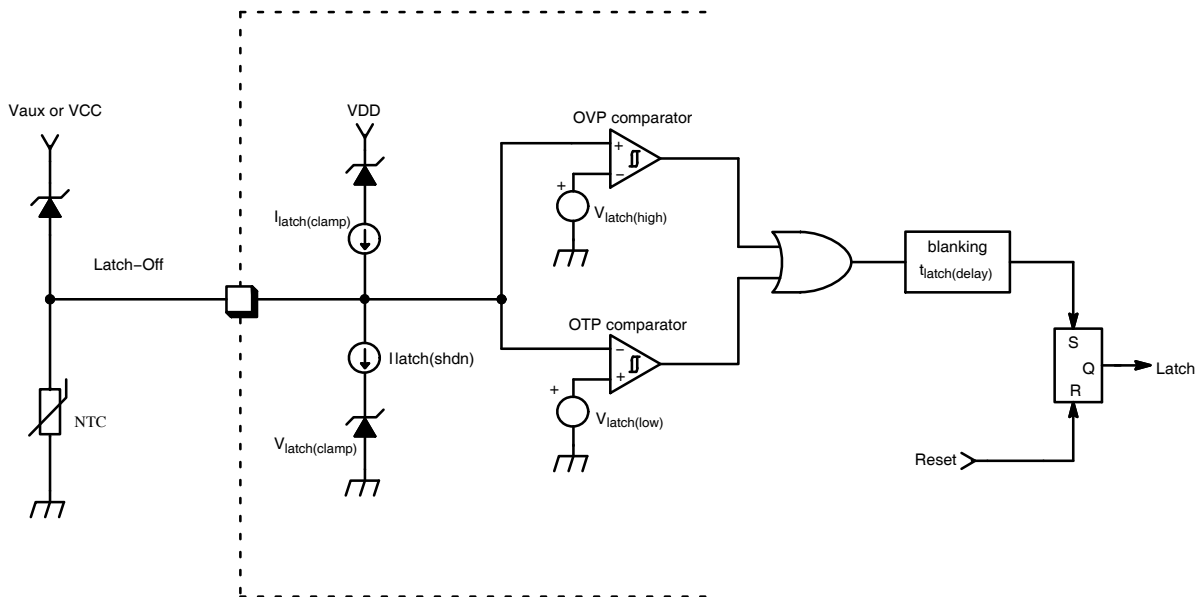


Figure 69.

### ラッチ入力

NCP1652は、過熱および過電圧障害時にコントローラを簡単にラッチできる専用のラッチ入力を備えています (Figure 69参照)。コントローラは、Latch-Offピンの電圧が1V以下または6.5V以上になるとラッチされます。コントローラがラッチされると、OU

TAがディセーブルされ、OUTBは発振器期間で終了する最後のパルスが発生します。OUTB出力が終了した後、パルスは発生しません。Figure 70に、Latch-Off、 $V_{CC}$ 、OUTA、およびOUTB信号間の関係を示します。

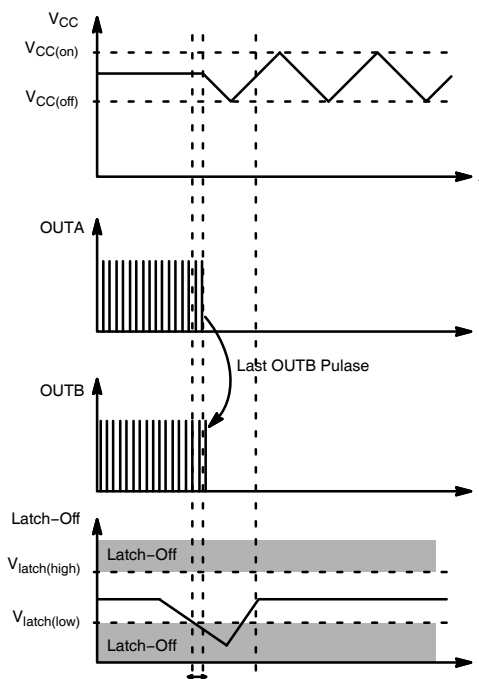


Figure 70. Relationship Between the Latch-Off, V<sub>CC</sub>, OUTA and OUTB

Latch-Offピンは3.5Vでクランプされます。50 μA (Typ) のプルアップ電流源は常時オンであり、100 μA (Typ) のプルダウン電流源は、Latch-Offピンの電圧が3.5V(Typ)に達するとイネーブルされます。これによって、Latch-Offピンの電圧は効率的に3.5Vにクランプされます。内部電流源を回復させ、コントローラをラッチするために、50 μAの最小プルアップ電流またはプルダウン電流が必要です。Latch-Off

入力には、ノイズまたは電源ライン・サージ・イベントによるコントローラのラッチを防止するために、50 μs (Typ) のフィルタが配置されています。

起動回路は、コントローラがラッチ・モードにある間、V<sub>CC</sub>をV<sub>CC(on)</sub>とV<sub>CC(off)</sub>の間でサイクリングし続けます。コントローラは、システムへの電源供給が停止し、V<sub>CC</sub>がV<sub>CC(reset)</sub>以下に低下すると、ラッチ・モードを抜け出します。

### アプリケーション情報

オン・セミコンダクターは電子回路設計ツールを提供して、NCP1652デザインの簡略化と開発サイクル時間の短縮を支援しています。設計ツールはwww.onsemi.comからダウンロードできます。

電子回路設計ツールを使用することにより、ユーザはシングルPFCステージのほとんどのシステム・パラメータを簡単に決定することができます。このツールは電力ステージだけでなくシステムの周波数応答も評価します。

### ORDERING INFORMATION

Device	Package	Shipping†
NCP1652DWR2G	SO-20 WB (Pb-Free)	1000 / Tape & Reel
NCP1652DR2G	SO-16 (Pb-Free)	2500 / Tape & Reel
NCP1652ADR2G	SO-16 (Pb-Free)	2500 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.



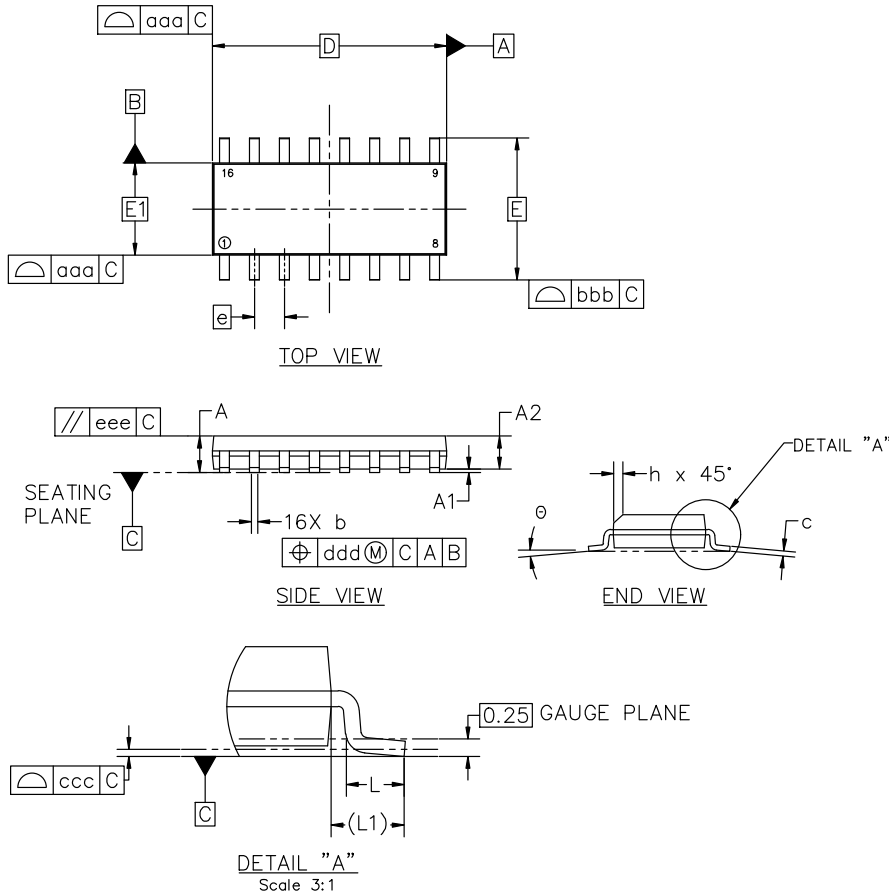


**SOIC-16 9.90x3.90x1.37 1.27P**  
**CASE 751B**  
**ISSUE M**

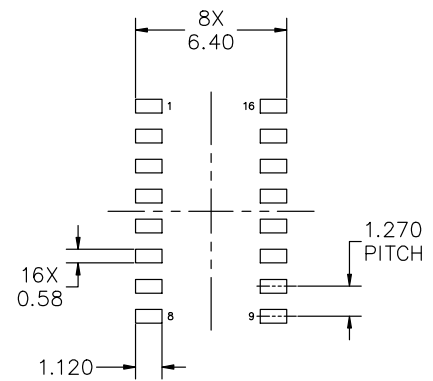
DATE 18 OCT 2024

NOTES:

1. DIMENSIONING AND TOLERANCING PER ASME Y14.5M, 2018.
2. DIMENSION IN MILLIMETERS. ANGLE IN DEGREES.
3. DIMENSIONS D AND E1 DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15mm PER SIDE.
5. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION.



MILLIMETERS			
DIM	MIN	NOM	MAX
A	1.35	1.55	1.75
A1	0.10	0.18	0.25
A2	1.25	1.37	1.50
b	0.35	0.42	0.49
c	0.19	0.22	0.25
D	9.90 BSC		
E	6.00 BSC		
E1	3.90 BSC		
e	1.27 BSC		
h	0.25	---	0.50
L	0.40	0.83	1.25
L1	1.05 REF		
θ	0°	---	7°
TOLERANCE OF FORM AND POSITION			
aaa	0.10		
bbb	0.20		
ccc	0.10		
ddd	0.25		
eee	0.10		



RECOMMENDED MOUNTING FOOTPRINT

\*FOR ADDITIONAL INFORMATION ON OUR PB-FREE STRATEGY AND SOLDERING DETAILS, PLEASE DOWNLOAD THE onsemi SOLDERING AND MOUNTING TECHNIQUES REFERENCE MANUAL, SOLDERRM/D

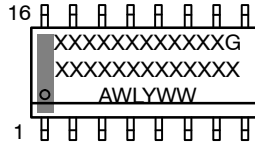
<b>DOCUMENT NUMBER:</b>	<b>98ASB42566B</b>	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
<b>DESCRIPTION:</b>	<b>SOIC-16 9.90X3.90X1.37 1.27P</b>	<b>PAGE 1 OF 2</b>

onsemi and onSEMI are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

**SOIC-16 9.90x3.90x1.37 1.27P**  
**CASE 751B**  
**ISSUE M**

DATE 18 OCT 2024

**GENERIC  
MARKING DIAGRAM\***



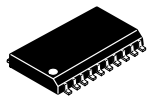
XXXXX = Specific Device Code  
A = Assembly Location  
WL = Wafer Lot  
Y = Year  
WW = Work Week  
G = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

<p><b>STYLE 1:</b></p> <p>PIN 1. COLLECTOR  2. BASE  3. EMITTER  4. NO CONNECTION  5. EMITTER  6. BASE  7. COLLECTOR  8. COLLECTOR  9. BASE  10. EMITTER  11. NO CONNECTION  12. EMITTER  13. BASE  14. COLLECTOR  15. EMITTER  16. COLLECTOR</p>	<p><b>STYLE 2:</b></p> <p>PIN 1. CATHODE  2. ANODE  3. NO CONNECTION  4. CATHODE  5. CATHODE  6. NO CONNECTION  7. ANODE  8. CATHODE  9. CATHODE  10. ANODE  11. NO CONNECTION  12. CATHODE  13. CATHODE  14. NO CONNECTION  15. ANODE  16. CATHODE</p>	<p><b>STYLE 3:</b></p> <p>PIN 1. COLLECTOR, DYE #1  2. BASE, #1  3. EMITTER, #1  4. COLLECTOR, #1  5. COLLECTOR, #2  6. BASE, #2  7. EMITTER, #2  8. COLLECTOR, #2  9. COLLECTOR, #3  10. BASE, #3  11. EMITTER, #3  12. COLLECTOR, #3  13. COLLECTOR, #4  14. BASE, #4  15. EMITTER, #4  16. COLLECTOR, #4</p>	<p><b>STYLE 4:</b></p> <p>PIN 1. COLLECTOR, DYE #1  2. COLLECTOR, #1  3. COLLECTOR, #2  4. COLLECTOR, #2  5. COLLECTOR, #3  6. COLLECTOR, #3  7. COLLECTOR, #4  8. COLLECTOR, #4  9. BASE, #4  10. EMITTER, #4  11. BASE, #3  12. EMITTER, #3  13. BASE, #2  14. EMITTER, #2  15. BASE, #1  16. EMITTER, #1</p>
<p><b>STYLE 5:</b></p> <p>PIN 1. DRAIN, DYE #1  2. DRAIN, #1  3. DRAIN, #2  4. DRAIN, #2  5. DRAIN, #3  6. DRAIN, #3  7. DRAIN, #4  8. DRAIN, #4  9. GATE, #4  10. SOURCE, #4  11. GATE, #3  12. SOURCE, #3  13. GATE, #2  14. SOURCE, #2  15. GATE, #1  16. SOURCE, #1</p>	<p><b>STYLE 6:</b></p> <p>PIN 1. CATHODE  2. CATHODE  3. CATHODE  4. CATHODE  5. CATHODE  6. CATHODE  7. CATHODE  8. CATHODE  9. ANODE  10. ANODE  11. ANODE  12. ANODE  13. ANODE  14. ANODE  15. ANODE  16. ANODE</p>	<p><b>STYLE 7:</b></p> <p>PIN 1. SOURCE N-CH  2. COMMON DRAIN (OUTPUT)  3. COMMON DRAIN (OUTPUT)  4. GATE P-CH  5. COMMON DRAIN (OUTPUT)  6. COMMON DRAIN (OUTPUT)  7. COMMON DRAIN (OUTPUT)  8. SOURCE P-CH  9. SOURCE P-CH  10. COMMON DRAIN (OUTPUT)  11. COMMON DRAIN (OUTPUT)  12. COMMON DRAIN (OUTPUT)  13. GATE N-CH  14. COMMON DRAIN (OUTPUT)  15. COMMON DRAIN (OUTPUT)  16. SOURCE N-CH</p>	

<b>DOCUMENT NUMBER:</b>	<b>98ASB42566B</b>	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
<b>DESCRIPTION:</b>	<b>SOIC-16 9.90X3.90X1.37 1.27P</b>	<b>PAGE 2 OF 2</b>

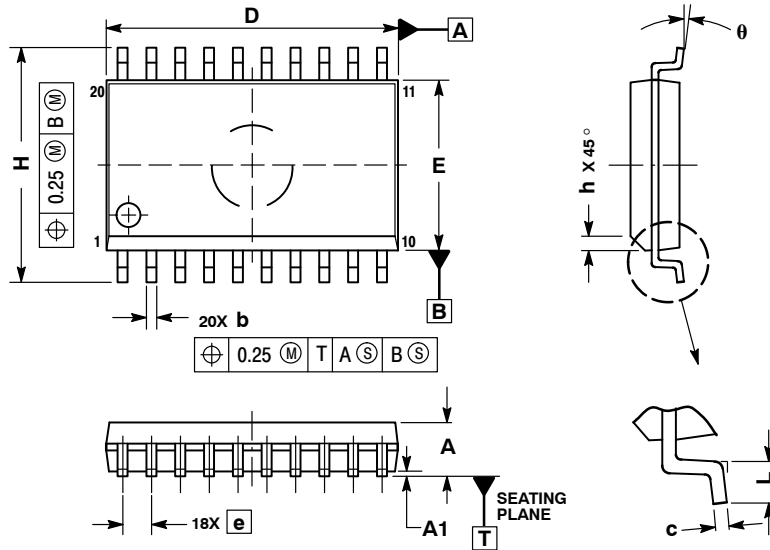
**onsemi** and **ONSEMI** are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.



SCALE 1:1

SOIC-20 WB  
CASE 751D-05  
ISSUE H

DATE 22 APR 2015

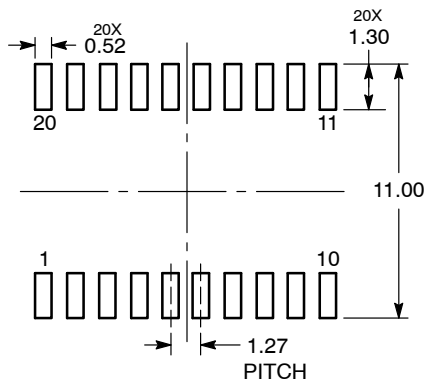


NOTES:

1. DIMENSIONS ARE IN MILLIMETERS.
2. INTERPRET DIMENSIONS AND TOLERANCES PER ASME Y14.5M, 1994.
3. DIMENSIONS D AND E DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 PER SIDE.
5. DIMENSION B DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE PROTRUSION SHALL BE 0.13 TOTAL IN EXCESS OF B DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS	
	MIN	MAX
A	2.35	2.65
A1	0.10	0.25
b	0.35	0.49
c	0.23	0.32
D	12.65	12.95
E	7.40	7.60
e	1.27 BSC	
H	10.05	10.55
h	0.25	0.75
L	0.50	0.90
θ	0°	7°

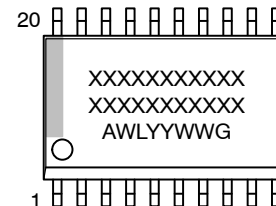
RECOMMENDED  
SOLDERING FOOTPRINT\*



DIMENSIONS: MILLIMETERS

\*For additional information on our Pb-Free strategy and soldering details, please download the onsemi Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC  
MARKING DIAGRAM\*



- XXXXXX = Specific Device Code
- A = Assembly Location
- WL = Wafer Lot
- YY = Year
- WW = Work Week
- G = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

DOCUMENT NUMBER:	98ASB42343B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-20 WB	PAGE 1 OF 1

onsemi and onsemi are trademarks of Semiconductor Components Industries, LLC dba onsemi or its subsidiaries in the United States and/or other countries. onsemi reserves the right to make changes without further notice to any products herein. onsemi makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. onsemi does not convey any license under its patent rights nor the rights of others.

**onsemi**, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## ADDITIONAL INFORMATION

### TECHNICAL PUBLICATIONS:

Technical Library: [www.onsemi.com/design/resources/technical-documentation](http://www.onsemi.com/design/resources/technical-documentation)  
onsemi Website: [www.onsemi.com](http://www.onsemi.com)

### ONLINE SUPPORT: [www.onsemi.com/support](http://www.onsemi.com/support)

For additional information, please contact your local Sales Representative at [www.onsemi.com/support/sales](http://www.onsemi.com/support/sales)