

保護とシグナル・インテグリティ 間でのトレードオフの排除

PicoGuard XS ESDを使用した 保護アーキテクチャ



ON Semiconductor®

<http://onsemi.com>

TECHNICAL NOTE

実装に関する概要

2つの重要なトレンドが、システム設計レベルでのESD保護対策を根本的に変えようとしています。1つは、プロセス・テクノロジー・ノードの進化に伴ってシステムICがESDに対して脆弱になっていること。もう1つは、データ・レートの高速化に伴ってシグナル・インテグリティに対する要件がますます厳しくなっていることです。

データ・レートの高速化に対して、従来はESD保護デバイスの静電容量を下げるという方法で対処してきましたが、この方法ではESD保護デバイスのESD保護能力が低下する傾向があります。そのため、システムの信頼性とシグナル・インテグリティの間でトレードオフを図る必要があります。

この資料は、ESD保護アーキテクチャに関する混乱をなくし、高信頼性システムの設計にトレードオフなしに確信を持って取り組めるようにすることを目的としています。

主な内容は、ESD保護デバイスのトレンド、従来型ESD保護アーキテクチャの短所、優れたシグナル・インテグリティを達成するためのESD保護デバイス選択時の重要検討事項などです。最後に、この資料ではシグナル・インテグリティとESD保護間のトレードオフを排除する目的でオン・セミコンダクターが策定した、革新的でブレークスルーとなるESD保護アーキテクチャを紹介しています。

データ・レートの高速化とプロセスの縮小

次のようなデータ・レートの高速化を検討してください。

- HDMI® – リンクごとに3.4 Gbps
- DisplayPort – リンクごとに2.7 Gbps
- eSATA – 3 Gbps (6 Gbpsへの移行中)
- USB – ハイスピードで480 Mbps (USB 3.0のスーパースピードでその約10倍)
- 1394/Firewire – 800 Mbps (3.2 Gbpsに移行中)

このトレンドが継続される可能性は高いと考えられます。データ・レート高速化をサポートするために、トランスミッタとレシーバは微細構造のシリコン上で設計されていますが、このことは本質的にESDに起因する損傷が発生しやすくなることを意味

変化を遂げつつあるESD保護の全体像

製造プロセスの微細化 – 現在の先進的なASICの製造プロセスは90 nmまたはそれ以下まで縮小されており、より低い電圧レベルや電流レベルで、それらのデバイスのESD関連障害が発生する可能性があります。また、高速データ・インタフェースの普及により、堅牢なESD保護を確保しながら高レベルのシグナル・インテグリティを維持することがますます複雑になっています。通常、より堅牢なESD保護を実現するには静電容量を大きくする必要がありますが、そのような方法を採用するとシグナル・インテグリティに悪影響を及ぼすことから、設計者は両者の折り合いを付ける妥協点を見つける必要に迫られます。

オンチップ保護の削減 – ESD目標仕様に関する業界の会合で、オンチップに実装する標準的な保護レベルを削減する方向性が広く告知された結果、ESD損傷に対する感受性が増大しました。ESD保護に関しては、適切なシステム信頼性を確保するために、外部ESD保護回路を用意することが重要になっています。

変化するアプリケーション環境 – ラップトップ、携帯電話、MP3プレイヤー、デジタル・カメラ、その他のハンドヘルド・モバイル機器は、静電気を制御できない環境(つまり、リスト接地ストラップや導電性の接地テーブル面がない)で使用されています。このような環境では、ケーブルを抜き差しする際にI/Oコネクタ・ピンに指が触れてしまいます。また、ポータブル機器は通常の使用時に帯電し、コンピュータやTVなどの別デバイスに接続するときに、そのエネルギーを放電することがあります。

します。これらの高速回路では外部ESD保護が必要です。一般的に、ESD保護レベルが高くなると、ESDデバイスの静電容量も大きくなります。ただし、静電容量を大きくすると、シグナル・インテグリティが影響を受ける可能性があります。

静電容量を大きくすると、信号の減衰が大きくなり、実質的に望まれないフィルタとして機能するようになります。また、静電容量を大きくすると、インピーダンスの不整合も引き起こされ、反射、信号のスキュー、EMIの問題が発生する可能性もありますが、これらはいずれもシグナル・インテグリティの低下に寄与します。

データ・レート高速化に伴って、静電容量のわずかな増加やインピーダンスの小規模な変動であっても、シグナル・インテグリティの問題を招く可能性

があります。従来型のデバイス・アーキテクチャを使用する場合は、高速信号に対してESD保護ソリューションを選択するためのアプローチはおおよそ2つのみ存在しています。

- 小さい静電容量を重視して最適化したデバイスを選択する
- ESD保護を重視して最適化したデバイスを選択する

堅牢なESD保護と低静電容量レベルの間で相反する関係のバランスを維持しようとする、この選択はますます複雑になります。低静電容量を使用すると、シグナル・インテグリティは向上しますが、ESD保護は低下します。既存のソリューションでは、どちらかを犠牲にすることになります。

数ギガビットのデータ・レートを使用する場合は、低静電容量レベルや、静電容量の小さな不整合であっても、シグナル・インテグリティ問題を招く可能性があります。これらの不整合は克服可能ですが、そのためにレイアウトに細心の注意を払う(トレースを意図的に細くしてインダクタンスを大きくし、トレース下のグランド・フィルをなくす)こと、およびコモン・モード・チョークのような付加的な部品を追加することになります。ただし、これらのアプローチは部分最適化に過ぎず、望ましくないコスト増大や設計の複雑化を招く可能性があります。

既存のESDアーキテクチャに伴う制限・どのデバイスが最良か

ESD保護デバイスにはいくつかの種類がありますが、最も一般的に使用されているデバイスは、次の3つのカテゴリに分類されます。

- ポリマ・デバイス – ポリマは静電容量が1 pF未満(0.05~0.1 pF)なので、高周波アプリケーションにとって魅力的に思えますが、この小容量には欠点となる副作用があります。ポリマ・デバイスは、クランプ電圧よりもはるかに高いトリガ電圧に達するまでブレイクダウンしません。トリガ電圧が高い場合、システムに恒久的な損傷が発生する可能性があります。さらに、電荷を放電した後、ポリマは元のハイ・インピーダンス状態に戻ると想定されますが、それには数時間から1日を要することがあり、民生用アプリケーションには好ましくありません。最後に、ポリマは期間の経過や複数回のストレスに伴って劣化し、長期的なESD保護としては信頼性が高くありません。
- バリスタとサプレッサ – サプレッサとバリスタも静電容量が小さく、通常は0.05~1.0 pFの範囲にあります。これらのデバイスは高トリガ電圧、高クランプ電圧、極めて高い動的抵抗(多くの場合 > 20 Ω)という特性を備えているため、大半のエネルギーがグランドに分流されずに、保護対象デバイスに到達します。サプレッサのもう1つの欠点は、使用するに伴って劣化することです。1回のESDストライクが発生しただけで静電容量が変化するなど、電気的特性に変化が生じます。ほとんどのサプレッサは10~20回のESDストライクを受

けると故障します。ポリマ同様、長期的なESD保護としては信頼性が低く、一般に民生用アプリケーションにとって魅力的ではありません。

- 半導体ダイオード – 低クランプ電圧、低抵抗、高速ターンオン時間、高信頼性という特性があります。クランプ電圧と動的抵抗がかなり低い(標準値は1 Ω以下)ため、半導体ダイオードは非常に優れたESD保護を提供し、品質とESD保護の両方が重要と考えられるどのシステムでも必要とされます。半導体ダイオードの短所は、一般にポリマやサプレッサよりも静電容量が大きいことで、標準0.7~2.0 pFの範囲です。ダイオード・メーカーは静電容量の低いソリューションを推進していますが、静電容量が小さくなると通常は動的抵抗が大きくなり、ESD性能が低下します。

一般に、半導体ベースのソリューションが使用できない場合を除いて、ポリマ、サプレッサ、バリスタを使用しないでください。適切なESD保護を実現しようとする場合は必ず、クランプ電圧が低く、動的抵抗が小さいデバイスを選択する必要があります。

ESD保護デバイスを選択するうえで最も困難な作業は、どのデバイスが最強の保護を達成するかを見つけることです。多くの場合、システム・ベンダはデータシートのESDレベル定格を使ってESD保護デバイスを比較します。しかし実際は、これらの定格値を見てもどの程度システムを保護するのかわかりません。例えば、デバイスXが8 kV、デバイスYが15 kVの場合、デバイスYの方が優れていると言えるのでしょうか。保護デバイスのESD定格は、そのデバイス自体の耐圧を示しているだけで、システムがどこまで耐えられるかは説明していません。多くの場合、デバイスの他の特性にもよりますが、8 kVデバイスのほうが15 kVデバイスよりも強固な保護を実現します。

保護デバイスのESD定格レベルだけでなく、ASICにおける電圧レベル(クランプ電圧)および電流(残留電流)の大きさも重要な検討事項です。ESD保護デバイスは、大部分の電流をグラウンドに流し、ASICから見た電圧をストライク電圧よりも低い値にクランプする働きをします。

クランプ電圧と残留電流を求めるのは、簡単な作業ではありません。大半のESD保護デバイスのデータシートに記載されているクランプ電圧は、誤解を招く可能性があります。大半のデータシートは、立ち上がり時間が8 ms、持続時間が20 msの1.0 Aパルスに基づくクランプ電圧を記載しています。この規定は立ち上がり時間が1 ns未満、持続時間が60 nsである実際のESDパルスとはかけ離れています。ただし、2つの部品を相対的な観点で比較する目的で使用することは可能です。データシートによっては、IEC 61000-4-2のパルスに基づくクランプ電圧を記載していますが、これは30 ns経過後の電圧を示すものです。これは、1 nsの時点で発生するピーク電圧から見るとかなり後の時点であり、誤解を招く可能性があります。

一方、残留電流は、保護デバイス自体によって決まる値ではなく、システム・レイアウトによって決まる値なので、データシートに記載されることはありません。代わりに、保護回路の動的抵抗を使用すれば複数のデバイスを比較するのに便利です。動的抵抗が小さいほど、多くの電流をグラウンドに分流させることができるからです。残念ながら、この値も製品データシートにほとんど記載されていません。一方で幸いなことに、大半の半導体データシートには通常、保護デバイスの動的抵抗を近似するのに十分な情報が掲載されており、複数のデバイスを比較することが可能になっています。

最良のESD保護を実現するには、常にクランプ電圧と残留電流を最小限に抑えるデバイスを選択してください。

インピーダンスを整合させるための補償

通常、高速ラインでどのタイプのESD保護回路を使用しても、何らかの外部補償は必要です。これを理解するには、最初にインピーダンス整合について理解することが重要です。

高速レイアウトで重要な要因は、伝送路全体でインピーダンスを整合させることです。インピーダンスは、トレース幅、ボード絶縁層の厚さ、ボード材質、トレース上の部品など、多くの変数によって影響を受けます。インピーダンスを簡単に理解する方法は、伝送路の任意の点におけるインダクタンスをL、静電容量をCとして、インピーダンスが L/C の平方根であると考えます。これはある点に静電容量を追加すると、その点のインピーダンスが小さくなることを意味します。インダクタンスを追加する場合は、インピーダンスが大きくなります。

最適化されたレイアウトの目標は、線路全体でインピーダンスを整合させることですが、本当の意味で「整合した」インピーダンスを実現するのは困難です。ただし、大半の設計では約15%以下の変動は許容可能と考えられます。例えば、HDMIでの差動インピーダンスに関する目標は、100 Ω付近を中心にするのですが、85 Ω～115 Ωの範囲で変動することが許容され、それでも標準に準拠しているとみなされます。

この線路に追加する保護デバイスは、それがダイオード、バリスタ、サプレッサ、ポリマのどれであるかに関係なく、静電容量を追加することになります。デバイス自体の静電容量に加えて、デバイスをプリント基板に接続するのに使用するパッドに起因する静電容量も追加されます。保護ソリューションによって追加された静電容量を補償するために、システム設計者は通常、ボードの他の場所で静電容量を減らすか、インダクタンスを追加して設計を変更します。これを行う標準的な手法として、以下のものを挙げるすることができます。

- コモン・モード・チョークまたはフィルタの追加
これは一般的なソリューションです。チョークのインダクタンスを追加すると、ESDデバイスの静

電容量をオフセットできるからです。残念ながら、設計に高速コモン・モード・チョークを追加するとかなり高価になる場合があります、可能ならば回避する必要があります。

- 保護デバイス領域内でトレース幅を狭くして、静電容量を追加することなくトレースのインダクタンスを大きくします。多くの場合、この変更をトレース・ネッキングと呼び、少量の補償が必要なき非常に効果的である場合があります。このアプローチの1つの制限は、絶縁体が薄いボードでESDデバイスの静電容量が高すぎる場合、インピーダンス整合を達成するのが非常に困難であることです。
- トレースの下での静電容量の削減
これはトレースの下層にあるグラウンド・プレーンからパターンをなくし、ESD部品の領域でのみ静電容量を低減することによって行うことができます。

これらのソリューションはいずれも部分最適化であり、より複雑になり、場合によってはコストも増加します。これらの手法を使用するには、十分制御された設計環境と製造環境が必要であり、時にはコモン・モード・チョークのような外部部品や絶縁層が厚い基板など、より多くのコストがかかる部品が必要になることもあります。これらの手法を使用する場合のもう一つの大きな短所は、多くのエンジニアに、インピーダンス制御レイアウトの設計経験がないことです。このような経験不足が原因で、しばしば設計エラーが生じ、複数回のボードの手戻りに伴う開発コストの増大や設計および製造の遅延を引き起こします。

XtremeESDによる保護：優れた保護性能と卓越したシグナル・インテグリティ

オン・セミコンダクターは、現在のESD要件を満たすには根本的に新しいアプローチが必要であることを認識し、ESD保護デバイスのXtremeESDファミリを発表しました。XtremeESDファミリは、高速データ・ポートでESD保護を実現するためのアプローチを根本的に変更する複数のアーキテクチャで形成されています。PicoGuard XPアーキテクチャは、従来のESD保護デバイスに比べて大幅に高いESD性能を達成すると同時に、優れたシグナル・インテグリティを維持しており、まもなく新型のPicoGuard XSアーキテクチャも登場する予定です。PicoGuard XSは、高速データ・インタフェースで非常に優れたシグナル・インテグリティを実現すると同時に、ESD保護も向上させることを意図して設計されています。設計者はこれらの新しいオプションを使用して、妥協なしで信頼性とシグナル・インテグリティの両方に関する目標を確実に達成できます。

Figure 1に、保護とシグナル・インテグリティ間のバランスを図る観点で、XtremeESDソリューションと従来型デバイスとの比較を示します。

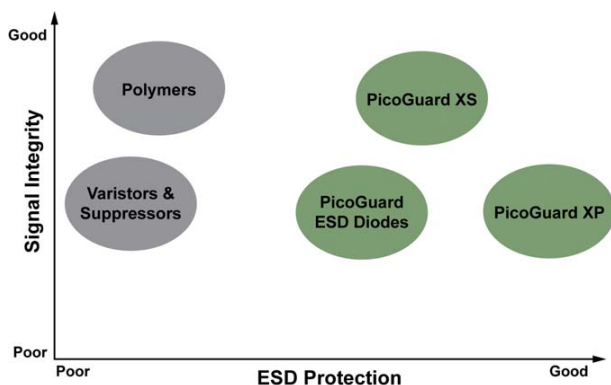


Figure 1. Signal Integrity vs ESD Protection

PicoGuard XS : 優れた保護と卓越したシグナル・インテグリティ

ESDデバイスの設計方法とシステム内での使用方法に根本的なブレークスルーをもたらしたPicoGuard

XSにより、ESD保護とシグナル・インテグリティ間でのトレードオフがなくなります。PicoGuard XSを使用すると、優れたESD保護を実現できると同時に、高速データ・ライン上でのインピーダンス整合のための外部補償も不要になります。

PicoGuard XSデバイスを使用すると、設計やレイアウトの懸念が解消され、最適なシグナル・インテグリティを達成し、ESD性能を向上させることができます。HDMI、DisplayPort、eSATAなど数Gbpsに達する高速ポートにとって理想的なソリューションです。PicoGuard XSデバイスを使用すると、堅牢なESD保護が必要とされる状況で、非常に高速なデータ・インタフェースでESD保護を実現でき、シグナル・インテグリティ性能も妥協する必要はありません。

PicoGuard XSを使用すると、オンチップ整合、スキュー低減、EMI低減、さらに統合型インダクタンスによるTDRを改善でき、高速データ・ポート保護のための理想的なソリューションとなります。

HDMI is a registered trademark of HDMI Licensing, LLC.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative