

ESDに関する 環境の変化

次世代デバイスのためのESD保護の検討



ON Semiconductor®

<http://onsemi.com>

TECHNICAL NOTE

概要

この資料は、ESD保護アーキテクチャに関する混乱をなくし、高信頼性システムの設計に確信を持って取り組めるようにすることを目的としています。主な内容は、ESD保護デバイスの原理、ESD保護デバイスの選択時に重視すべきポイント、従来のESD保護対策の弱点です。最後に、オン・セミコンダクターが開発した画期的なESD保護アーキテクチャを紹介いたします。

はじめに

2つの重要なトレンドが、システム設計レベルでのESD保護対策を根本的に変えようとしています。1つは、プロセス・テクノロジ・ノードの進化に伴ってシステムICがESDに対して脆弱になっていること。もう1つは、データ・レートの高速化に伴ってシグナル・インテグリティに対する要件がますます厳しくなっていることです。

データ・レートの高速化に対して、従来はESD保護デバイスの静電容量を下げるという方法で対処してきましたが、この方法では、ESD保護デバイスのESD保護能力が低下する傾向があります。そのため、システムの信頼性とシグナル・インテグリティの間でトレードオフを図る必要があります。

従来のESDアーキテクチャは、このような新しいシステムICの脆弱さを保護するように設計されていなかったため、適切な保護を提供できません。旧世代のASICに対してなら許容できたクランプ電圧や残留電流であっても、最新の半導体デバイスを破壊するおそれがあります。さらに、USB 2.0、HDMI®、Display Portなどの高速データ・インタフェースの普及により、堅牢なESD保護を確保しながら高レベルのシグナル・インテグリティの維持することがますます複雑になっています。

アプリケーション環境の変化も、ESDに対する脆弱性を高める要因となっています。急増したラップトップ・コンピュータや携帯電話、MP3プレイヤー、デジタル・カメラ、その他のモバイル機器などのハンドヘルド機器が、静電気を制御できない環境(すなわち、リスト接地ストラップや導電性の接地テーブル面がない)で使用されています。このような環境では、ケーブルを抜き差しする際にI/Oコネクタ・ピンに指が触れてしまいます。またハンドヘルド機器は、バッグに入れて持ち運ぶような通常の使用時に帯電するおそれがあります。帯電した電荷は、コンピュータやテレビなどの他の機器に接続したときに放電することがあります。

従来のESDアーキテクチャでは、ESD保護性能の強化と静電容量レベルの低減には相反する関係が存在します。ESD保護性能を強化すれば通常は静電容量が増えます。静電容量が増えればシグナル・インテグリティに影響が及ぶため、ESD保護とシグナル・インテグリティのバランスを慎重に見極めなければなりません。高速シリアル・データ・インタフェースの登場により、このような微妙なバランスを維持するのは一段と難しくなりました。

紛らわしい仕様、規格、試験基準

どれが最も強力なESD保護デバイスかを判断するのは難しくなる一方です。多くの設計者は、信頼性を確保するのに何を最も重視してESD保護デバイスを選択すればよいのか知りません。その答えは、多くのESD保護デバイス・データシートの仕様でも明確でなく、まったく記載されていないこともしばしばです。重要なESDの電気的仕様が不明確なだけでなく、工業規格の解釈や十分な保護を実施する方法、試験の合格基準についても混乱があります。また、電圧レベル(クランプ電圧)とASICで観測される電流(残留電流)についても十分な検討が必要です。シグナル・インテグリティを高めるのに、静電容量を減らすことが確かに重要ですが、レイアウト、キャパシタンス・マッチング、インピーダンス・マッチングなどの問題についても相当な検討が必要です。

ESD保護デバイスの動作

ESDイベントとは静電電位が異なる2つの物体間でのエネルギーの移動のことです。このエネルギーの移動は、接触放電、イオン化気中放電(スパーク)のいずれかによって発生します。この移動は、被放電デバイスの適合性を試験するための各種標準回路モデルでモデル化されます。通常、これらのモデルは特定電圧に充電されたキャパシタを使用し、次に何らかの電流制限抵抗(または周囲空気条件)を介して、ターゲット・デバイスにエネルギー・パルスを与えます。ESD保護デバイスは、敏感な回路からこの危険な電荷を遮る働きをし、システムが恒久的な損傷を受けないよう保護します(Figure 1を参照)。

Figure 1に示すように、従来型のシングル・ステージESD保護デバイスはESDストライク発生時には以下のとおり動作します。

1. 電圧はより低い電圧に「クランプ」され、ASICでの電圧を最小限に抑えます。
2. 保護デバイスは電流をグラウンドに逃がし、保護対象ASICに流れないようにします。

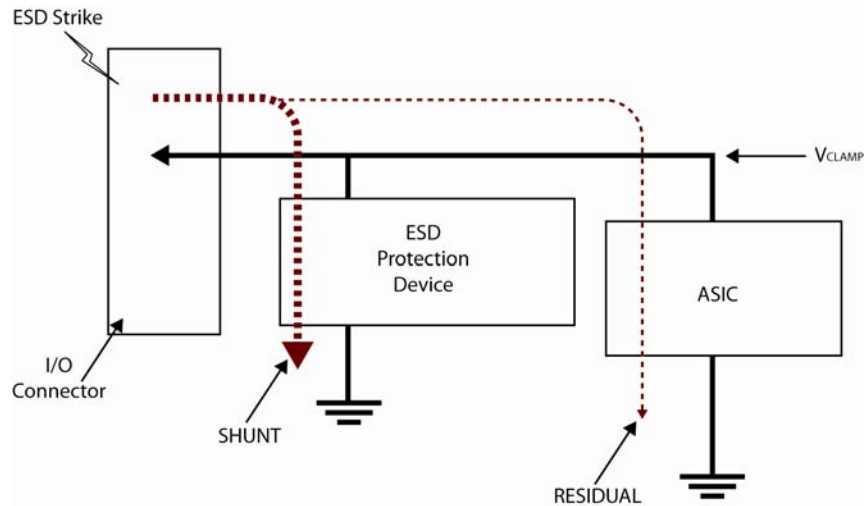


Figure 1. ESD Protection Devices Attempt to Divert a Potentially Damaging Charge Away from Sensitive Circuitry and Protect the System from Permanent Damage

ASICでのクランプ電圧および残留電流は、ESD保護デバイスの絶縁破壊電圧と動的抵抗の関数となります。 V_{CLAMP} は、ESD回路の動的抵抗値にストライクの電流(ESDストライクが8 kVの場合は30 A)を乗じた値を絶縁破壊電圧に加えることで概算できます。ESDデバイスの中には、動的抵抗が大きいためクランプ電圧が非常に高くなるものがあります。また動的抵抗が大きいと、グラウンドに逃げる電流が小さくなり、ASICに達する電流が増えます。残留電流(ASICまで達する電流)は、ESDデバイスの R_{dyn} とASICの R_{dyn} との比に反比例するため、ESD保護回路の動的抵抗を極力小さくすることが重要です。

ESD損傷の原理：回路の微細化が進むほどESDに弱くなる理由

ICメーカーは回路の微細化を進めているため、デバイス内のトランジスタ、相互配線、シリコン層の寸法も縮小する一方です。これによって、高速デバイス向けの小さなアーキテクチャを実現していますが、低いエネルギー・レベルで絶縁破壊が起こりやすくなっています。ESD発生時にシリコン層が破断しやすく、また金属トレースがオープンまたはショートしやすくなります。

従来は、10～100 pFという適度な静電容量を持つデバイスを使用することにより、ESD電流がICに流れないようにしていました。しかし信号周波数が高くなった今では、このようなデバイスを使用すれば、認識も検出もできないほど信号が歪みます。

3. ESDストライクが完全に放電すると、ESD保護デバイスはハイ・インピーダンス状態に復帰しようとしています。デバイスの中には、ハイ・インピーダンス状態に復帰するのに24時間以上かかるものもあるので、この特性を理解することが重要です。

今やほとんどの高速データ・ポートは、伝送線の静電容量を1～2 pFしか増やさないようなESD保護デバイスを必要としています。

大部分のICは、HBM (人体モデル)から放電される1～2 kVのパルスにしか耐えられない、限定された内部ESD保護性能で設計されています。PCB組み立て時にはそれで十分ICを保護できますが、エンド・ユーザ納入時にICを保護するには意図されていません。

既存のESDアーキテクチャの限界

ESD保護デバイスにはいくつか種類がありますが、最も一般的にはポリマ、バリスタ/サプレッサ、ダイオードの3つに分類されます。ESD保護デバイスを選択するとき最も難しい作業は、実は一番簡単なことです。すなわちどのデバイスが最強の保護を提供するかを見つけることです。多くの場合、システム・ベンダはデータシートのESDレベル定格を使ってESD保護デバイスを比較します。しかし実際は、これらの定格値を見てもどの程度システムを保護するのかは分かりません。例えば、デバイスXが8 kV、デバイスYが15 kVの場合、デバイスYの方が優れていると言えるのでしょうか。保護デバイスのESD定格は、そのデバイス自体の耐圧を示しているだけで、システムがどこまで耐えられるかは説明していません。多くの場合、他のダイオード特性にもよりますが、8 kVデバイスのほうが15 kVデバイスよりも強固な保護を実現します。

保護デバイスのESD定格レベルだけでなく、ASICにおける電圧レベル(クランプ電圧)および電流(残留電流)の大きさも重要な検討事項です。ESD保護デバイスは、大部分の電流をグラウンドに流し、ASICから見た電圧をストライク電圧よりも低い値にクランプする働きをします。

クランプ電圧と残留電圧を求めるのは、簡単な作業ではありません。大半のESD保護デバイスのデータシートにはクランプ電圧が記載されていますが、たとえ記載されていても誤解を招きがちです。一方、残留電流は、保護デバイス自体によって決まる値ではなく、システム・レイアウトによって決まる値なので、データシートに記載されることはありません。代わりに、保護回路の動的抵抗(R_{dyn})を使用すれば、複数のデバイスを比較するのに便利です。動的抵抗が小さいほど、大きな電流を分流させることができるからです。残念ながら、この値は通常、保護デバイスのデータシートには記載もされていません。

ポリマ・デバイス

ポリマは、静電容量が1 pF以下(0.05~1.0 pF)なので、高周波数アプリケーションには魅力的に思えますが、この小容量には欠点となる副作用があります。

ポリマは、ダイオードとは異なり、クランプ電圧よりもはるかに高いトリガ電圧に達するまでブレークダウンしません。代表的なポリマ系のESD保護デバイスは、500 Vもの高電圧に達するまでブレークダウンしません。500 Vに達した後、瞬時に最大150 Vのクランプ電圧に戻ります。ポリマは電荷を逃がした後でハイ・インピーダンス状態に戻るはずですが、しかしこれには数時間から1日という長い時間がかかるため、民生用製品には好ましくありません。ポリマは、特性を正確な揃えて製造することが困難なため、データシートには、保証された最小値および最大値がなく、代表値しか記載されていない場合がよくあります。またポリマは、物理的弾性があるため、印加されるESDパルス数に応じて性能が低下します。

バリスタおよびサプレッサ

バリスタおよびサプレッサは非線形の可変抵抗です。サプレッサは比較的安価ではありますが、一般に高トリガ電圧、高クランプ電圧、高抵抗という欠点があるため、エネルギーの大半は、グラウンドに分流されずに、保護対象デバイスに到達します。代表的な低静電容量サプレッサのクランプ電圧は150~500 Vです。低静電容量サプレッサの動的抵抗は標準で20~40 Ω です。このように動的抵抗が高いため、ほぼすべてのESDストライク電流がグラウンドに分流されずに、保護対象デバイスに流れていきます。

サプレッサのもう1つの欠点は、使用するに伴って劣化することです。1回のESDストライクが発生しただけで静電容量が変化するなど、電気的特性に変化が生じます。ほとんどのバリスタおよびサプレッサ

は、10~20回のESDストライクを受けると故障します。

半導体ダイオード

ESD保護にはもう1つ、半導体ダイオードによる方法があります。ESD保護ダイオードには、低クランプ電圧、低抵抗、高速ターンオン時間、高信頼性、という特性があります。一般に、半導体ダイオードが最良のESD保護を提供し、現在は静電容量1 pF以下のものも入手可能なため、信頼できるESD保護と良好なシグナル・インテグリティを実現するには最高の選択です。

クランプ電圧の比較

現在、立ち上がり時間8 μ s、オン時間20 μ sのパルス波形を基準としてクランプ電圧を公開するのが業界の慣例となっています。ほとんどのデータシートには、1 Aのパルス、および場合によってはさらに高い電流パルスを使用したクランプ電圧が記載されています。このパルスはESDパルスと同じではないことに注意してください。ESDパルスは、立ち上がり時間が1 ns、オン時間が60 nsです。また、IEC 61000-4-2 (レベル4)に規定されるESDの発生時に観測されるピーク電流30 Aのクランプ電圧は、1 Aパルス時に観測されるクランプ電圧とは大きく異なります。しかしデータシートを見てもこれ以外にデータの少ないことが多いため、様々なESD保護デバイスを比較するための取り掛かりにはふさわしいデータです。

一般に、ピーク・クランプ電圧が最も低いのは半導体ダイオードです。サプレッサやポリマのクランプ電圧はそれよりもかなり高くなっています。前述した標準的な1 Aパルスを使用した場合、ほとんどの半導体ESD保護ダイオードの定格クランプ電圧は8~15 Vです。これらのダイオードは、IEC 61000-4-2に規定される8 kVのESDを受けた場合、動的抵抗など他のダイオード特性によって異なりますが、一般にピーク・クランプ電圧は50~100 Vの範囲になります。

それに比べると、サプレッサのクランプ電圧は数倍高く、代表的な低静電容量サプレッサの場合、クランプ電圧が150~500 Vの範囲になることがあります。ポリマ・デバイスは、トリガ電圧が必要なため、さらにクランプ電圧が高くなります。一般的なポリマ保護デバイスのトリガ電圧は500 Vにもなることがあります。このようにポリマは高いトリガ電圧を必要とするため、ポリマのターンオン時間が禁止され、保護されたデバイスが損傷する可能性が高くなります。一般に、半導体ダイオードのほうがクランプ電圧が低く、ターンオン時間も短いため、ポリマやバリスタによるソリューションよりも優れたESD保護を提供します。

残留電流と動的抵抗

ASICに流れる電流量は、保護回路の動的抵抗とASICの動的抵抗との比によって決まります。保護回路の動的抵抗が大きいほど、保護対象デバイスを通

過する電流が大きくなり、ESD破壊を起こす可能性も高まります。

可能な限り多くの電流を分流でき、ASICで観測される残留電流を最小限に抑えるようなESD保護デバイスを選択しなければなりません。残留電流はシステムによって異なるため、ESD保護デバイスのデータシートには通常は規定されません。残念ながら、動的抵抗について規定しているESD保護デバイス・メーカーもほとんどありませんが、これらの概算値を求める方法はあります。

大部分のダイオード・メーカーは電流対電圧の特性グラフを公表しています。これらのグラフは、通常はIEC 61000-4-2で規定されるパルスではなく、8/20 μ sのパルスを使用しますが、グラフを見れば保護回路の動的抵抗はだまかに把握できます。8/20 μ sのパルスの場合、電流と電圧の関係はおおむね線形

であり、ラインの傾きが動的抵抗(R_{dyn})に相当します。代表的なESDダイオードの R_{dyn} は1未満~3 Ω の範囲です。ポリマ・デバイスもトリガした後、動的抵抗が非常に小さくなります。

対照的に、低静電容量のバリスタやサプレッサは、どちらも電気的特性、ESD性能は類似していますが、一般に動的抵抗が20 Ω 以上と非常に大きいため、保護対象ASICでの電流がかなり大きくなります。Figure 2は、実際のHDMI ASICで観測された残留電流値を比較したシステム試験の結果です。一方は、低静電容量のバリスタまたはサプレッサで保護した場合、もう一方は低静電容量のダイオードで保護した場合です。試験はIEC 61000-4-2で規定される4 kVパルスで実施しました。パルスがオンのときにASICデバイスを通過した電流を示しています。

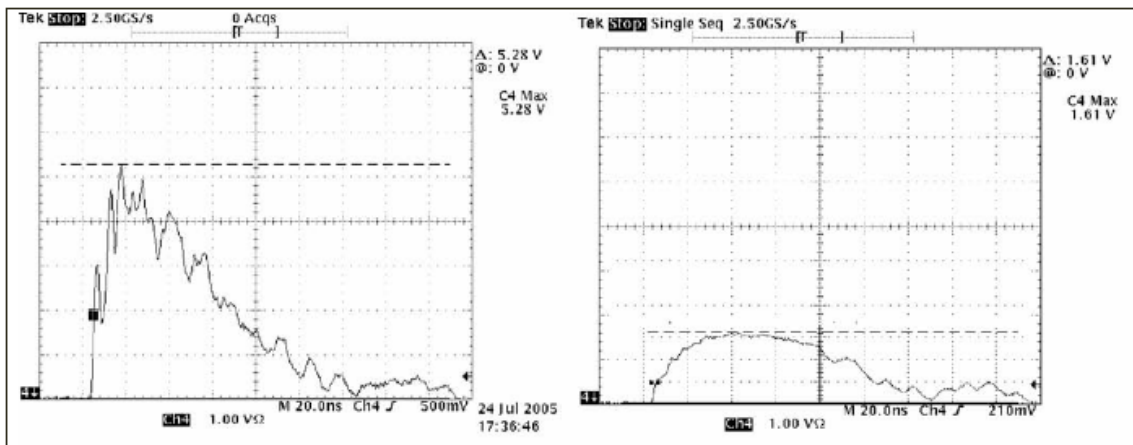


Figure 2. Residual Current in Suppressor vs Diode

この試験では、残留電流のピーク値はバリスタで保護したときに10.6 A (左)、半導体ダイオードで保護したときに3.2 A (右)でした。IEC 61000-4-2で規定される4 kVのストライクは最大ピーク電流が15.0 Aなので、バリスタ/サプレッサはESD発生時には電流の1/3すら分流できなかったことがわかります。また、これも同様に重要な点ですが、ESDストライキの発生から終了までにASICで観測された電流は、バリスタ系回路のほうがはるかに大きな値でした。これはESD保護デバイスを選択するときは、動的抵抗を比較することが大切なことを示しています。

半導体の微細化が進み、モバイル電子機器の民生用途も増える一方であり、ESD保護の重要性がますます高まっています。従来の保護手段および試験方法は限界に近づいており、もはや最新世代のASICには不十分です。データ・レートを高速化するには、静電容量が低い回路が必要です。一般的に、静電容量が減少すると R_{dyn} が増加し、クランプ電圧も残留電流も大きくなり、ESD保護性能が低下します。半導体の微細化はとどまることを知らず、データ・

レートは高速化する一方なので、高速信号に干渉することなく必要な保護レベルを達成するには、新たなESD保護対策を開発しなければなりません。

XtremeESD保護：優れた保護性能、卓越したシグナル・インテグリティ

オン・セミコンダクターは、現在のESD要件を満たすには根本的に新しいアプローチが必要であることを認識し、PicoGuard XPを発表しました。これはESD保護デバイス「XtremeESDシリーズ」の最初のメンバです。PicoGuard XPは、従来のESD保護デバイスに比べてESD性能が大幅に向上しています。続いてPicoGuard XSが登場する予定ですが、PicoGuard XSはESD保護性能を向上させるとともに、高速データ・インタフェースに対応可能な卓越したシグナル・インテグリティを提供するように設計されています。設計者はこれらの新しいオプションを使用して、妥協なしで信頼性とシグナル・インテグリティの両方に関する目標を確実に達成できます。

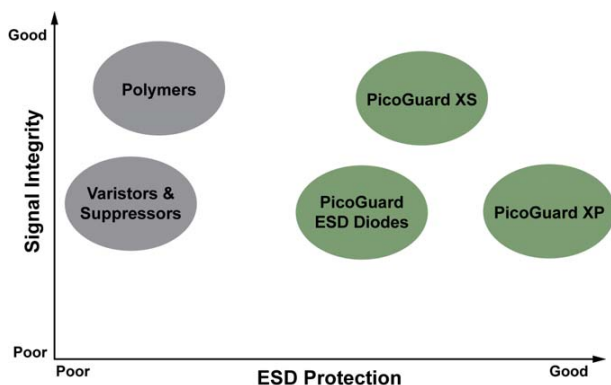


Figure 3. ESD Protection vs Signal Integrity

PicoGuard XPで確実にESDから保護

オン・セミコンダクターは、ESD保護に対する斬新なアプローチとしてPicoGuard XPを発表しました。PicoGuard XPは、画期的な「ダブルクランプ」アーキテクチャを使用して、デジタル家電やコンピュータに対して優れたESD保護を提供しながら、低静電容量および卓越したシグナル・インテグリティを提供します。PicoGuard XPは、コンパクトなフットプリントで卓越したシグナル・インテグリティを備えた業界最高水準のESD保護を提供します。

PicoGuard XPは、ESDストライク発生時にクランプ電圧と残留電流を大幅に低減するため、従来のESD保護ダイオードに比べて、保護対象チップに到達する電力は65パーセント以上減少します。PicoGuard XPは、USB、HDMI 1.3、DisplayPortなどの高速アプリケーション用に設計されているので、市販されているどのESDダイオード・アレイよりもはるかに優れた性能を実現しています。

HDMI is a registered trademark of HDMI Licensing, LLC.

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC) 若しくはその子会社の米国及び/または他の国における登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。www.onsemi.com/site/pdf/Patent-Marking.pdf。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative