



SiC MOSFET: ゲートドライブの最適化

SiC MOSFET : ゲートドライブの最適化

要約

高電圧スイッチング電源アプリケーションの場合、従来のシリコンMOSFETやIGBTに比べて、SiC MOSFETは大きな利点をもたらします。数百kHzの周波数で動作し、1,000 Vを上回る高電圧の電源レールでスイッチングを実行する能力は強力で、シリコンベースでの最高性能を持つスーパージャンクションMOSFETさえも上回ります。IGBTは一般的に使用されていますが、「テール電流」や低速ターンオフのため、低い動作周波数に限定されます。その結果、低電圧・高周波動作の場合はシリコンMOSFETが有利であるのに対して、IGBTはより高電圧、大電流、低周波アプリケーションに適しています。SiC MOSFETは、高電圧、高周波、スイッチング性能の利点を最良の組み合わせで実現します。この素子は電圧制御の電界効果デバイスであり、IGBTと同等の高電圧でスイッチングでき、また動作電圧がかなり低いシリコンMOSFETより高いスイッチング周波数で動作します。

SiC MOSFETには、ゲートドライブに関する固有の要件があります。一般的に、最小のオン抵抗を実現するために、オン状態が続く間は20 Vの V_{DD} ゲートドライブが必要です。対応するシリコン素子に比べて、トランスコンダクタンスが低く、内部ゲート抵抗が大きいほか、ゲートターンオンスレッシュホールドは2 V未満になる可能性があります。その結果、オフ状態中はゲートをグランドより低い電位(通常は-5 V)にプルダウンする必要があります。ゲートドライブ回路を理解し最適化すると、達成可能な信頼性および全体的なスイッチング性能に大きな影響があります。

この資料では、SiC MOSFET独自のデバイス特性に的を絞って説明します。SiCのスイッチング性能を最適化するために、最適なゲートドライブ設計に関する重要な設計要件についても解説します。スタートアップ、フォルト保護、定常状態のスイッチングなど、システムレベルの各条件についても説明します。

はじめに

SiC(シリコンカーバイド)は、ワイドバンドギャップ(WBG)半導体材料ファミリのひとつで、ディスクリットパワー半導体の製造に使用されます。Table 1に示すように、従来型シリコン(Si) MOSFETのバンドギャップエネルギーは1.12eVであり、それに対してSiC MOSFETの値は3.26eVです。

SiCとGaN(窒化ガリウム)に関連している、より広いバンドギャップエネルギーは、価電子帯から伝導帯に電子を移動するため約3倍のエネルギーを要することを意味するので、材質は導体よりも絶縁体に似た挙動を示します。この結果、WBG半導体は、

より高いブレイクダウン電圧に耐え、絶縁破壊電界強度がシリコンの10倍に達します。絶縁破壊電界強度が高いので、特定の電圧定格に対してデバイスの厚みを薄くできます。この性質は、オン抵抗の低減と電流能力の向上を意味します。SiCとGaNはどちらも移動度パラメータがシリコンと同程度であり、いずれの材質も高周波スイッチングアプリケーションに適しています。ただし、SiCの最大の特徴となるパラメータは、熱伝導性がシリコンやGaNの3倍以上に達していることです。熱伝導性が大きいと消費電力に対する温度上昇が小さくなります。市販のSiC MOSFETの最大動作保証温度範囲は、 $150^{\circ}\text{C} < T_j < 200^{\circ}\text{C}$ です。一方、達成可能なSiCの接合部温度は最大 600°C ですが、ほとんどの場合はボンディングおよびパッケージング技術によってこれ以下に制限されます。この結果、高電圧、高速、大電流、高温のスイッチング電源アプリケーションにとって、SiCは優れたWBG半導体材料となっています。

Table 1. SEMICONDUCTOR MATERIAL PROPERTIES

Properties	Si	4H-SiC	GaN
Bandgap Energy (eV)	1.12	3.26	3.50
Electron Mobility (cm^2/Vs)	1400	900	1250
Hole Mobility (cm^2/Vs)	600	100	200
Breakdown Field (MV/cm)	0.3	3.0	3.0
Thermal Conductivity ($\text{W}/\text{cm}^2\text{C}$)	1.5	4.9	1.3
Maximum Junction Temperature ($^{\circ}\text{C}$)	150	600	400

SiC MOSFETは一般に、 $650\text{ V} < B_{VDSS} < 1.7\text{ kV}$ の範囲の製品が入手可能であり、大半は1.2 kV以上に集中しています。650 V以下の範囲では、従来型シリコンMOSFETとGaNがSiCを上回ります。ただし、より電圧の低いSiC MOSFETを検討する1つの理由として、優れた熱特性を活用することが考えられます。

SiC MOSFETの動的スイッチング挙動は、標準的なシリコンMOSFETにきわめて類似していますが、考慮すべきデバイス特性による、SiC MOSFET固有のゲートドライブ要件がいくつか課されます。

SiC MOSFETの特性

トランスコンダクタンス

スイッチング電源で使用するシリコンMOSFETは、2つの動作モードつまり動作領域のうち一方で可能な限り高速にスイッチングできます。カットオフ領域は、ゲート-ソース間電圧 V_{GS} がゲートスレッシュホールド電圧 V_{TH} 未満で、半導体が高ブロッキング状態にある領域と定義されています。カットオフ期間は、ドレイン-ソース抵抗 R_{DS} がハイインピーダンスで、ドレイン電流 $I_D = 0\text{ A}$ になります。飽和領域に

変化するのは、MOSFETがフルエンハンス状態である $V_{GS} \gg V_{TH}$ になり、 $R_{DS(on)}$ は最小値またはその付近で、 I_D が最大値に達して半導体が高導通状態になっているときです。Figure 1の赤い線で強調しているように、リニア(オーム)領域と飽和領域間の遷移は非常に急峻であり、その区別は明確です。したがって、 $V_{GS} > V_{TH}$ になるとすぐに、比較的低い値の R_{DS} を経由してドレイン電流が流れるようになります。トランスコンダクタンス g_m は、ゲート電圧変化に対するドレイン電流変化の比率で、MOSFETの入力に対する出力のゲインを定義しています。また、特定の V_{GS} に対応するI-V出力特性の勾配でもあります。

$$g_m = \frac{\Delta I_d}{\Delta V_{GS}} \quad (\text{eq. 1})$$

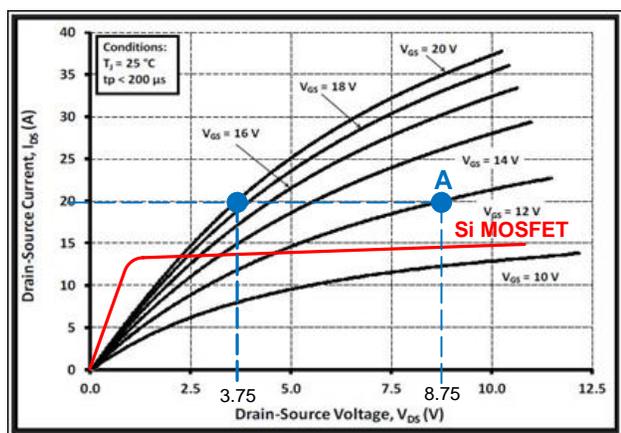


Figure 1. SiC MOSFET Output Characteristics

シリコンMOSFETのI-V曲線に見られる勾配は線形領域では急峻(ΔI_D が大きい)であり、飽和領域での動作ではほぼ平坦です。そのため、 $V_{GS} > V_{TH}$ のときは常に、非常に高いゲイン(高 g_m)になります。特定の V_{GS} に対応する I_D が平坦であるということは、シリコンMOSFETは飽和領域で動作しているときは、理想的でない電流源によく似た挙動を示します。逆に、Figure 1に示す出力特性曲線からは、SiC MOSFETが線形動作モードと飽和動作モード間で急峻な遷移を示さないことが分かります。事実、定義可能な「飽和領域」は存在せず、この観点からSiC MOSFETは理想的ではない電流源ではなく、可変抵抗によく似た挙動を示すことが分かります。SiC MOSFETのI-V出力特性は、 ΔV_{GS} が小さい場合、大きな ΔI_D を示していないことが分かります。したがって、SiC MOSFETはゲインの小さい(低 g_m)デバイスと考えられます。

$$I_D = g_m \times (V_{GS} - V_{TH}) \quad (\text{eq. 2})$$

小さいゲインを補償し、 I_D に大きな変化を発生させる唯一の方法は、非常に高い V_{GS} を印加することです。これは R_{DS} に大きな影響を及ぼします。この点をさらに検討するために、Figure 1で表記されている、AとBの2つの動作ポイントについて考えてみましょう。

$$R_{DS(A)} = \frac{8.75 \text{ V}}{20 \text{ A}} = 438 \text{ m}\Omega, (V_{GS} = 12 \text{ V}) \quad (\text{eq. 3})$$

$$R_{DS(B)} = \frac{3.75 \text{ V}}{20 \text{ A}} = 188 \text{ m}\Omega, (V_{GS} = 20 \text{ V}) \quad (\text{eq. 4})$$

$I_D = 20 \text{ A}$ の固定ドレイン電流で、 $V_{GS} = 12 \text{ V}$ の場合は $V_{DS} = 8.75 \text{ V}$ であるのに対し、 V_{GS} を 20 V に上昇させると、 $V_{DS} = 3.75 \text{ V}$ に低下する点を対比しています。式(3)と(4)の結果を比較すると、 $V_{GS} = 12 \text{ V}$ の場合、抵抗値つまり導通損失は2.3倍に達しています。

結果として、SiC MOSFETが最良の動作を実行するのは、 $18 \text{ V} < V_{GS} < 20 \text{ V}$ の範囲の最大ゲート-ソース電圧を印加する場合であり、製品によっては、最大 $V_{GS} = 25 \text{ V}$ というさらに高い値が該当する可能性があります。SiC MOSFETを低い V_{GS} で動作させると、大きい R_{DS} が原因で熱ストレスが生じたり、障害が発生する可能性があります。低い g_m に関連する軽減効果は重要です。この特性は、適切なゲートドライブ回路を設計するとき、具体的には、オン抵抗、ゲート電荷(ミラープラトー)、過電流(DESAT)保護を設計するときを考慮する必要があるいくつかの重要な動的特性に直接影響を及ぼします。

オン抵抗

WBG半導体であるSiC MOSFETには、特定の電圧に対して単位面積あたりのオン抵抗が小さいという特性があります。MOSFETのオン抵抗は、複数の内部要因である V_{GS} に依存する抵抗成分によって構成されます。最も顕著なのは、チャンネル抵抗(R_{CH})、JFET抵抗(R_J)、ドリフト領域抵抗(R_{DRIFT})です。 R_{CH} は負の温度係数(NTC)を持ち、 V_{GS} が低い場合に R_{DS} に支配的な影響を及ぼします。逆に、 R_J と R_{DRIFT} は正の温度係数(PTC)を持ち、 V_{GS} が高いレベルの場合に支配的な影響を及ぼします。 $V_{GS} > 18 \text{ V}$ の場合、オン抵抗には明確なPTC特性があります。ただし、 V_{GS} が低い場合、オン抵抗と接合部温度特性は、Figure 2に示すように放物線形状になります。特に、 $V_{GS} = 14 \text{ V}$ の場合、 R_{CH} が支配的であり、 R_{DS} はNTC特性を持つ、つまり温度が上昇すると抵抗値が低下するように見えます。このSiC MOSFET固有の特徴は、低い g_m が直接の原因になっています。シリコンMOSFETの場合、 $V_{GS} > V_{TH}$ の状況では、 R_{DS} は常にPTC特性を持ちます。

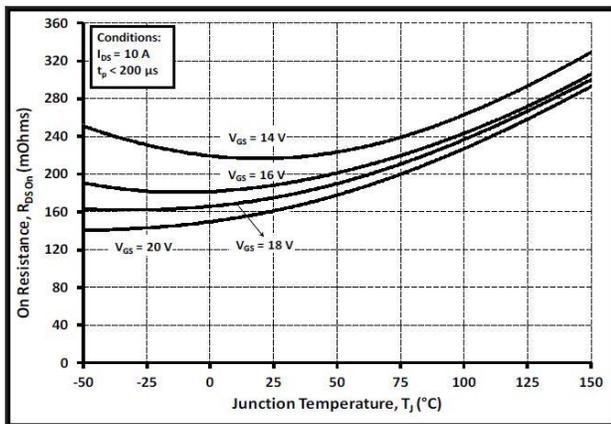


Figure 2. SiC MOSFET On-Resistance vs. Junction Temperature

PTCの大きな原因となるのは、ほとんどの大電流アプリケーションで見られるように、2個以上のMOSFETを並列接続した場合の電流バランスです。並列動作中には、一方のMOSFETで接合部温度が上昇すると、PTCが原因で R_{DS} が大きくなりMOSFETを流れる電流が減少します。この結果、MOSFET相互間で自然にバランスがとれるまで、並列接続されているMOSFETが余分な電流を流すこととなります。 V_{GS} が小さい(負のNTC)状況で2個以上のSiC MOSFETが並列接続されている場合、破滅的な結果になります。したがって、複数のSiC MOSFETの並列動作が推奨されるのは、 V_{GS} が十分に高く信頼性の高いNTC動作を実現できる時(通常、 $V_{GS} > 18\text{ V}$)のみです。

内部ゲート抵抗

SiC MOSFETのダイはシリコンMOSFETのダイに比べてはるかに小さく、内部ゲート抵抗が大きくなる傾向があるため、内部ゲート抵抗 R_{GI} はダイサイズおよび特定のブレイクダウン電圧に対して反比例します。SiC MOSFET小型ダイの本当の利点は、入力容量 C_{ISS} が小さくなることであり、これによって必要なゲート電荷 Q_G が小さくなります。Table 2は、2社の製造業者によるSiC MOSFET (SiC_1とSiC_2)および900 Vと650 Vの2つのクラス最高のスーパー Junction Si MOSFET (Si_1とSi_2)の間における、いくつかの重要なパラメータの比較を示します。

Table 2. SEMICONDUCTOR MATERIAL PROPERTIES

III.	SiC_1	SiC_2	Si_1 SJ FET	Si_2 SJ FET
B_{VDSS} (V)	1200	1200	900	650
I_D (A)	19	22	36	15
R_{DS} (m Ω)	160	160	120	130
Q_G (nC)	34	62	270	35
Q_{GD} (nC)	14	20	115	11
C_{ISS} (pF)	525	1200	6800	1670
C_{OSS} (pF)	47	45	330	26
V_{GS} (V)	-5 to 20	-6 to 22	± 20	± 20
$V_{GS(TH)}$ (V)	2.5	2.8	3	3.5
R_{GI} (Ω)	6.5	13.7	0.9	1
$R_{GI} \times C_{ISS}$ (ns)	221	850	243	35

ゲートドライブの観点からは、時定数 $R_{GI} \times C_{ISS}$ の比較が興味深いものとなっています。Si_2デバイスの時定数は最小の35 nsになっていますが、電流定格と電圧定格も小さな値のMOSFETであることが分かります。比較を目的とした場合、650 VのSi_2 MOSFETは興味深いデバイスです。1,200 VのSiC_1サンプルとはパラメータがかなり似ていますが、定格 B_{VDSS} の2倍付近で C_{ISS} が大幅に小さくなっています。 B_{VDSS} の観点では、Si_1のサンプルは、どちらのSiCサンプルとも比較的近い値になります。SiC_1は Q_G が小さいので、SiC_1の内部ゲート抵抗が7倍になってもSi_1とSiC_1の時定数はかなり近い値となっています。

内部ゲート抵抗は、 C_{ISS} に流入できるゲートドライブ電流を制限します。高性能SiCのゲートドライブ回路は、非常に低い出力インピーダンスを実現する必要があるため、既に高い R_{GI} に追加するので電流の制限要因になることはありません。これにより、設計者は外部ゲート抵抗を増減して、 V_{DS} や dV/dt の遷移をより高い自由度で制御できます。

ゲート電荷

V_{GS} を印加すると、特定量の電荷が転送され、ゲート電圧は $V_{GS(MIN)}$ (V_{EE})と $V_{GS(MAX)}$ (V_{DD})の間で、可能な限り高速で変化するようになります。MOSFETの内部容量は非線形なので、特定の V_{GS} レ

ベルに対してどれほどの電荷を転送する必要があるかを把握するうえで、 V_{GS} 対ゲート電荷(Q_G)曲線が役立ちます。SiC MOSFETの代表的なゲート電荷曲線をFigure 3に示します。

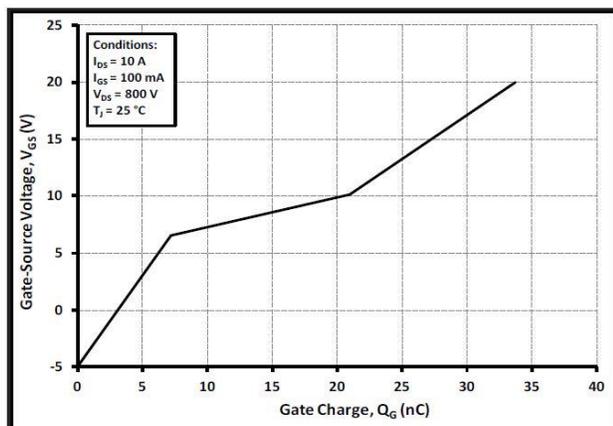


Figure 3. SiC MOSFET, Gate-Source Voltage vs. Gate Charge

SiC MOSFETの場合、より高い V_{GS} でミラープラトーが発生しており、シリコンMOSFETで期待されるほど平坦でないというのが興味深い事実です。ミラープラトーが平坦でないということは、対応する電荷 Q_G の範囲にわたって、 V_{GS} が一定ではないことを示しています。これはSiC MOSFETの低い g_m が引き起こしたもう1つの結論です。また、 $V_{GS} = 0$ Vの地点で、 $Q_G = 0$ nCが成立していないことも注目されます。SiC MOSFETのゲートをフル放電するには、 V_{GS} をグランド未満(この例では-5 V)までプルダウンする必要があります。ターンオフ期間中にゲートを負に切り替える第2の理由は、ワーストケースの V_{TH} が最小1 Vになるという事実由来です。 V_{TH} が1 V付近のときに、 V_{GS} を 0 V $< V_{GS} < V_{DD}$ の範囲でスイッチングすると、スプリアスゲートノイズのために予期しないターンオンや、 V_{DS} の dV/dt が引き起こすターンオンに対して、マージンを確保できません。その結果、ほぼすべてのSiC MOSFETが -5 V $< V_{GS(MIN)} < -2$ Vの範囲にある最小 V_{GS} を必要としますが、製造業者によっては最小-10 Vしか規定していません。

DESAT保護

DESAT保護は、IGBTの駆動に使用する回路に由来する過電流検出機能の1つの形態です。ターンオン期間中、IGBTが飽和状態を維持できなくなった(非飽和)場合、フルコレクタ電流が流れている状態で、コレクタ-エミッタ電圧が上昇を開始します。明らかに、この動作は効率に悪影響を及ぼし、最悪の場合にはIGBTが故障する可能性があります。この理由として、ベータトレランス、温度効果、短絡電流、過負荷動作のいずれかが原因で、ベース電流が不足することが考えられます。いわゆる“DESAT”機能

は、IGBTのコレクタ-エミッタ電圧を監視し、破壊を招く可能性のある条件の存在を検出することを目的としています。

SiC MOSFETでも障害メカニズムは多少異なるものの同様の結果を招く可能性があり、最大の I_D が流れている状態で V_{DS} が上昇するおそれがあります。この望ましくない状態は、ターンオン期間中に最大 V_{GS} が低すぎるか、ゲートドライブのターンオンエッジが遅すぎるか、短絡または過負荷状態が存在する場合に生じます。フル I_D が流れている状況で R_{DS} が大きくなる可能性があり、それによって V_{DS} が予期しない形で緩やかに上昇します。

SiC MOSFETは明確に定義された飽和領域内で動作しないため、定電流源とみなされません。これは問題となる可能性があります。大部分の過電流保護対策は、過電流状態が発生している間、MOSFETが非理想的な定電流源として動作することを想定しているためです。SiC MOSFETで非飽和現象が発生すると、 V_{DS} の反応は非常に低速になり、その間も増大したオン抵抗を通じて最大ドレイン電流が継続して流れます。その結果、ドレイン-ソース電圧が反応する前に、ドレイン電流が(R_{DS} が大きい間)最大定格パルス電流の10~20倍のレベルに達する可能性があります。高周波電力コンバータの場合、非飽和障害が認識される前に、多数のスイッチングサイクルが発生する可能性があります。したがって、DESATは重要かつ必須の保護機能であり、電源制御の一部になっている可能性がある過電流保護機能に加えて、ゲートドライブ回路の一部として割り当てる必要があります。

SiC MOSFETの動的スイッチング

ターンオン

SiC MOSFETのスイッチングプロフィールはSi MOSFETに非常によく似ていますが、主な違いはターンオン期間中の20Vゲートドライブ振幅で、これはターンオフ期間中にゲートをグランドより低くプルダウンする必要があることを意味します。ターンオン遷移があるので、スイッチング損失を抑えるために、SiCの内部ゲート容量を迅速に充電できる大きいピークソース電流が必要になります。1つの推定として、ターンオン現象全体が $\Delta t < 10$ ns以内に発生するものとします。このとき、 V_{GS} スイング全体は $\Delta V_{GS} = 30$ Vで、推定した $C_{ISS} = C_{GS} + C_{GD} = 1,000$ pFです。この結果、必要なピーク電流は、式(5)に従って、 $I_{G(SRC)} = 3$ Aになります。

$$I_{G(SRC)} = \frac{(C_{GS} + C_{GD}) \times \Delta V_{GS}}{\Delta t} \quad (\text{eq. 5})$$

SiC MOSFETのターンオン遷移は、Figure 5に示す4つの個別タイミング期間によって定義されます。Figure 5とFigure 7に示すタイミング間隔は、理想的なクランプ誘導性スイッチングアプリケーションで期待される値を表現したもので、スイッチング電源の動作モードを代表しています。

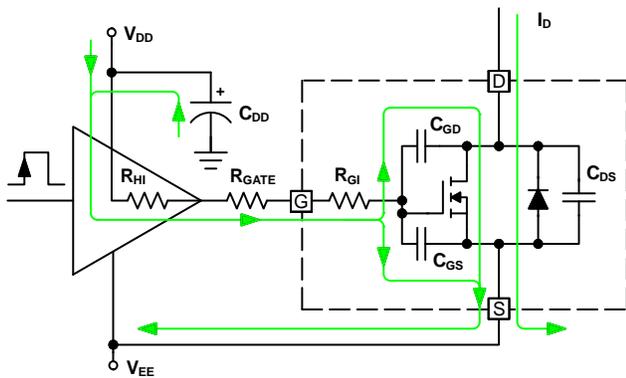


Figure 4. SiC MOSFET Source Current

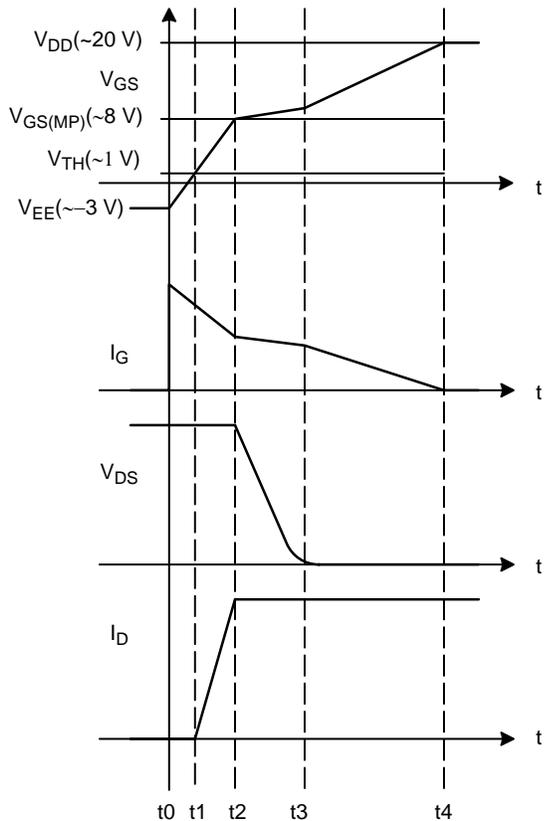


Figure 5. SiC MOSFET Turn-On Sequence

$t_0 \rightarrow t_1$: ゲートドライブ回路は瞬時的に大きなピークゲート電流 $I_{G(SRC)}$ を供給する必要があるため、 V_{GS} は V_{EE} から V_{TH} に上昇します。この電流は主にゲートドライバのバルクコンデンサ C_{VDD} に蓄積されている電荷から供給されます。 V_{GS} が V_{TH} を下回っている間 I_D と V_{DS} は影響を受けなため、この期間を「ターンオン遅延」と呼ぶことがよくあります。ゲート電流の大部分は C_{GS} と C_{GD} の充電に使用されず、Figure 4 に示す回路図から、供給側電流が R_{HI} 、 R_{GATE} 、 R_{GI} の3つの抵抗を流れることに注意してください。 R_{HI} は、ドライバソースの等価内部抵抗、 R_{GATE} はトレースインピーダンスの抵抗成分に付加的なダンピング抵抗を加えた値、 R_{GI} はSiC MOSFET の内部ゲート抵抗です。 R_{HI} と R_{GATE} は、数 Ω 単位で

ですが、SiC MOSFET の R_{GI} は数十 Ω 単位に達することがあり、高電圧Si MOSFET に比べて1桁大きくなります。これら3つの抵抗は、SiC の内部ゲート容量と組み合わせて時定数RCを形成しているため、ゲートドライブ信号の立ち上がり信号が確実に高速になるように、十分なピークゲート電流を供給する必要があります。

$t_1 \rightarrow t_2$: V_{GS} が引き続き V_{TH} から上昇してミラープラトーに達すると、低い V_{GS} では R_{DS} チャネル抵抗がフルに増大することはないので、 $R_J + R_{DRIFT}$ を通じて I_D が増加し始めます。 I_D の値が小さく R_{DS} が高抵抗状態にあるため、SiC 固有のボディダイオードはまだブロッキング状態になっていないので、 V_{DS} は自体の最大レベルにとどまります。 V_{GS} が低いと高 R_{DS} が原因で熱暴走リスクが存在するため、 $V_{GS} < 13 \text{ V}$ の状態でSiC MOSFET を動作させないようにしてください。したがって、ゲートドライブ回路が V_{TH} から $V_{GS} > 13 \text{ V}$ にできるだけ高速に遷移できるようにすることが重要です。 $I_D^2 \times R_{DS}$ 動的電力損失を最小化するために、 $V_{TH} < V_{GS} < 13 \text{ V}$ の状態で経過する時間は数ns以内にする必要があります。

$t_2 \rightarrow t_3$: V_{GS} はミラープラトー付近にあります。SiC MOSFET の場合、ミラープラトーは8 V 前後で発生します。この期間中、フル負荷電流が R_{DS} を流れ、固有のボディダイオードはもはやブロッキング状態にはないので、ドレイン電圧が低下します。チャネル抵抗は減少し続けますが、 R_{DS} は依然として R_{CH} に支配されています。フル負荷電流がMOSFET のドレインを通じて流れますが、 V_{GS} が低いこの状態で、 R_{DS} はかなり大きい値にとどまります。したがって、 V_{GS} をこの領域からできるだけ高速に遷移させることが不可欠です。この遷移速度は I_G によって支配されるので、どのゲートドライバICデータシートにも記載されているピーク定格よりも、ミラープラトー (約 $1/2 V_{DD}$) 領域におけるピークドライブ電流能力に関心を抱く必要があります。

$t_3 \rightarrow t_4$: ミラープラトーの終端付近にある $V_{GS(MP)}$ の地点で、 V_{DS} は、0 より大きい $I_D \times R_{DS}$ の値まで低下します。 V_{GS} は約 $8 \text{ V} < V_{GS} < 20 \text{ V}$ から遷移するので、チャネル抵抗 R_{CH} は減少し続け、この時点で $R_J + R_{DRIFT}$ が R_{CH} より支配的になります。その結果、 V_{DS} がそれに比例して低下します。 $V_{GS} > 16 \text{ V}$ のときは大部分のSiC MOSFET がフルエンハンス状態になりますが、 R_{DS} の最小値を最終的に決定するのは、 V_{GS} の最大値です。残りのゲート電流 I_G は分割され、 C_{GD} と C_{GS} をフル充電します。

ターンオフ

SiC MOSFET のターンオフ手順は、本質的にはここまで説明したターンオンシーケンスの逆です。ゲートドライブ回路の役割は、大量のピーク電流をシンクし、SiC MOSFET の C_{GD} および C_{GS} 容量をできるだけ高速に放電することです。さらに、MOSFET のゲートをロー状態に保持するために、ターンオフ期間中のゲートドライバのインピーダンスをできるだけ小さくする必要があります。SiC MOSFET には

低い V_{TH} が関連付けられているため、この点が特に問題になる可能性があります。これが原因で、SiCのゲートをグラウンド未満にプルダウンする必要が生じるだけでなく、ゲートドライバの電流シンク能力も、定格ソース電流よりも大幅に高くする必要があります。ゲートドライブ電流 $I_{G(SINK)}$ の流れを、Figure 6で強調しています。

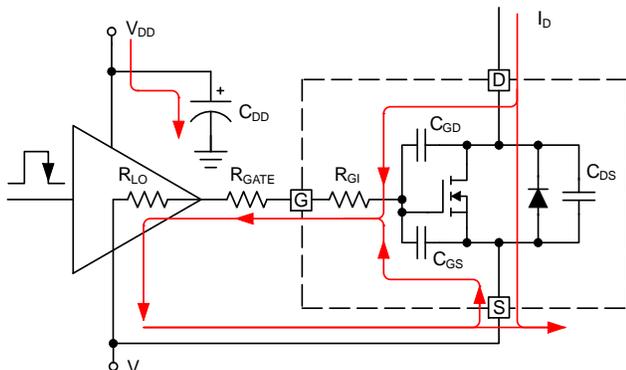


Figure 6. SiC MOSFET Sink Current

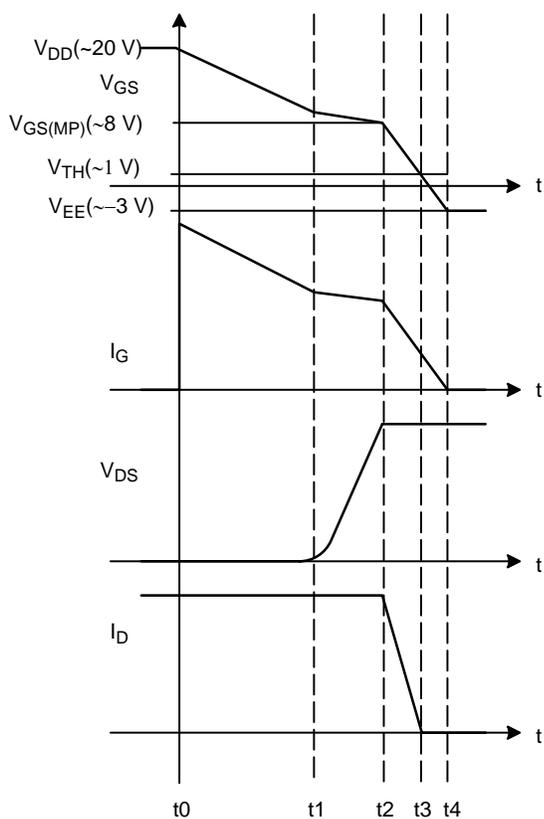


Figure 7. SiC MOSFET Turn-Off Sequence

$t_0 \rightarrow t_1$: V_{GS} は、 V_{DD} からミラープラトー $V_{GS(MP)}$ に低下します。シンク電流 $I_{G(SINK)}$ は主に C_{GD} と C_{GS} に蓄積されている電荷から供給されるのに対し、ゲ-

トドライバのバルクコンデンサ C_{VDD} は V_{DD} によって再充電されます。ドレイン電流 I_D はそのままです。 V_{GS} が低下するにつれて、チャネル抵抗が大きくなり、 V_{DS} が $I_D \times R_{DS}$ ボルトだけわずかに上昇します。 V_{DS} のわずかな上昇は、 $t_0 \rightarrow t_1$ 期間の終了付近を除いて確認するのが困難です。

$t_1 \rightarrow t_2$: この期間中、 C_{GS} コンデンサの V_{GS} はほぼ一定のため、ゲート電流の供給は C_{GD} によって支配されます。ミラープラトー全体で V_{DS} は $I_D \times R_{DS}$ から V_{DS} レール電圧まで上昇し、この電圧になるとSiC固有ボディダイオードでクランプされます。ドレイン電流 I_D は、直前の期間から変化せずそのままです。MOSFET全体で $V_{GS} < 13V$ と $V_{DS} \times I_D$ が同時に発生するため R_{DS} が増大するので、ゲートドライブ回路はこの期間中に非常に大きい電流をシンクできるだけの定格にする必要があります。ターンオフ期間中、この電流はゲートドライブ電流の一部になります。ミラープラトー領域をできるだけ高速に通過することが必須なので、ゲートドライブ電流は設計者にとって最大の関心事になります。

$t_2 \rightarrow t_3$: V_{GS} がミラープラトーから V_{TH} に向かって継続的に低下すると、この期間中に I_D は0付近まで減少します。 V_{DS} はこの時点で、SiC固有のボディダイオードによってドレイン電圧レールまでフルにクランプされており、この状況は C_{GD} コンデンサがフル充電されていることを意味します。その結果、シンク電流の大半は C_{GS} を通じて流れています。

$t_3 \rightarrow t_4$: I_D と V_{DS} は変化しないままです。最後のターンオフ期間中、SiCの内部入力コンデンサは、 V_{GS} が0V以下に低下するまではフル充電されません。 V_{TH} はわずか1V付近の低い値であり、 C_{ISS} をフル放電するには、 V_{GS} が負の電圧に達してターンオフシーケンスを完了する必要があるためです。できるだけ低いインピーダンスを実現するうえで、ゲートドライブ回路が非常に重要です。ハイサイドMOSFETが導通しているときに、大きい dV/dt によって中間点がプルアップされる高電圧ハーフブリッジ電源トポロジーの場合、特にこれが当てはまります。 dV/dt が偶発的にターンオンしないように、低インピーダンスのプルダウンが不可欠です。

要約すると、SiC MOSFETに関するターンオンおよびターンオフスイッチング状態には4つの個別期間が関係しています。Figure 5とFigure 7に示す動的スイッチング波形は、理想的な動作条件を表しています。実際には、リード端子やボンドワイヤのインダクタンスのようなパッケージ寄生成分、寄生容量、PCBレイアウトが、測定する波形に大きな影響を及ぼす可能性があります。スイッチング電源アプリケーションでSiC MOSFETの性能を最適化するためには、適切な部品の選定、PCBレイアウトのベストプラクティス、適切に設計されたゲートドライブ回路提供の重視が不可欠です。

ディスクリートSiCゲートドライバ

低いゲインを補償すると同時に、効率的で高速なスイッチングを実現すると、SiCゲートドライバ回路に対して以下の重要な要件が課されます。

1. SiC MOSFETは、+25 V/-10 Vのレンジ付近で非対称の最大/最小 V_{GS} を規定しています。ゲートドライバ回路は35 Vのフルレンジに近い値を実現する必要があり、 V_{GS} のスイングはSiCの性能上の利点を最大限に活用したものです。大部分のSiC MOSFETは、 $-5\text{ V} > V_{GS} > 20\text{ V}$ の範囲で駆動するときに最良の性能を達成します。入手可能なSiC MOSFETのうち最も広い範囲に対応するには、ゲートドライバ回路は $V_{DD} = 25\text{ V}$ および $V_{EE} = -10\text{ V}$ に耐える必要があります。
2. V_{GS} には数nsの高速立ち上がりエッジおよび立ち下がりエッジが必要です。
3. ミラープラトー領域全体で、数アンペア単位の大きなピークゲート電流を供給できる能力が必要です。
4. V_{GS} がミラープラトー以下に低下すると、非常に低いインピーダンスの維持すなわち「クランプ」により、シンク電流を流す能力が求められます。シンク電流定格は、単にSiC MOSFETの入力容量を放電するのに要求される値を上回っている必要があります。高性能

のハーフブリッジ電源トポロジーに対応するには、ピークシンク電流定格が10 A程度は必要と考えられます。

5. スwitchングを開始する前に、 $V_{GS} >$ が約16 Vに達しているという要件に合わせて、 V_{DD} の低電圧ロックアウト(UVLO)レベルを設定しておく必要があります。
6. 負の電圧レールが許容範囲内にとどまるように、 V_{EE} のUVLOモニタ機能を実装する必要があります。
7. SiC MOSFETが長期的に高い信頼性で動作するように、検出、障害報告、保護が可能な非飽和機能を実装する必要があります。
8. 高速スイッチングが実現できるように寄生インダクタンスを低減します。
9. できるだけSiC MOSFETの近くに配置できる小型ドライバパッケージを使用します。

SiC MOSFETを効率的かつ高い信頼性で駆動するという要件のため、例外なく非常に限られた種類のゲートドライバが必要になります。ただし、現在業界で公開されている大部分のリファレンスデザインは、汎用ローサイドゲートドライバを使用して設計されています。そのような例の1つをFigure 8に示します。

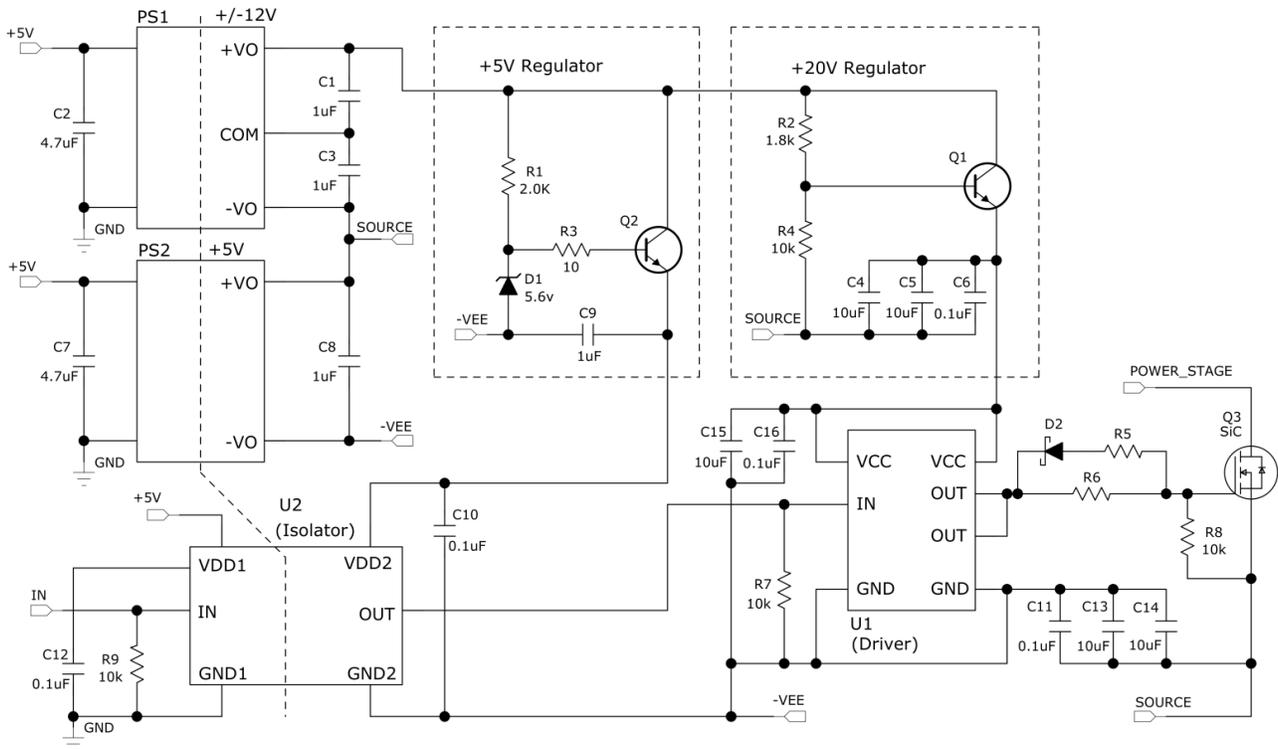


Figure 8. Standard Low-Side Driver, SiC Discrete Gate Drive Design Example

記載した回路はグラウンドに対してフロートしているため、ローサイドとハイサイドどちらを基準とするゲートドライブでも使用できます。どちらの場合でも、電力段の障害が発生した場合に、電力段で使用している高電圧から制御回路を保護する分離機能が求められます。PS1は $V_{DD} = 24\text{ V}$ (安定化後は 20 V) を供給し、PS2は $V_{EE} = -5\text{ V}$ の安定化を行うように構成して、2つの絶縁型DC-DCコンバータを使用する方法で、 V_{DD} および V_{EE} 電圧レールを供給します。これらのコンバータは、単一SiC負荷の駆動専用なので、各SiC負荷につき2個のコンバータが必要になります。ハーフブリッジ、フルブリッジ、モータドライブいずれかのアプリケーションで、上側スイッチを使用するようなハイサイドゲートドライブアプリケーションで、特にこのことが当てはまります。メインドライブ U_1 で使用する電圧は数百ボルトフロートしており、SiC MOSFETのスイッチングで生じる大きい dV/dt の影響を非常に受けやすくなっています。 $dV/dt = 100\text{ V/ns}$ と想定すると、PS1(またはPS2)トランスの絶縁バリアにわずか 1 pF の浮遊寄生容量が存在するだけで、 100 mA のピーク電流が流れます。 1 pF につき 100 mA という高い割合から、寄生容量の低減、浮遊インダクタンスの低減、 V_{EE} (および V_{DD})電圧レールとゲートドライブIC間の密接なカップリングの必要性が明らかになります。

デジタルアイソレータ U_2 は、ゲートドライブ信号を電力段から絶縁すると同時に、必要なレベルシフトも実行します。次に、 U_2 の2次側をメインドライブ U_1 への入力として使用します。 U_1 は汎用のローサイドゲートドライブですが、 25 V というフル V_{GS} 電圧振幅($-5\text{ V} < V_{GS} < 20\text{ V}$)に対処し、必要なソース/シンク電流レベルを満たす必要があります。大部分の汎用ローサイドゲートドライブは、 $V_{DD} = 20\text{ V}$ が最大定格ですが、十分なソース/シンク電流を供給できなかったり、低インダクタンスパッケージに収納されていない可能性があり、少数の選択肢に限定される可能性があります。

これらのタイプのゲートドライブは、シリコンMOSFETの駆動を意図しており、この観点からSiC MOSFETが必要とするいくつかの重要な要件を欠いています。例えば、これらのゲートドライブでは、過電流障害報告機能やDESAT監視機能はありません。また、汎用ゲートドライブのUVLOスレッシュホールドは通常、 $5\text{ V} < V_{DD} < 12\text{ V}$ を基準として定義されています。SiC MOSFETの「安全な」 V_{DD} 動作レベルはスタートアップ時に $V_{DD} > \text{約}16\text{ V}$ なので、この点は問題になる可能性があります。また、「Figure 8. Standard Low-Side Driver, SiC Discrete Gate Drive Design Example」のリファレンスデザインに示したように、 V_{EE} 電圧レールに対するUVLOモニタ機能はありません。ターンオン期間中はSiC MOSFETを低抵抗状態になるように駆動し、ターンオフ期間中はゲートをグラウンド以下に保持するのに、許容レベルを確実に実現するために、これらの電圧レールをどこかでモニタする必要があります。

Figure 8に示したソリューションは、SiC MOSFETを駆動するのに必要な機能を提供しますが、少なくとも「ディスクリットSiCのゲートドライブ」セクションの先頭に記載したゲートドライブの要件によれば、これでは不完全です。とはいえ、専用SiCドライバがないので、大半のSiCゲートドライブ回路は現時点では、この方法で設計されています。DESAT、電圧レール監視、シーケンシングなどの各種追加機能は、別の専用回路で取り扱うか、すべて無視することになります。

NCP51705 SiCゲートドライバ

NCP51705はSiCゲートドライバで、高いレベルの柔軟性と統合性を備えており、市販されているSiC MOSFETとも完全に互換性があります。NCP51705の最上位レベルのブロック図をFigure 9に示します。この中には、次のような各種汎用ゲートドライバに予期される多数の基本機能が含まれています。

1. 最大 28 V の V_{DD} 正電圧電源
2. ソース電流 6 A シンク電流 10 A の高ピーク出力電流
3. 5 V 内蔵基準電圧： 5 V バイアスへのアクセスが可能、最大 20 mA の低消費電力負荷(デジタルアイソレータ、フォトカプラ、 μC など)に電力を供給可能
4. 独立した信号グラウンド接続と電源グラウンド接続
5. 独立したソース出力ピンとシンク出力ピン
6. 内部サーマルシャットダウン保護機能
7. 独立した非反転および反転型TTL、PWM入力

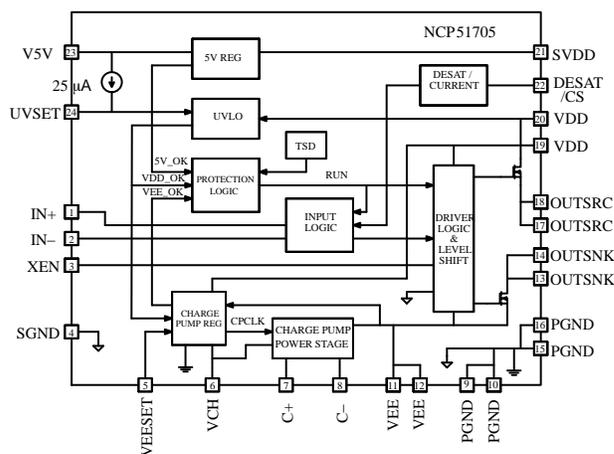


Figure 9. NCP51705 SiC Gate Driver Block Diagram

さらに、NCP51705は最小の外部部品点数で信頼性の高いSiC MOSFETゲートドライブ回路を設計するのに必要ないくつかの独自機能(「ディスクリットSiCゲートドライブ」セクションの先頭に記載)により、他の製品と差別化されています。NCP51705の差別化機能の利点について、次のセクションで詳細に説明します。

過電流保護 - DESAT

NCP51705の実装では、わずか2個の外部部品を使用するだけでDESAT機能を実現できます。Figure 10に示すように、SiC MOSFETであるQ₁のドレイン-ソース電圧はR₁とD₁を経由してDESATピンでモニタします。

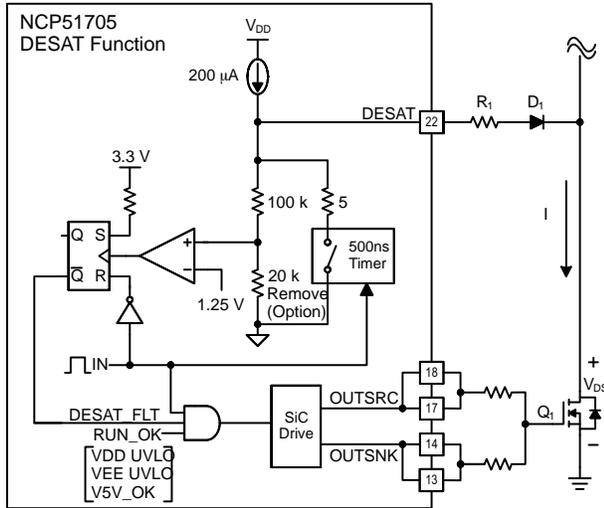


Figure 10. NCP51705 DESAT Function

Q₁がオフになっている期間中、ドレイン-ソース端子間に数百ボルトの電圧が発生する可能性があります。Q₁がターンオンした後、ドレイン-ソース電圧は急速に低下します。この高電圧から0 V付近への遷移は数百ナノ秒以下で発生すると予測されます。ターンオン遷移中、DESAT信号の先行エッジは、5 Ωの低インピーダンスプルダウン抵抗を含む500 ns タイマによってブランクになります。これにより、V_{DS}が低下する十分な時間が確保しながら、DESATが偶発的にアクティブにならないようにすることができます。500 ns経過後、DESATピンが解放され、200 μAの電流源がR₁、D₁、SiC MOSFETのオン抵抗を通じて定電流を供給します。オンタイム期間中、DESATピンの電圧が7.5 Vを超えて上昇した場合、DESATコンパレータの出力はHIGHになり、RSラッチのクロック入力をトリガします。このような障害が発生すると、Q_NOT出力の後方エッジはサイクル単位で自動的に終了します。その結果、SiC MOSFETのゲートドライブは、非飽和フォールト時間に比例する時間だけ実質的に減少します。

200 μAの電流源は、D₁両端の順方向電圧降下を予測すると同時に、SiC MOSFETのオンタイム期間中にR₁両端の電圧降下がV_{DS}から独立した値になるのに十分な大きさです。必要な場合は、DESATピンをグランドに接続すれば、DESAT保護機能を無効にすることができます。逆に、DESATピンがフローティング状態のままであったり、R₁が障害によって開路になった場合は、200 μAの電流源から20 kΩの抵抗に電流が流れ、DESATコンパレータの非反転入力に4 Vの定電圧が印加されます。この条件が発生する

と、基本的にSiC MOSFETのゲートドライブが無効になります。一部のアプリケーションは、電流センストランスを使用してドレイン電流をセンスし、DESATピンを外部から駆動することを優先する場合があります。この状況で、NCP51705が搭載するIC短絡オプションを使用して20 kΩ抵抗を取り除くことによって、DESATピンを従来型のパルス単位過電流保護機能として使用することができます。

DESATピンの電圧V_{DESAT}は、次の式(6)で決まります。

$$V_{DESAT} = (200 \mu A \times R_1) + V_{D1} + (I_D \times R_{DS}) \quad (\text{eq. 6})$$

I_Dに最大値を割り当て(さらに、追加設計マージンを付加)、ついでV_{DESAT} < 7.5 VになるようにR₁とI_Dを選択します。式(6)を変形し、R₁の解を求めると、次の式が得られます。

$$R_1 = \frac{V_{DESAT} + V_D - (I_{D1} \times R_{DS})}{200 \mu A} \quad (\text{eq. 7})$$

R₁には、上記のように許容最大V_{DESAT}電圧を設定することに加え、D₁の接合容量を通じて流れる瞬時電流を制限するという別の目的もあります。SiC MOSFETのドレイン電圧では非常に大きいdV/dtが発生するので、R₁を適切な値に設定していない場合、D₁のP-N接合容量を流れる電流が非常に大きくなる可能性があります。したがって、接合容量が最小の高速・高電圧ダイオードを選択することが優先されます。R₁の代表値は、5 kΩ < R₁ < 10 kΩ付近の範囲になりますが、選択したSiC MOSFETのI_DとR_{DS}の各パラメータに応じて異なる可能性があります。R₁が5 kΩよりはるかに小さい場合、DESATピンに流れる瞬時電流は数百ミリアンペアに達する可能性があります。逆に、R₁が10 kΩより大幅に大きい場合、R₁とD₁の接合容量の結果として生じるRC遅延が問題になります。この遅延は100 μs程に達する可能性があります。DESAT障害に対する応答に余分な遅延が生じることになります。

チャージポンプ - V_{EE} (VEESET)

NCP51705は、単一の正電源電圧で動作します。単一のV_{DD}電源電圧による動作ということは、負のV_{EE}電圧をゲートドライブICで生成する必要があることを意味します。必要な負のV_{EE}電圧レールを生成するために、スイッチトキャパシタチャージポンプを使用するのは自然な選択肢です。チャージポンプを構成するために、多様なオプションがあります。主な課題は、遷移中に高精度の電圧安定化を維持し、適切なスイッチング周波数で動作してコンデンサのサイズを低減し、外部部品点数を少なくして、コスト削減と信頼性向上を実現することです。

Figure 11に示すチャージポンプの機能ブロック図から分かるように、負のV_{EE}電圧レールの生成には3個の外部コンデンサしか必要ありません。チャージポンプの電力段は本質的に、ブリッジを構成している2個のPMOSおよび2個のNMOSスイッチで形成されています。

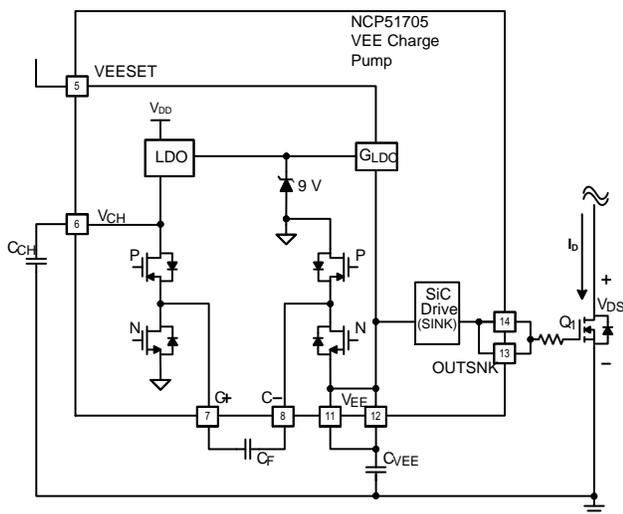


Figure 11. NCP51705 V_{EE} Charge Pump

外部フライングキャパシタC_Fは、図に示すように、ブリッジの各レッグの midpoint を接続しています。切り替えのタイミングは2個の上側PMOSデバイスが同時に導通し、C_Fの両端にV_{DD}が発生したときです。同様に、2個の下側NMOSデバイスが同時に導通し、C_Fの両端に-V_{EE}が発生したときも該当します。スイッチング周波数は内部で390 kHzに設定されており、2個の上側PMOSデバイスは2個の下側NMOSデバイスと非同期でスイッチングを行います。チャージポンプのスイッチング周波数を低減することが望ましいアプリケーションに対しては、290 kHz周波数とIC短絡オプションも使用できます。

V_{EE}はV_{CH}で設定した電圧に安定化されます。この電圧はVEESETでプログラムされる内部低ドロップアウトレギュレータ(LDO)電圧で決定されます。VEESETで発生する電圧は、内部LDOで見られるゲイン(G_{LDO})に応じて変動します。VEESETをフローティング状態にした場合(VEESETからSGNDに100 pFバイパスコンデンサの接続を推奨)、V_{EE}は-3 Vの安定化に設定されます。V_{EE}電圧が-5 Vの場合、VEESETピンをV5V(ピン23)に直接接続する必要があります。VEESETを、9 V~V_{DD}間の任意の電圧に接続した場合、V_{EE}はクランプされ、-8 Vのチャージポンプ最小電圧に安定化する設定になります。チャージポンプはV_{DD}>7.5 Vの時点で始動します。V_{EE}電圧レールが搭載している内部固定UVLOは、プログラムしたV_{EE}値の80%に設定されます。V_{DD}とV_{EE}はそれぞれ、独立したUVLO回路によって監視されているので、NCP51705は両方の電圧レールが特定のSiC MOSFET負荷にとって安全とみなされる制限範囲内に収まっていることを問題なく認識できます。

代わりに、チャージポンプを全面的に無効にすることで、0 V < OUT < V_{DD}のスイッチングを実現できます。VEESETをSGNDに接続すると、チャージポンプが無効になります。チャージポンプが無効の状態、V_{EE}をPGNDに直接接続した場合、出力は0 V < OUT < V_{DD}の範囲でスイッチングします。

VEESETがSGNDに接続される場合は、V_{EE}をPGNDに接続する必要があることに注意してください。この動作モードの間、V_{EE}の内部UVLO機能もそれに応じて無効になります。

チャージポンプを無効にする一方で、外部の負電圧V_{EE}レールの使用を可能にする別の構成も使用できます。このオプションを使用すると、-V_{EE} < OUT < V_{DD}のスイッチングが可能になり、チャージポンプがスイッチングしないため、ICの消費電力をわずかに節約できます。VEESETをSGNDに接続した状態で、外部の負電圧レールをV_{EE}とPGNDの間に直接接続できます。注意点として、VEESETが0VでV_{EE}の内部UVLOは無効になっているため、NCP51705はV_{EE}の電圧レベルが予期範囲内にあるかどうか把握していません。

この簡単なVEESET調整機能により、最小の外部部品点数で最大の柔軟性を実現するとともに、SiC MOSFETの最大幅の電圧要件を満たすことができます。便宜のために、VEESETの構成方法をTable 3に要約します。

Table 3. SEMICONDUCTOR MATERIAL PROPERTIES

VEESET	COMMENT	V _{EE}	V _{EE} (UVLO)
V _{DD}	9 V < VEESET < V _{DD}	-8 V	-6.4 V
V5V		-5 V	-4 V
OPEN	Add C _{V_{EE}} (100 pF) from VEESET to SGND	-3 V	-2.4 V
GND	Remove C _{V_{EE}} and connect VEE to PGND	0 V	NA
GND	Connect VEE to external negative voltage supply	-V _{EXT}	NA

プログラマブル低電圧ロックアウト - UVSET

ゲートドライバICのUVLO機能は、MOSFETの保護にとって重要であり、V_{DD}が既知のスレッショルドを超えるまで出力を無効にします。この機能は負荷を保護するだけでなく、印加されているV_{DD}電圧がターンオンスレッショルドを上回っていることをコントローラに確認します。SiC MOSFETには小さいg_m値が関連しているため、最適なUVLOターンオンスレッショルドは、「1つの値ですべてに適合」というものではありません。V_{DD}が小さい状況でドライバ出力がスイッチングすることを認める方針は、ヒートシンク、冷却、V_{DD}スタートアップ時間に基づき、特定のSiC MOSFETにとって有害であっても、他の製品では許容可能という場合もあります。最適なUVLOターンオンスレッショルドは、V_{DD}電圧レールの生成方法によっても異なる可能性があります。一部の電源システムは専用のハウスキーピングバイアス電源を採用している場合もあり、またFigure 13に似たV_{DD}ブートストラップ手法に依存している場合もあります。

NCP51705は、プログラマブルUVLOターンオンスレッシュホールドによってこのニーズを満たします。このスレッシュホールドはUVSETとSGND間に1本の抵抗を使用して設定できます。Figure 12に示すように、UVSETピンは内部で25- μ Aの電流源によって駆動されており、直列ゲインは6です。

UVSET抵抗である R_{UVSET} は、式(8)の定義に従い、希望のUVLOターンオン電圧である V_{ON} に合わせて選定します。

$$R_{UVSET} = \frac{V_{ON}}{6 \times 25 \mu A} \quad (\text{eq. 8})$$

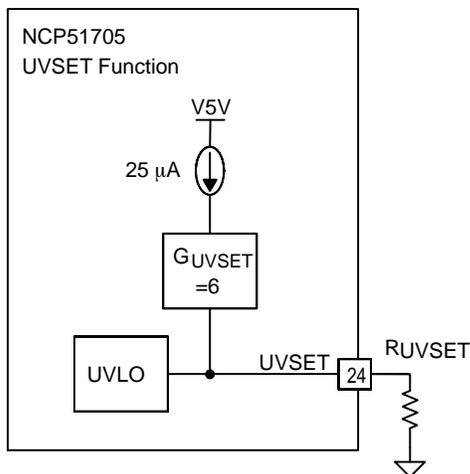


Figure 12. NCP51705 UVSET Programmable UVLO

V_{ON} の値は、通常Figure 1に示したようなSiC MOSFETの出力特性曲線から判断されます。 V_{GS} がわずかに低下しても、SiC MOSFETのオン抵抗は大きく増加するので、許容可能なUVLOヒステリシスは小さくしなければなりません。この理由から、NCP51705は1 Vの固定ヒステリシスを使用しているので、ターンオフ電圧 V_{OFF} は常に設定した V_{ON} より1 V低くなります。

専用のハウスキープバイアス電源を内蔵した電源の場合、電源システムがソフトスタートを実行する前または障害回復のため再起動する前に、 V_{DD} は目的の V_{ON} スレッシュホールドを上回ることが想定されます。このようなシステムでは、1 VのUVLOヒステリシスが望ましく、スタートアップへの配慮が原因で影響を与えることがあってはなりません。ただし、Figure 13に示すように、電源システムによっては高電圧で起動し、ついでブートストラップ巻線から送られる V_{DD} で動作するものがあります。

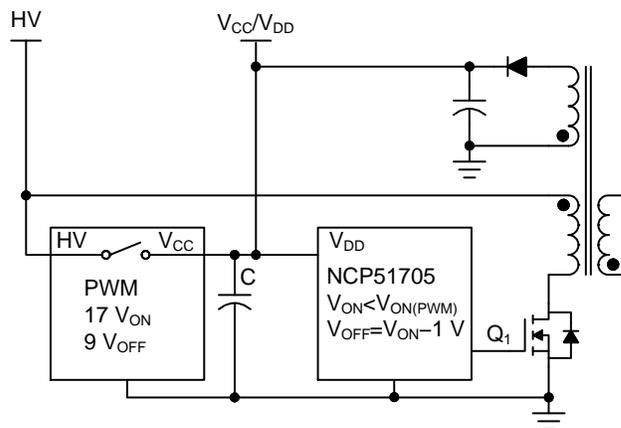


Figure 13. PWM Bootstrap Start-Up Example

高電圧(HV)スタートアップ機能を搭載し、 $V_{ON} = 17$ Vおよび $V_{OFF} = 9$ Vの固定UVLOスレッシュホールドを採用したPWMコントローラを示します。HVを印加すると、 $HV = V_{ON} = 17$ Vのときに内部パススイッチが開路になり、PWMコントローラは C_{VCC} からスタートアップ電流を引き出します。この期間中、 C_{VCC} は放電され、トランスのブートストラップ巻線で電圧を形成するために Q_1 がスイッチングを開始しなければなりません。この動作により、 R_{UVSET} を通じてプログラムできる、許容 V_{ON} に制約が課されます。UVSETは、PWMコントローラのUVLO V_{ON} より小さい値に設定する必要があります。スタートアップに関するこれらの詳細をFigure 14に図示します。ここで、PWMの電圧スレッシュホールドを青、NCP51705の電圧を赤で示します。

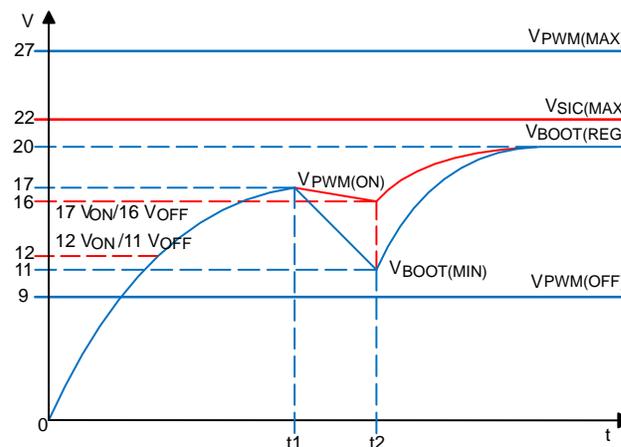


Figure 14. Bootstrap Start-Up Timing

実現可能な最大の V_{GS} でSiC MOSFETのスイッチングを行うために、PWMコントローラのUVLOターンオンに近い値に V_{ON} を設定することが望めます。この設定に伴うトレードオフは、 Δt (t_2-t_1)の期間中に電位差 $\Delta V = 1$ Vになることです。 C_{VCC} からの放電に関して、電位差が非常に小さいので、 $Q = CV$ の式でVが低下した状況でQを大きくするには大容量コンデンサが必要です。例えば、スタートアップ電流が1 mAと仮定すると、 $\Delta t = 3$ ms、 $\Delta V = 1$ Vになり、 C_{VCC} として、3 μ Fのコンデンサが1個必要になります。逆に、 V_{ON} を、最小ブートストラップ放電電圧 $V_{BOOT(MIN)}$ より1 V高い値に設定した場合、 C_{VCC} はより大きい電位差 ΔV (17 V - 11 V)にわたって放電できるので、はるかに小さい容量のコンデンサを使用できます。同じ電流値の1 mAを想定すると、 $\Delta t = 3$ msになり、 $\Delta V = 6$ Vを許容すると、必要なコンデンサ値 C_{VCC} は500 nFに減少します。つまり比率は1/6です。ただし、 $V_{GS} = 11$ VでSiC MOSFETがスイッチングすると、かなり大きなペナルティが課される可能性があります。明らかに、スタートアップ前にNCP51705にバイアスを印加するのが望ましい手法になります。

デジタル同期と障害報告 - XEN

XEN信号は、 V_{GS} の逆数に相当する5 Vのデジタル表現です。ドライバの「ステータス」を報告する目的として、この信号はSiCのゲート電圧から派生し伝播遅延が大幅に減少しているので、PWM入力よりも高精度と考えられます。この信号の意図は、ハーフブリッジ電源トポロジーでフォールトフラグとして使用したり、またクロス導通(オーバラップ)保護機能を実装するための基準となる同期信号として使用することです。XENがHIGHのときは常に、 V_{GS} はLOWであり、SiC MOSFETオフになります。したがって、XENとPWM入力信号の両方がHIGHの場合、フォールト条件が検出され何らかの対処が望ましい場合は、デジタル形式で対処方法を割り当てることができます。

パッケージ

WBG半導体の登場により、高電圧コンバータを、低電圧(100 V未満)スイッチング周波数にかなり近い周波数で動作させることが可能になりました。低電圧コンバータの場合、今日見られるスイッチング性能を達成するうえで、半導体パッケージの進化が重要な役割を演じました。リードレスパッケージは、シリコンMOSFETパッケージの進化に伴って、両面放熱、クリップボンディング、熱特性に優れたパワーパッケージ、低インダクタンスなどの特長を実現しています。同様に、ゲートドライバICパッケージのサイズも大幅に縮小されました。ドライバ側で寄生インダクタンスを最小化するには、ダイとリード端子の距離短縮やボンドワイヤ接続を、モールドリードレスパッケージ(MLP)で実現することが重要です。ドライバとMOSFETの共通パッケージ化(DrMOS)は、寄生インダクタンスの低減、効率向上、ボード面積の縮小を目指す最新ステップです。

DrMOSのような進歩が可能になったのは、対応する低電圧化によるものです。

高電圧コンバータの分野では、浴面および空間距離などの最小間隔要件のために、高性能SiC MOSFETがTO-220やTO-247などの低性能パッケージにとどまっていた。これらのパッケージには豊富な実績があり、長年にわたって業界標準となってきました。これらは各種産業分野アプリケーションに最適で、堅牢性とヒートシンクが容易という利点がありますが、リード端子や内部ボンドワイヤが長くなるため寄生インダクタンスが大きくなります。SiC MOSFETは現在、このような寄生インダクタンスが原因で、高電圧シリコントランジスタが想定していなかった熱ストレス、周波数、 dV/dt レートに直面しています。あえて言うならば、SiCは高電圧ディスクリートパッケージの再考を促しています。

ディスクリート部品の場合は該当しませんが、SiCゲートドライバは、低電圧コンバータ向けドライバでも同じパッケージングの進歩をフルに活用することができます。NCP5170のダイは、Figure 15に示すように熱特性に優れた 4×4 mmの24ピンMLPパッケージに収納されています。

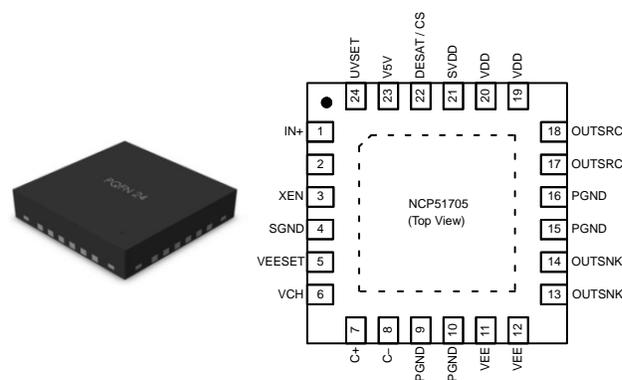


Figure 15. NCP51705 24 pin, 4 x 4 mm, MLP Packaging and Pin Out

大電流を流すパワーピンはすべて、2本実装の形でICの右半分に配置されています。ピンの2本実装に加えて、内部でも2本のボンドワイヤを使用して2本のピンをダイに接続する方法で、可能な最小のインダクタンスを達成しています。低電力のデジタル信号はすべて1本実装の形でICの左半分に配置され、PWMまたはデジタルコントローラへの便利で直接的なインタフェースを提供しています。

NCP51705パッケージの底面には、電気的に絶縁された熱伝導型の露出パッドがあります。このパッドはPGNDやSGNDには接続されておらず、放熱のためにサーマルビアを通して絶縁された銅箔PCBランドに接続するためのものです。

放熱が問題になる場合、消費電力に関する次の4つの支配的要因に特に注意する必要があります。

1. 外部SiC MOSFETの駆動には、OUTSRCとOUTSNKの損失が関連します。

これらはゲート電荷に関連する損失であり、

スイッチング周波数に比例します。
スイッチング周波数を下げると、消費電力が減少します。

2. V_{DD} と $V5V$ の間にあるLDOは、最大20 mAの電流を供給できます。
 $V5V$ にデジタルアイソレータやフォトカプラへのバイアス供給以外の負荷を与えないでください。
3. V_{DD} と V_{CH} 間にあるLDOは内部チャージポンプの一部です。
4. 「チャージポンプ・ V_{EE} (VEESET)」セクションで説明したように、内部チャージポンプの電源スイッチを無効にし、外部負電源バイアスに置き換えることができます。

システム性能

$V_{DD} > 7\text{ V}$ の場合、設定したUVLOスレッシュホルドを超えるまで、静止電流は直線的に増加します。Figure 16に示した青い線は、入力印加されていない(スイッチングなし)、 $V_{DD(UVLO)} = 12\text{ V}$ 、 $V5V$ レギュレータが無負荷の場合における V_{DD} と I_{DD} の関係を示します。 $7\text{ V} < V_{DD} < 22\text{ V}$ の場合、 I_{DD} の測定値は $0.6\text{ mA} < I_{DD} < 2.3\text{ mA}$ の範囲内でした。中間にあるほぼ平坦な線は、 V_{DD} がUVLOスレッシュホルドを超え、 I_{DD} 電流が約1 mA増加することを示しています。

赤い線は、内部チャージポンプを無効にした状態で、100 kHz、50%のパルス入力を $IN+$ に印加した状況を示しています。代表的なSiC MOSFETの等価入力である、 $4.99\ \Omega + 2.2\text{ nF}$ 負荷を使用しました。外部のソース抵抗とシンク抵抗は $3\ \Omega$ でした。 $12\text{ V} < V_{DD} < 22\text{ V}$ の場合、 I_{DD} の測定値は $3.7\text{ mA} < I_{DD} < 5.5\text{ mA}$ の範囲内でした。

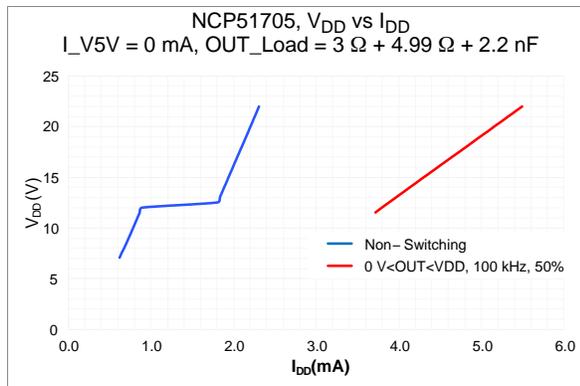


Figure 16. V_{DD} versus I_{DD} , Non-Switching versus Switching

Figure 17に示すスタートアップ波形は、 V_{DD} の印加より前に $IN+$ が発生していることを表しています。 V_{DD} は0 Vから20 Vに上昇します。このときUVSET = 2 V(図示せず)であり、 $V_{DD(UVLO)} = 12\text{ V}$ と同じことを意味します。 V_{EE} は-5 Vで安定化するように設定されており、VEESET = $V5V$ (図示せず)は、 $V_{EE(UVLO)} = -4\text{ V}$ と同じことを意味します。 $V_{EE} =$

-4 Vのとき、 $V_{DD} > 12\text{ V}$ ($V_{DD} = 15\text{ V}$)でも出力は有効になります。また、ほぼ100 μs にわたって、OUT (V_{GS})が20 V未満であることにも注意してください。 V_{DD} スタートアップの dV/dt レートに応じて、この時間はより長くなる可能性があります。したがって、UVSETをプログラムするときはSiC MOSFETの熱的ストレスを考慮する必要があります。

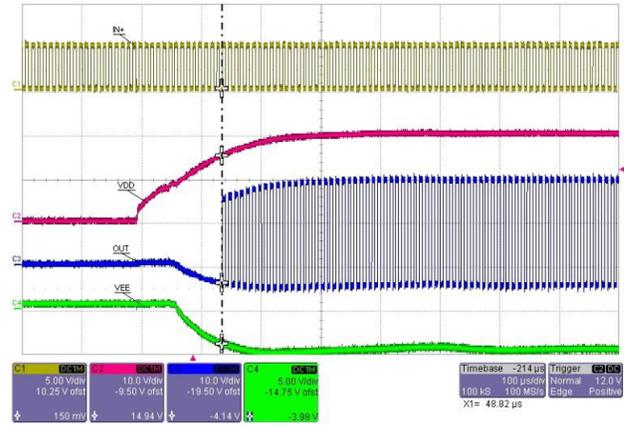


Figure 17. CH1- $IN+$, CH2- V_{DD} , CH3- OUT , CH4- V_{EE} ; $V_{DD(UVLO)} = 12\text{ V}$, $V_{EE(UVLO)} = -4\text{ V}$

Figure 18に同じスタートアップ波形を示しますが、このときはUVSET = 3 V(図示せず)であり、 $V_{DD(UVLO)} = 18\text{ V}$ と同じことを意味します。この場合、 $V_{DD} = 18\text{ V}$ のとき、 $V_{EE} < -4\text{ V}$ ($V_{EE} = -5\text{ V}$)ですが、OUT (V_{GS})は有効になります。どのUVLOが支配的になるかは、 V_{DD} と V_{EE} を組み合わせたときの dV/dt レートによって決まります。重要なポイントは、 V_{DD} が対応するUVLOスレッシュホルドを上回り、かつ V_{EE} が対応するUVLOスレッシュホルドを下回るまでは、NCP51705の出力が無効になることです。Figure 17に比べて、より高いUVLO設定値がOUT (V_{GS})に影響を及ぼし、最初のOUTパルスが20 Vおよび-5 V付近で発生することに注意してください。

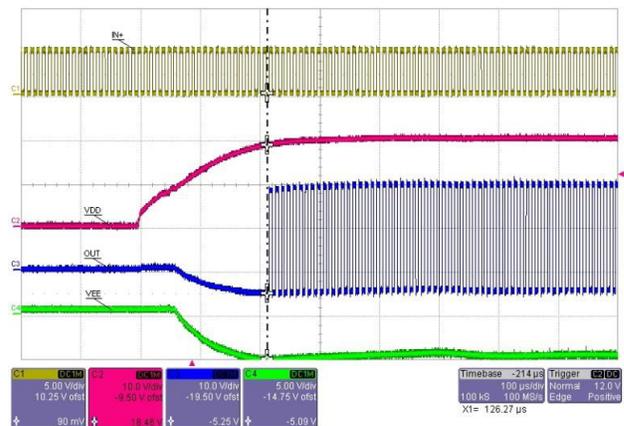


Figure 18. CH1- $IN+$, CH2- V_{DD} , CH3- OUT , CH4- V_{EE} ; $V_{DD(UVLO)} = 18\text{ V}$, $V_{EE(UVLO)} = -4\text{ V}$

NCP51705の内部チャージポンプの制御ループは低速であり、その影響はFigure 19に示すように、 V_{EE} のスタートアップ中に観測されるわずかなアンダシュートと400 μ sまでの補正という形で現れます。400 μ s経過後は、 V_{EE} 電圧は-3 V、-5 V、または-8 Vの安定化設定ポイントに整定します。

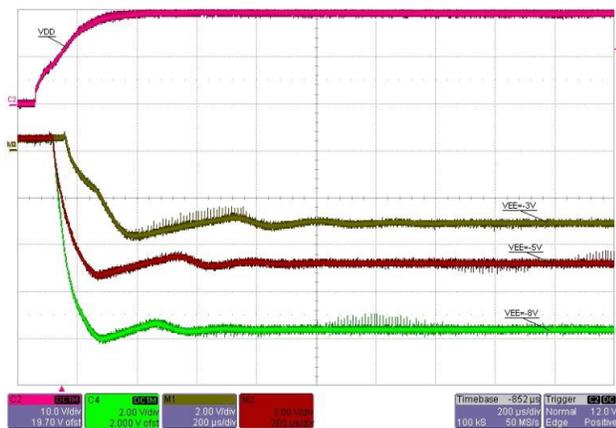


Figure 19. V_{EE} Start-Up

シャットダウン動作はグリッチのない平滑な挙動です。Figure 20に示すように、OUTのスイッチングが収まり、負荷が接続されていない V_{EE} に追従します。 V_{EE} が-5 Vから0 Vに達する放電時間は約300 msです。

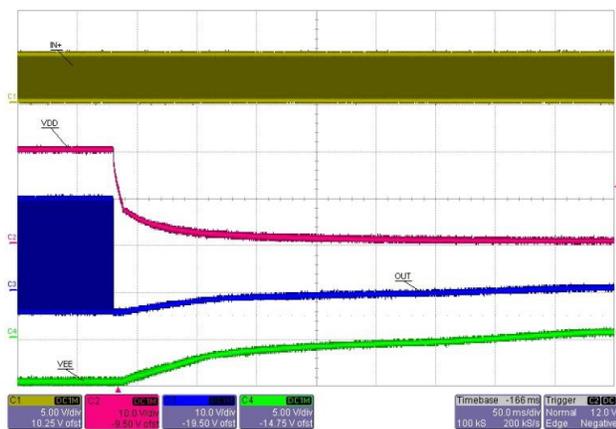


Figure 20. CH1-IN+, CH2- V_{DD} , CH3-OUT, CH4- V_{EE} ; Shut-Down

Figure 20の時間軸を拡大した表示をFigure 21に示します。UVSETは3 Vに構成されており($V_{DD}(UVLO) = 18$ V)、 V_{DD} の内部UVLOヒステリシスは内部で1Vに固定されています。出力が無効のとき、 $V_{EE} = -4.5$ V ($V_{EESET} = 5.5$ V)にもかかわらずUVLOが-4 Vに設定されているため、この電圧は引き続きアクティブでカーソル位置は、 $V_{DD} = 17$ V (18 Vから1 Vのヒステリシスを減算)という値を明らかにしています。 V_{DD}

の減衰は低速ですが、UVLO_OFF後にスプリアスパルスやグリッチなしで、最後の出力パルスのクリーンな終了も観察できます。

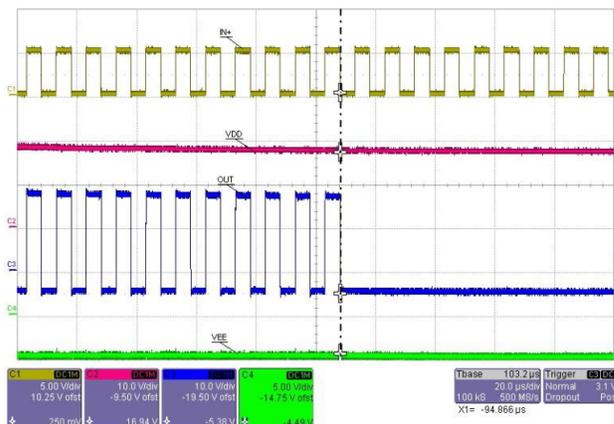


Figure 21. CH1-IN+, CH2- V_{DD} , CH3-OUT, CH4- V_{EE} ; Shut-Down, $V_{DD_UVLO}(OFF) = 17$ V

ターンオン伝播遅延は、IN+の立ち上がり90%時点からOUTの立ち上がり10%時点までの間隔で測定されます。SiCドライバはより高い V_{DD} で動作しますが、大半のMOSFETの伝播遅延は $V_{DD} = 12$ V時の1 nF負荷のスイッチングで規定されています。Figure 22に、これらの標準的なテスト条件下で測定したターンオン伝播遅延が19 nsであることを示しています。

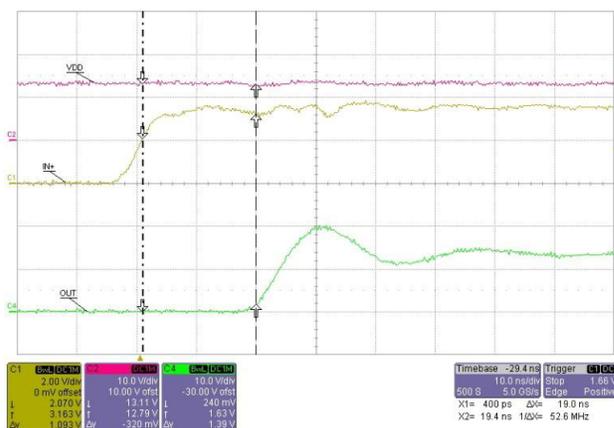


Figure 22. CH1-IN+, CH2- V_{DD} , CH3-OUT, CH4- V_{EE} ; Rising Edge Prop Delay

同様に、ターンオフ伝播遅延はIN+の立ち下がり10%時点からOUT立ち下がり90%時点までの間隔で測定されます。Figure 23は、同じ標準的なテスト条件下で測定したターンオフ伝播遅延が22 nsであることを示しています。各エッジの出力立ち上がり時間と立ち下がり時間は約5 nsです。

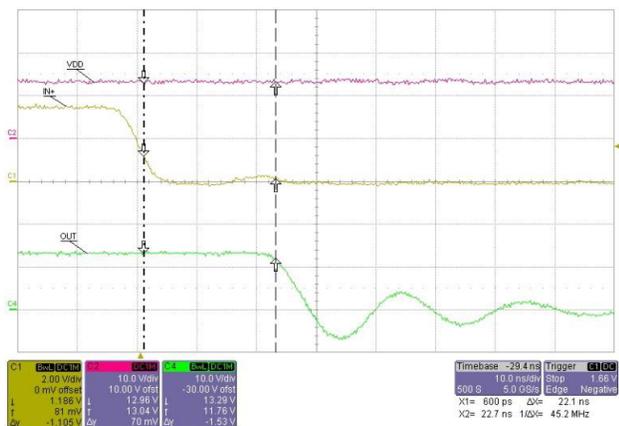


Figure 23. CH1-IN+, CH2-V_{DD}, CH4-OUT;
Falling Edge Prop Delay

DESATとXENの波形をそれぞれFigure 24とFigure 25に示します。テストはICの検証のみ(電力段なし)を目的として実施したので、100 pFの固定コンデンサがDESATピンに接続されています。Figure 24に記載した波形は、DESATが7.5 Vのスレッシュホールドを下回っており、通常動作時に出力がスイッチングしていることを示しています。IN+周波数が低下すると(オンタイムで増加)、100 pFのDESATコンデンサはより高い電圧への充電が許可されます。これをFigure 25に示します。ここで、DESAT電圧は7.5 Vのスレッシュホールドに達しています。入力電圧がLOWに切り替わる前に、出力の後方エッジが終了します。電位差の小さいDESATの立ち上がりを使用して、OUTパルスの終了時にグリッチが発生していないことを強調しています。スイッチング電源アプリケーションでは、高周波ノイズフィルタリングのために、DESATピンで小容量(100 pF未満)の外部コンデンサを使用することができます。

XEN信号はOUT信号の反転です。ドライバが通常状態とDESATフォールト状態のどちらで動作している場合でも、XEN信号が反転OUT信号を正確に追従していることが図示されています。

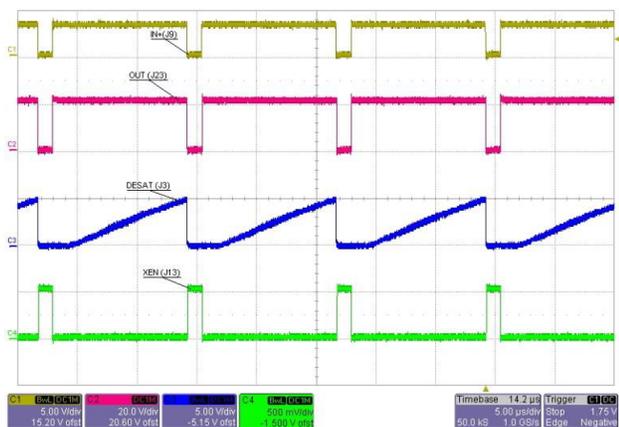


Figure 24. CH1-IN+, CH2-OUT, CH3-DESAT,
CH4-XEN; V_{DESAT} < 7.5 V

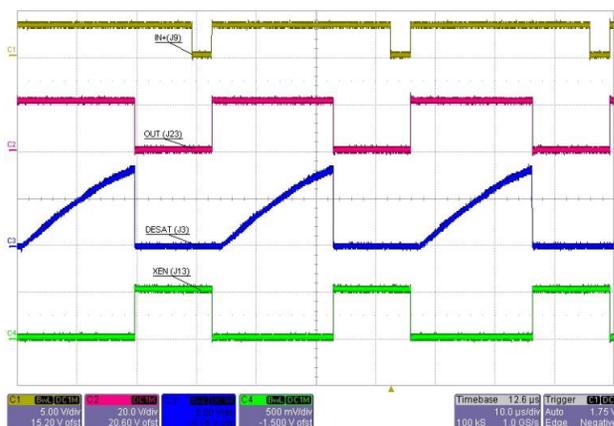


Figure 25. CH1-IN+, CH2-OUT, CH3-DESAT,
CH4-XEN; V_{DESAT} = 7.5 V

アプリケーション

SiC MOSFETは現在IGBTが使用されているあらゆるアプリケーション分野で応用できます。より一般的な用途として、高電圧のスイッチング電源、ハイブリッド車や電気自動車用の充電器、電気鉄道輸送、溶接機、レーザー、産業用機器、高温動作が重要な環境を挙げることができます。SiCにとって特に興味深い2つの分野は、インバータと高電圧データセンタです。DCの高電圧化は、配線の太さ、ジャンクションボックス、相互接続のサイズ縮小に役立ち、最終的に導通損失の最小化によって効率向上を実現します。ほとんどの大規模太陽光発電システムは現在、1 kVのDCバスで動作しており、トレンドは1.5 kVバスに向かっていきます。同様に、380Vの配電網を使用しているデータセンタは、DC電圧を最大800 Vまで増幅することができます。

NCP5170を採用するいくつかの基本的なアプリケーション例を以下に示します。

ローサイドスイッチング

Figure 26に、NCP51705をローサイドスイッチングアプリケーションで使用した最上位レベルの回路図を示します。絶縁は図示されていないので、コントローラとドライバ間で直接インタフェースを確立していますが、このような接続が常に許容されるとは限りません。この回路図は、いかに少ない外部部品点数で、信頼性と堅牢性が高いフル機能のSiCゲートドライブ回路を実現できるかを示している点で興味深いものです。また、必要なのは単一VDD電圧レベルですが、「ディスクリートSiCのゲートドライブ」セクションで説明したディスクリートゲートドライブのスプリアス電流パルスを防止するために、定格を50 V/ns以上にする必要があります。専用の補助ハウスキーピング電源からVDD電圧レベルを供給している場合は、1次側と2次側間の浮遊容量が非常に小さいトランスを設計するために特別な注意が必要です。

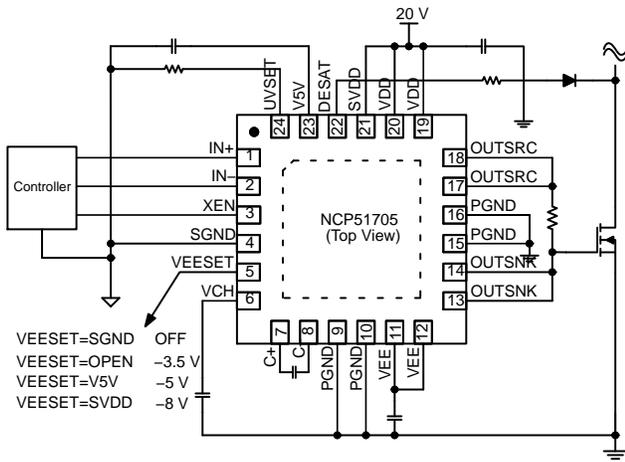


Figure 26. Low-Side Switching Example

ハーフブリッジの概念

SiC MOSFETのより現実的な使用法を、Figure 27に示すようなハーフブリッジ電源トポロジーで見ることができます。大電力アプリケーションは、ハイサイドとローサイドの両方で絶縁型ドライバを優先する傾向があります。これは暗黙的に2個のデジタルアイソレータを必要とすることを意味します。絶縁境界をまたぐIO量によっては、このようなアプリケーションに対して2次側制御に関して熱心な議論がなされる場合があります。次の簡潔な例では、IN+とIN-(イネーブル)の2つの信号だけがデジタルコントローラから供給され、XENはNCP51705からリードバックされます。XENは、ゲートドライブタイミング、クロス導通防止、デッドタイム調整、フォールト検出を開発するためのタイミング情報の基礎として使用できます。加えて、温度感知、熱管理(フ

アン制御)、上位レベルのフォールト応答もデジタルコントローラで行うことができます。Figure 27に示すように、NCP51705からのV5Vを使用して、各デジタルアイソレータの2次側に電力を供給できます。

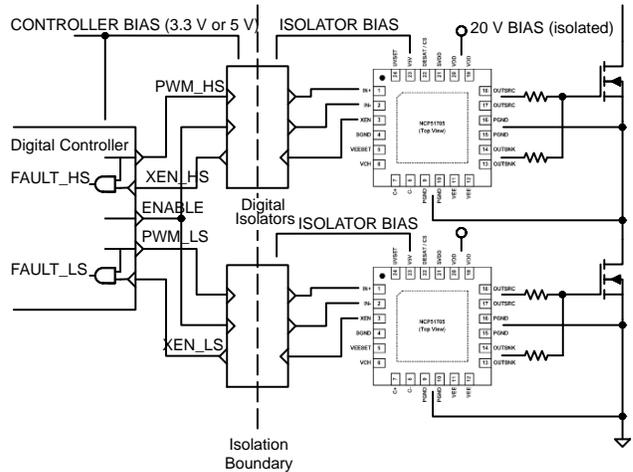


Figure 27. Half-Bridge Concept

擬似共振(QR)フライバック

NCP1340B1コントローラとNCP51705 SiCドライバを使用して、 $300\text{ V} < V_{IN} < 1\text{ kV}$ の広い入力範囲で動作する100 WのQRフライバックコンバータを設計しました。このクラスのコンバータは一般に、太陽光発電や工業用アプリケーションで見られますが、IGBT電力段をベースとしている場合、スイッチング周波数は65 kHz程度になります。Figure 28に示す回路図はQRフライバックです。 $V_{IN} = 300\text{ V}$ で、周波数は100%~25%の負荷に応じて $377\text{ kHz} < F_S < 430\text{ kHz}$ の範囲で変動します。

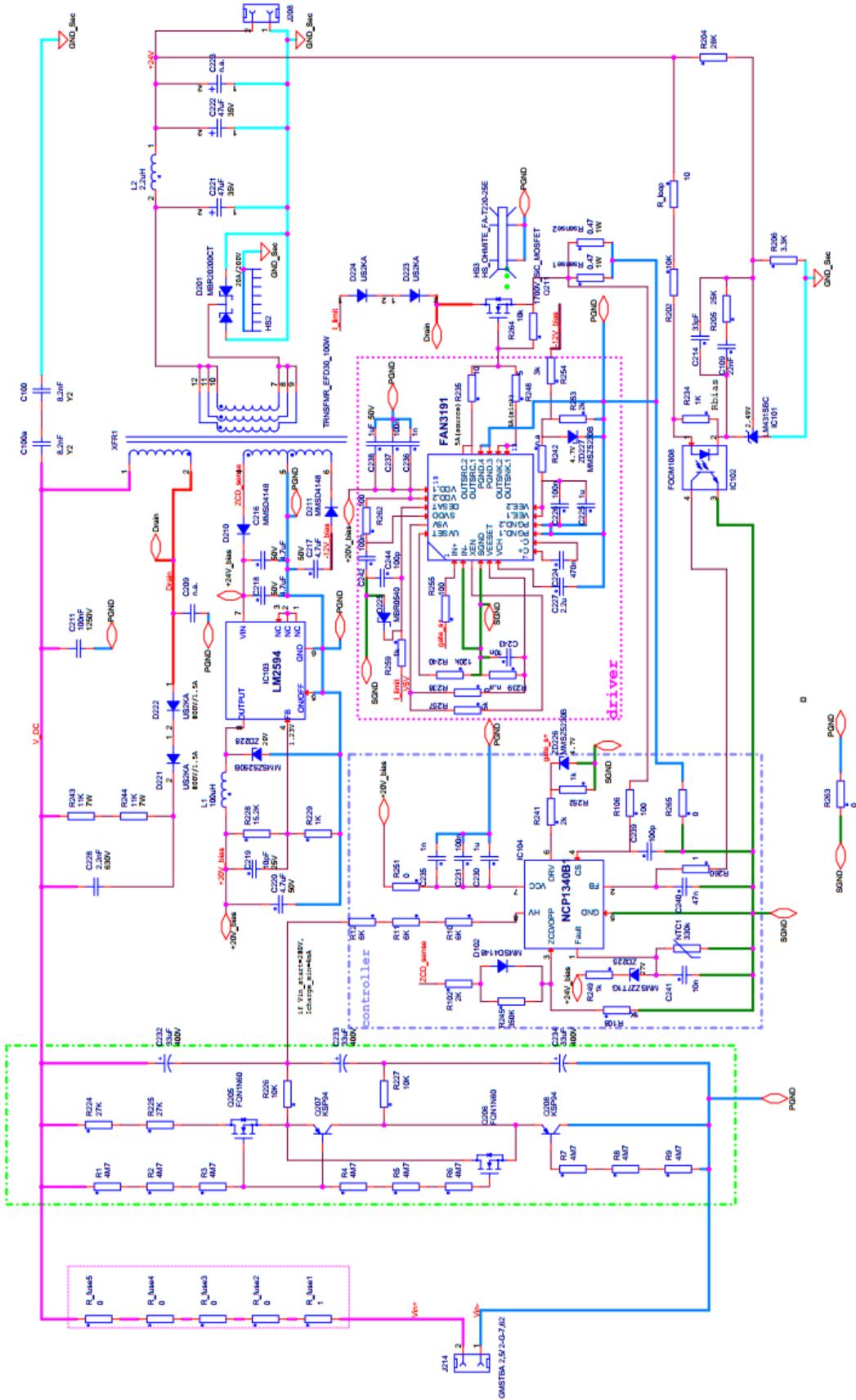


Figure 28. 1000 V to 24 V, 100 W, 400 kHz, QR Flyback

$V_{IN} = 300\text{ V}$ の場合、ドレイン-ソース電圧の波形は、入力電圧と反射された出力電圧の和になります。Figure 29に示す波形は、フルデューティサイクル動作 ($V_{IN} = 300\text{ V}$)で動作するコンバータに対応しており、SiC MOSFETのドレイン-ソース間に720 Vの電圧が発生します。 V_{DS} の立ち上がり遷移は約30 nsであり、 $dV_{DS}/dt = 24\text{ V/ns}$ と同じことを意味します。NCP1340B1のQR制御を使用すると、 V_{DS} の立ち下がりエッジで、ソフトな共振遷移とバレースイッチング(最小 V_{DS} 共振での「擬似ZVS」ターンオン)を実現できます。このことは青い波形で明確で確認できます。QRフライバックはローサイド専用アプリケーションであり、 dV_{DS}/dt の立ち下がりエッジは共振型なので、SiC MOSFETが $0\text{ V} < V_{GS} < 20\text{ V}$ の範囲において高い信頼性でスイッチングできます。ただし、Figure 28に示すデザインは $-5\text{ V} < V_{GS} < 20\text{ V}$ の範囲でスイッチングするように設計されており、わずかなゲート電荷の増加という小さな犠牲を払うことで、より堅牢なスイッチングを実現します。

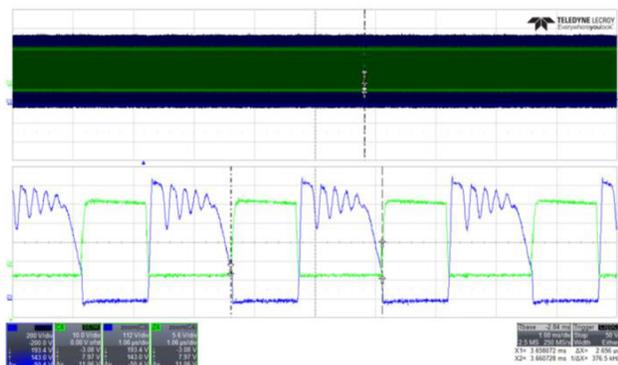


Figure 29. CH3 = V_{DS} , CH4 = V_{GS} ; $V_{IN} = 300\text{ V}$, $V_{OUT} = 24\text{ V}$, $I_{OUT} = 4\text{ A}$, $F_S = 377\text{ kHz}$

NCP5170の顧客向け汎用EVB

新規または既存の設計におけるNCP51705の性能評価を目的として、汎用の評価ボード(EVB)が設計されました。このEVBに電力段は含まれておらず、また特定のトポロジー専用ではないことから汎用的なものです。ローサイドまたはハイサイドのどのスイッチングアプリケーションにでも使用できます。ブリッジ構成の場合、トータムポールタイプのドライブ構成で、これらのEVBを各SiC MOSFETに2枚またはそれ以上使用することができます。このEVBは、アイソレータ + ドライバ + TO-247ディスクリートモジュールと考えることができます。EVBの回路図をFigure 30に示します。

注目点は非常にコンパクトな設計となっており、TO-247 SiC MOSFETのリード端子をプリント基板(PCB)に直接接続できることです。Figure 31に、EVB

の上面図と底面図を1枚の画像に掲載したほか、サイズ比較の目的でTO-247パッケージも並べています。

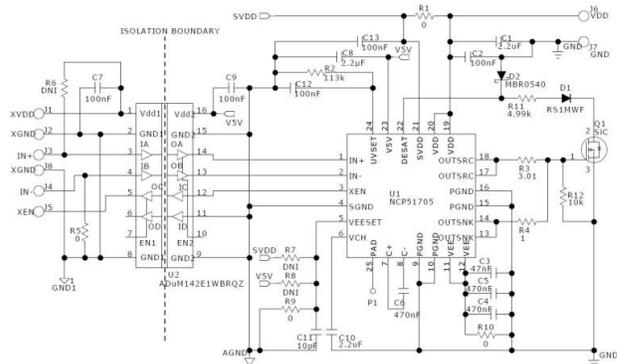


Figure 30. NCP5170 Mini EVB Schematic

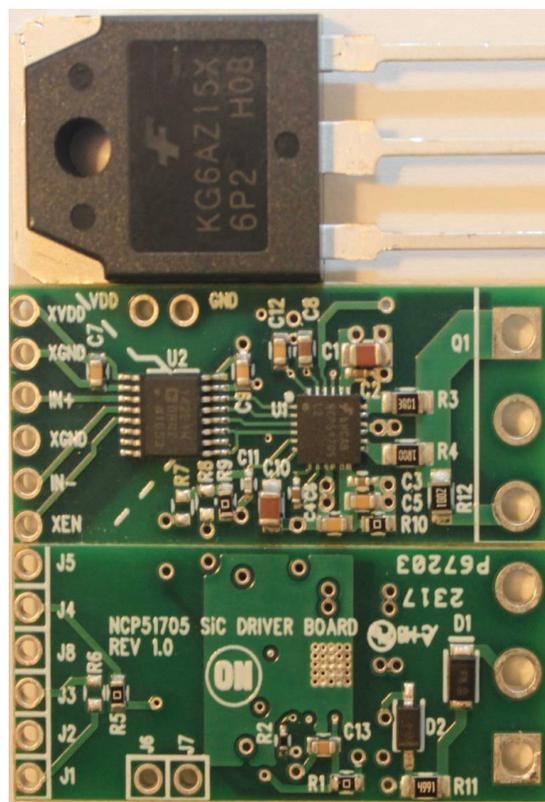


Figure 31. NCP5170 Mini EVB – Top View (35 mm x 15 mm)

既存の電源設計にマウントし、TO-247の前面に使用可能なPCB領域が存在する場合、Figure 32に示すようにメイン電源ボードにEVBを水平に取り付けることができます。可能な場合、この方法が都合の良いマウント方法になります。

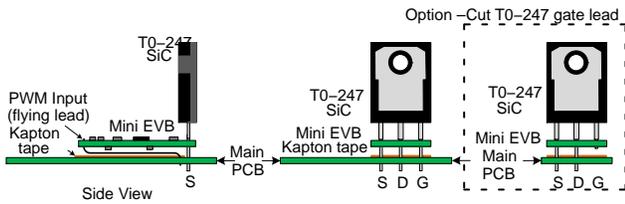


Figure 32. Horizontal EVB Installation

メイン電源ボード上に大きな部品があって水平に実装できない場合、第二の選択肢は、EVBをメインボードに対して垂直に取り付け、T0-247パッケージと平行になるようにするか、少し角度を付けるようにします。この取り付け方法は、ドライバがT0-247のドレインタブから放出されるdV/dtの近くになるため、最良とは言えません。どちらの場合も、T0-247パッケージの背面タブは露出したままであり、必要に応じてヒートシンクを取り付けることもできます。取り付け方法と動作の詳細は、『EVB User Guide』に掲載されています。

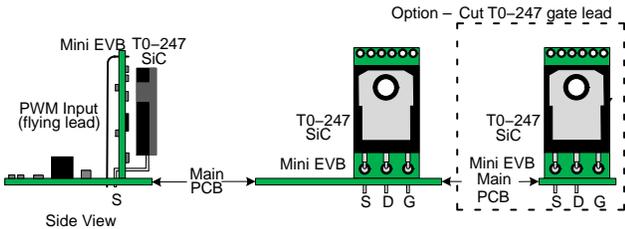


Figure 33. Vertical EVB Installation

EVBは正論理入力であるPWM信号を受け入れるように初期設定されています(IN-はGND1に接続)。ただし、希望に応じてIN-をアクティブインエーブルとして簡単に使用するか、あるいは反転論理入力として再設定することもできます。ドライバの出力は、 $0V < V_{OUT} < V_{DD}$ の範囲でスイッチングするように事前設定された状態で出荷されます。VEESETを再設定してVEEを-3V、-5V、-8Vの切り替えに、すべての接続と抵抗ブレースホルダを使用できます。最後に、UVSETオプションは17Vターンオン動作を行うように事前プログラムされていますが、この値はSiC MOSFETにとって安全なレベルと考えられます。

パラメトリック性能

MOSFETとIGBTはよく知られたダブルパルス試験プラットフォームを使用して、パラメトリック特性評価が実施されます。ダブルパルス試験方法は、本質的に被試験デバイス(DUT)とみなされるローサイドSiC MOSFETのゲート-ソース間に2つのパルスを印加します。Figure 34に示すような、クランプ誘導性スイッチング回路に接続されているソケットに、DUTを挿入します。

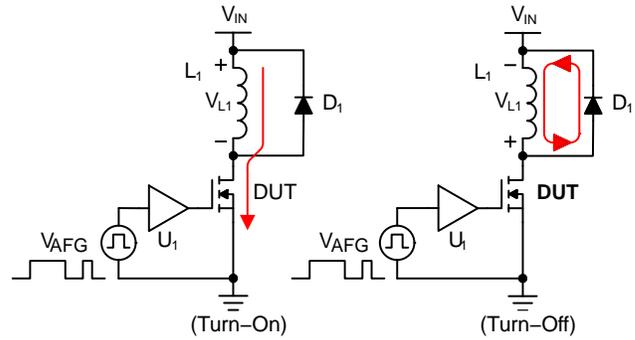


Figure 34. Double Pulse Test Circuit and Waveforms

目的のピークドレイン-ソース電流を達成できるように、最初のパルスのオン時間を調整します。オフ期間中、つまりフリーホイーリング期間中も I_{L1} がおおむね一定の値にとどまるように、インダクタを十分大きくしオフ時間を十分短くします。その後、同じ振幅のドレイン-ソース電流で2番目のより短いパルスを実加します。この試験方式により、動的スイッチング、パラメトリック性能、デバイス間のベンチマーキングを確立するのに必要な I_D および V_{DS} の精密な制御が可能です。

ダブルパルス試験方式は、ゲートドライバ性能の特性評価にも使用できます。SiC、つまりDUTを固定したまま、さまざまなゲートドライブ回路を U_1 として特性評価すると、その組み合わせが新しい「DUT」になります。Figure 30およびFigure 31に示すNCP5170 EVBと、Figure 35に示す簡潔なフォトカプラゲートドライブの間で、dV/dtとdI/dtの各スイッチング性能を比較しました。

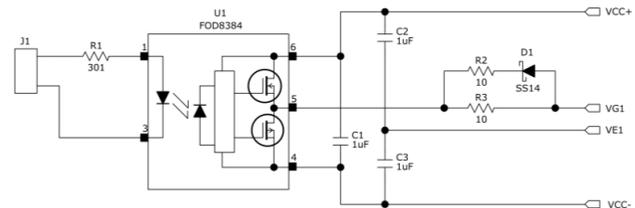


Figure 35. FOD8384 SiC Opto Gate Drive Circuit

FOD8384 フォトカプラドライバは、最大30 Vの V_{DD} バイアスに耐えることができ、 $-5\text{ V} < V_{GS} < 20\text{ V}$ のスイッチングに最適となっています。Figure 8に示した例に似ていますが、FOD8384ドライバは完全なSiC MOSFETゲートドライブ回路ではありません。したがって、2つの回路の間で機能は同等ではなく、試験結果と比較は動的スイッチングにのみ限定されます。

比較のために、両方の回路で測定した V_{GS} の立ち上がり波形と立ち下がり波形をそれぞれFigure 36とFigure 37に示します。どちらの回路も $1\ \Omega$ のソースゲート抵抗とシンクゲート抵抗を使用しています。これらのゲートドライブのエッジは、 V_{DS} が600 Vで、 I_D が30 Aのときに、1.2 kVのSiC MOSFETを駆動する状態を示しています。NCP51705の場合、 V_{GS} の立ち上がりエッジは、 $-5\text{ V} < V_{GS} < 10\text{ V}$ では純粋な抵抗性を示し、その後 $10\text{ V} < V_{GS} < 20\text{ V}$ では容量性RCが充電されます。これはNCP51705の6 Apkの電流供給とFOD8384の1 Apkの電流供給の比較を示すものです。結果として、NCP51705の V_{GS} 立ち上がり時間は37.5 nsであり、同じ試験条件下でのFOD8384の57.6 nsというスイッチング特性と比較できます。同様に、NCP51705の V_{GS} 立ち下がり時間は25.2 nsであり、FOD8384の34.5 nsと比較できます。

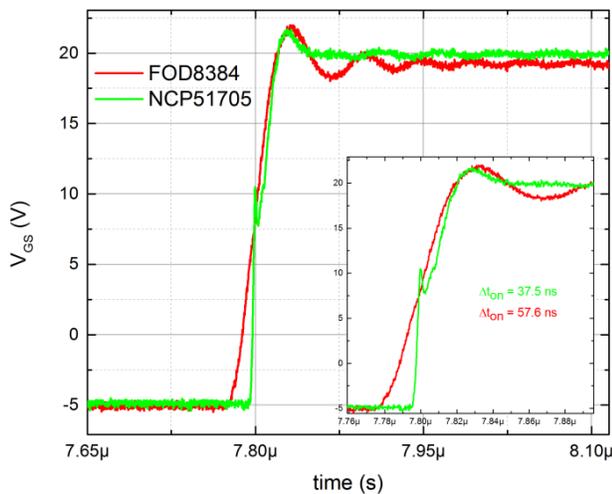


Figure 36. V_{GS} Rising Edge Comparison

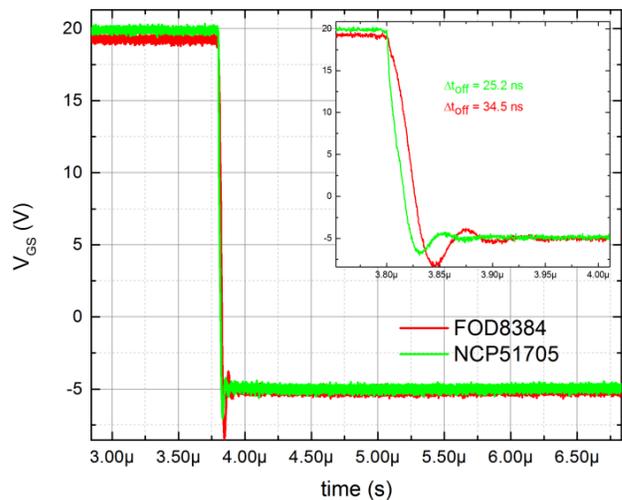


Figure 37. V_{GS} Falling Edge Comparison

適切に設計されたゲートドライバICは、低いソースインピーダンスとシンクインピーダンスを実現しており、ゲートからSiC MOSFETのドレインを高精度で制御できます。次にSiC MOSFETできわめて自然な dV/dt を実現するには、ドライバの出力インピーダンスを最小にすることが不可欠です。SiC MOSFETの自然な dV/dt 制限は、 $R_{LO} + R_{GATE} + R_{GI}$ に反比例します。 R_{LO} が必要以上に大きい場合、SiC MOSFETの自然な dV/dt 制限が低下します。これにより、このデバイスは dV/dt が引き起こすターンオンの影響を受けやすくなり、 R_{GATE} の選定によって達成可能な dV_{DS}/dt の制御量を制限することになります。Figure 38に示すNCP51705の V_{DS} 波形は、単純に R_{GATE} を変更するだけで、 dV_{DS}/dt の高度な制御を実現できることを明らかにしています。 $R_{GATE} = 1\ \Omega$ の場合、 $dV_{DS}/dt = 72\text{ V/ns}$ です。 R_{GATE} を $1\ \Omega$ から $15\ \Omega$ まで大きくすると、 dV_{DS}/dt は 72 V/ns から 68 V/ns に減少します。この変化は、必要に応じてより大きい R_{GATE} を使用して、非常に微細な変化量で dV_{DS}/dt を低減できることを示しています。

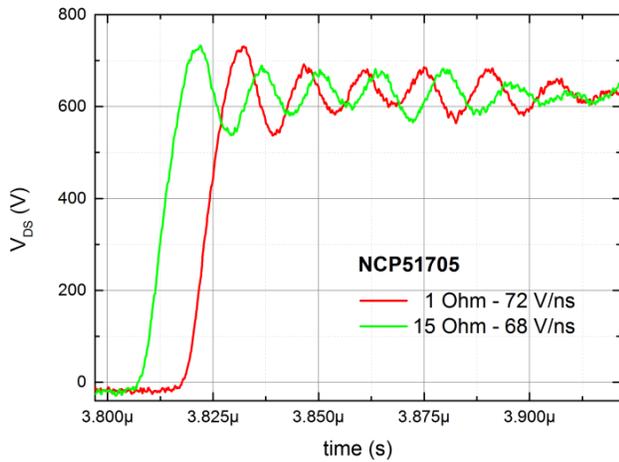


Figure 38. NCP51705 V_{DS} Rising Edge, Vary Gate Resistance

FOD8384フォトカプラゲートドライバを使用して、同じ実験を実施しました。Figure 39に示した波形から分かるように、 R_{GATE} を1 Ω から15 Ω に変更すると、 dV_{DS}/dt のレート変化は2:1を上回る割合になっています。 dV_{DS}/dt の制御は、FOD8384ドライバの出力インピーダンスが大きいため、 R_{GATE} の小さな変化によって、より大きい影響を受けます。また、比較するとNCP51705の dV_{DS}/dt の立ち上がりの方がより直線的であることが分かります。

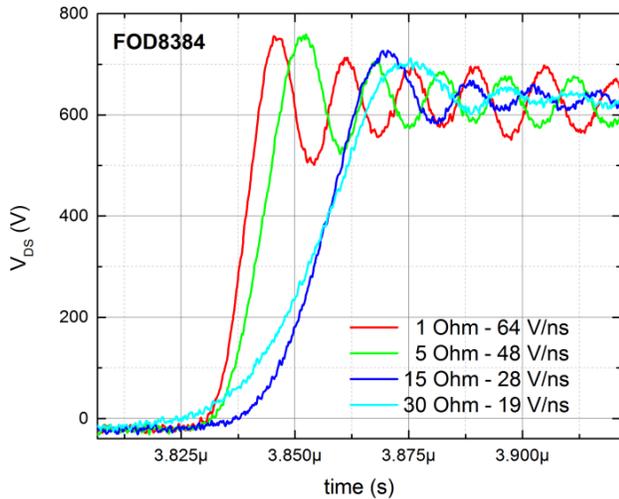


Figure 39. FOD8384 V_{DS} Rising Edge, Vary Gate Resistance

Figure 40に示した波形は、 $R_{GATE} = 1 \Omega$ のときに、同じ負荷を使用した $-5 \text{ V} < V_{GS} < 20 \text{ V}$ の範囲での各ドライバのスイッチングを表す V_{DS} の比較を示しています。 dV_{DS}/dt のレートは72 V/nsと64 V/nsで類似しています。NCP51705は、より優れた減衰と低振動のリングングを示しています。

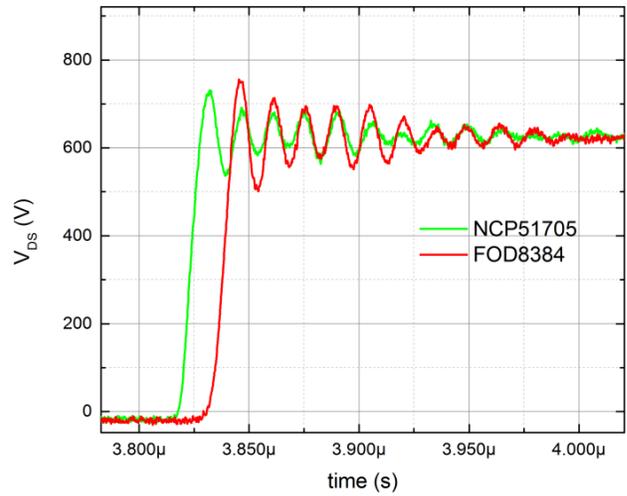


Figure 40. V_{DS} Rising Edge Compare, 1 Ω Gate Resistance

NCP51705で dV_{DS}/dt の制御を有効にする別の方法は、 V_{EE} の負の振幅レベルを変更することです。この変更は、Table 3に従って $VEESET$ ピンを設定するか、 V_{EE} に印加される外部DC負電圧を使用して実行できます。Figure 41の波形は、 $-6 \text{ V} < V_{EE} < 0 \text{ V}$ の範囲で V_{EE} を変更したときの dV_{DS}/dt の変化を示しています。 $0 \text{ V} < V_{GS} < 20 \text{ V}$ の場合、 V_{DS} が低い領域で強い反極と容量性性質があることが分かります。これはSiC MOSFETの残留ゲート電荷が完全にターンオフされていないためであり、ターンオフ期間中に V_{GS} を負に駆動することの重要性を示しています。

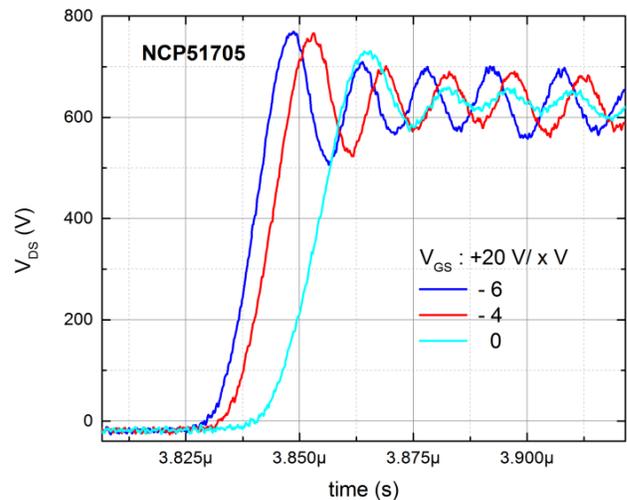


Figure 41. NCP51705 V_{DS} Rising Edge, Vary V_{EE}

Pearson社の電流プローブを使用して取得したドレイン電流の測定値をFigure 42に示します。NCP51705の電流は $dI_D/dt = 3.2 \text{ A/ns}$ で立ち下がっていますが、FOD8384のドライブ回路に比べるとリングングが減

少しています。NCP51705の高速 dI_D/dt は、Figure 37に示した V_{GS} の立ち下がりエッジ波形と強い相関があります。

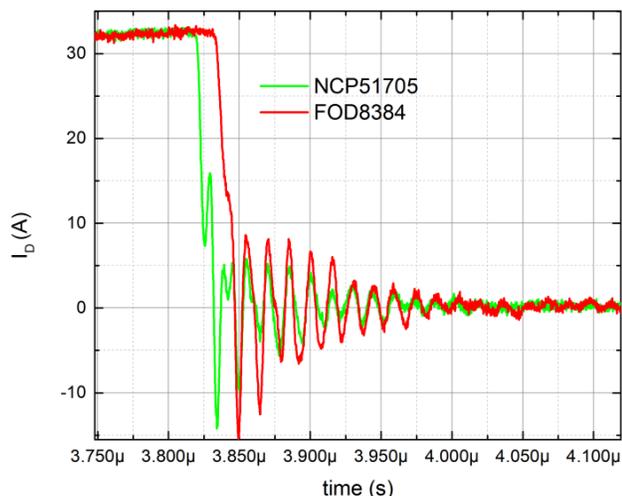


Figure 42. I_D Falling Edge Comparison

ダブルパルス試験方式は、ディスクリートパワー半導体デバイスの動的スイッチング性能を特性評価するのに従来から使用されてきた試験手順です。印加した V_{DS} と初期の I_D はターンオンおよびターンオフ期間中も高精度で制御できるので、この測定手法はクランプされた誘導性スイッチングアプリケーション回路でゲートドライバICの性能を評価するための信頼性の高い方法とみなされてきました。

まとめ

この資料では、高性能ゲートドライブ回路を設計する際に考慮する必要がある、SiC MOSFET独

自の特性の一部的を絞って説明しています。SiC MOSFETに関連する小さい g_m つまり適度のトランスコンダクタンスは、ゲートドライブの観点からすると特に面倒です。多くの場合は汎用のローサイドゲートドライバを使用しますが、SiC MOSFETを効率的かつ信頼性が高い方法で駆動するのに必要な機能が欠けています。SiC MOSFETが市場で広く採用されるには、ある程度ドライバの使いやすさが関係してきます。NCP5170は、効率的かつ信頼性の高い方法でSiC MOSFETを駆動するための簡潔な高性能、高速ソリューションを提供します。

Steve Mappusは、米国ニューハンプシャー州ベッドフォードを拠点とするオンセミ(onsemi)のAdvanced Power Conversionグループでチーフアプリケーションエンジニアとして働く技術スタッフメンバーです。彼は現在の役職で、電源コントローラとMOSFETゲートドライバICに関連する技術開発を担当しています。航空アプリケーションで軍用機および民間機両方の電源設計を行った10年を含め、25年以上にわたって電源設計に従事してきました。最近の15年は、パワーマネジメント半導体の分野で働いており、システムエンジニアリングとアプリケーションエンジニアリングを専門としています。関心がある分野として、大電力コンバータトポロジー、ソフトスイッチングコンバータ、同期整流、高周波電力変換、WBGデバイス、力率補正などを挙げています。

参考資料

- [1] “NCP5170 – SiC MOSFET Driver”, Datasheet, onsemi, August 2017
- [2] “NCP5170 Mini EVB”, User Guide, onsemi, August 2017

onsemi, Onsemi, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba “onsemi” or its affiliates and/or subsidiaries in the United States and/or other countries. onsemi owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of onsemi’s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. onsemi reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided “as-is” and onsemi makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using onsemi products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by onsemi. “Typical” parameters which may be provided in onsemi data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including “Typicals” must be validated for each customer application by customer’s technical experts. onsemi does not convey any license under any of its intellectual property rights nor the rights of others. onsemi products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use onsemi products for any such unintended or unauthorized application, Buyer shall indemnify and hold onsemi and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that onsemi was negligent regarding the design or manufacture of the part. onsemi is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
 Technical Library: www.onsemi.com/design/resources/technical-documentation
 onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
 For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales