



**ON Semiconductor®**

## 電力密度の考察

# 電力密度の考察

## 要約

最近、電力密度は、電源および電力システムの革新性と性能を示す重要かつ万能な性能指数となりました。高電力密度を達成するには、最先端の制御手法を採用し、設計に利用できる最良の半導体技術を駆使し、電力変換における最新のトポロジー的進歩を利用する必要があります。

本資料では、高電力密度を普遍的な目標と考えるべき理由と、トポロジーや半導体の選択など高電力密度設計上のベースとなる基本原理の概要について説明します。

GaNパワーデバイスの詳細と主要特性、駆動とレイアウトの要件、トポロジーの選択に与える影響、および最適な応用分野についても説明します。

## はじめに

事実上、どの市場セグメントに従事している電源設計者も、日々の業務において、下記の4つの基本目標の達成を目指して努力しています。

- 高効率
- 高信頼性
- 小型化
- 低コスト

高効率は、特定の政府および業界の規格や期待に適合するように要求される場合が多くあります。信頼性は、すべての顧客が例外なく要求する基本要件です。小型化は、スペースに制約がある多くのアプリケーションに必須であり、低コスト化は、今日の競争の激しいビジネス環境において財務目標を達成するための方法です。

電源業界には、これらの要件をすべて達成できる可能性を持っています。効率については、90%台後半の数値が、文献で定期的に報告されており、主要メーカーから提供される製品で容易に見つけることができます。電源や特別に冗長性を持たせた電力システムの信頼性は、最も厳しい制約条件を満足し、電力供給に使用している技術自体の存在を超える寿命を実現しています。性能面におけるこれらの驚異的な改善に加え、業界は努力の末にワット当りの電源価格を低減し、また電力消費量、冷却の必要性、設置面積を低減することにより、電源管理アプリケーションの総所有コストの大幅な節約も実現しました。

電源業界および電源の設計者にとっての課題は、これら4つの設計目標のすべてを同時に満足することです。

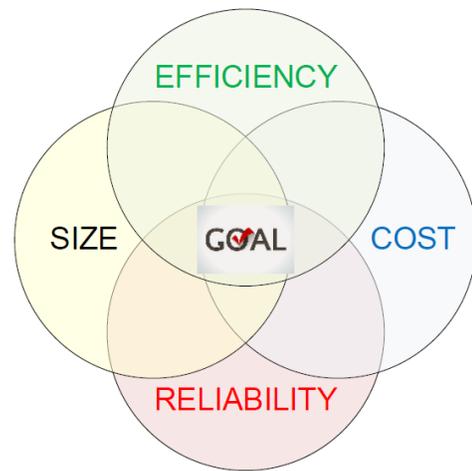


Figure 1. The Ultimate Optimum Trade-off

これらの項目間に相反関係があることは誰の目にも明らかです。例えば、効率や信頼性の要件を高くするとコスト目標が影響を受ける可能性があり、多くの場合、電源のサイズにも影響が及ぶ可能性があります。

さらに、市場の勢力と応用技術の進歩によって、電源設計者が直面するトレードオフに一層の混乱が生じています。市場が受ける絶え間ないコスト圧力は、リスクの低減および市場投入までの時間の短縮によって、あるいは部品や材料の価格が年々低下する成熟技術を利用することによって緩和できます。これまでの製品サイクルを通じ最適化された実績のある回路ソリューションを再利用することによっても、コスト効率の高いソリューションを実現できる場合があります。他方で、性能と機能面での顧客の期待や、競争と差別化の必要性に応えるには、イノベーションが必要になり、もっと費用のかかるアプローチが必要な場合があるかもしれません。

## 電力密度

電力密度の重要性は明白ではなく、他の要因の陰に隠れています。実際のところ、この非常に重要な性能指数は、単独の数字として考えると説明や正当化ができません。

高電力密度は、電源のユーザやメーカーにとっては、多くの場合、「あればよい」という特徴です。しかし、高電力密度設計の導入には、複雑な機械的設計、高価な能動および受動部品、最先端制御アルゴリズムの必要性などにより、コスト増になる可能性が高くなります。電源コストが増加する場合は、採算がとれる形で高電力密度化を図るために、他の部分で埋め合わせする必要があります。

高電力密度の最も顕著な利点は、結果的に電力供給ソリューションを小型化できることです。

電源が小型になると、例えば携帯用電子機器や、埋め込みおよび飲み込みが可能な診断用デバイスや治療デバイスのような医療アプリケーションなど、サイズが最大の懸念事項である新市場や新規用途の開拓ができるようになります。

小型化は原材料消費量の低減につながり、それにより部品コストを大幅に削減でき、最終的に電源コストの削減が可能です。さらに、部品点数が少なくかつ小さくなれば、軽量化を図れる可能性があります。携帯用民生電子機器だけでなく、固定されていないあらゆる電源供給ソリューションにおいても、軽量化はモバイルアプリケーションにとって、重要な利便性要素になります。その好例が、燃料節約や航続距離延長において、重量削減効果を直接的に評価できる輸送機関です。

データセンタやテレコム、および産業アプリケーションなどの固定型アプリケーションでは、電源の設置面積を縮小できれば、貴重なボードまたはキャビネットのスペースを、設備やソリューションの重要で有用な目的に使用できます。つまり、サイズを増やさずに、機能を追加することができるのです。

これらの事例の背景にある認識すべき事実は、これらのメリットはすべて、システムレベルで価値を生み出すということであり、その価値はシステム全体を試験した場合にのみ金銭的な効果を評価できるということです。この金銭的な利益は、新市場の創造や機能の増加、総所有コストの低減によって達成されるもので、現在の電源供給ソリューションにおいて、さらなる電力密度の向上を業界にもたらす究極の原動力です。

## 高電力密度の実現

電力密度が増加すると、電源のサイズ(体積と表面積)は減少します。そのため、システムの温度上昇の安全性を維持するには、熱放散量を低減する必要があります。これは電源の効率を向上させることを意味します。周囲温度以上への物体温度の上昇、熱除去に利用できる面積、および放散される熱量の関係は、次式で示すようにニュートンの冷却の法則に従います。

$$q = h \times A \times \Delta T \quad (\text{eq. 1})$$

ここで、 $q$ は対流によって伝達される熱量、 $h$ は熱伝達率、 $A$ は利用できる表面積、 $\Delta T$ は物体の温度上昇です。

電源で発生する最大熱量は、その効率と定格出力電力の関数であり、表面積は電源の体積の関数です。したがって、eq. 1は次式のように、効率と電力密度の関係に変形できます。

$$\eta = 1 - \frac{h \times r_{VA}(V) \times \Delta T}{\text{Power Density}} \quad (\text{eq. 2})$$

ここで、 $r_{VA}(V)$ は電源の体積と表面積の比です。ここで注意すべきは、 $r_{VA}(V)$ の比は電源の筐体の形状と全体積に強く依存するということです。さらに、 $h$ は、材料、表面の平滑度、冷却材の特性の関

数です。強制対流(強制空冷)により、多くのパラメータ値が変化します。

Figure 2に、小型USBチャージャの所要の効率を電力密度の関数として示します。この例では、電力密度と効率だけの関係を示すために、ユニットのサイズ、形状、および最大許容温度上昇は一定に保持されています。

図からわかるように、高密度集積や高電力密度に対して、効率は重要な要素になります。効率が向上すると熱放散が減少するため、結果的に冷却要件も低下します。

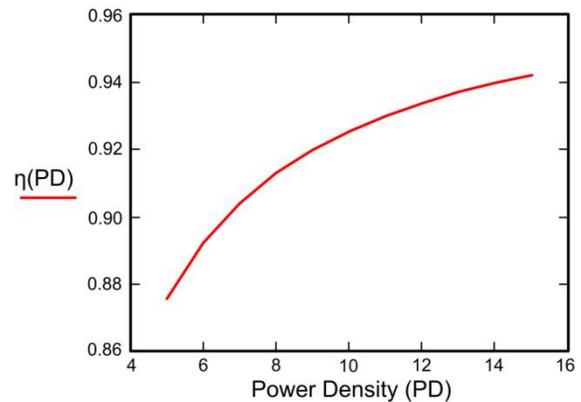


Figure 2. Efficiency as a Function of Power Density

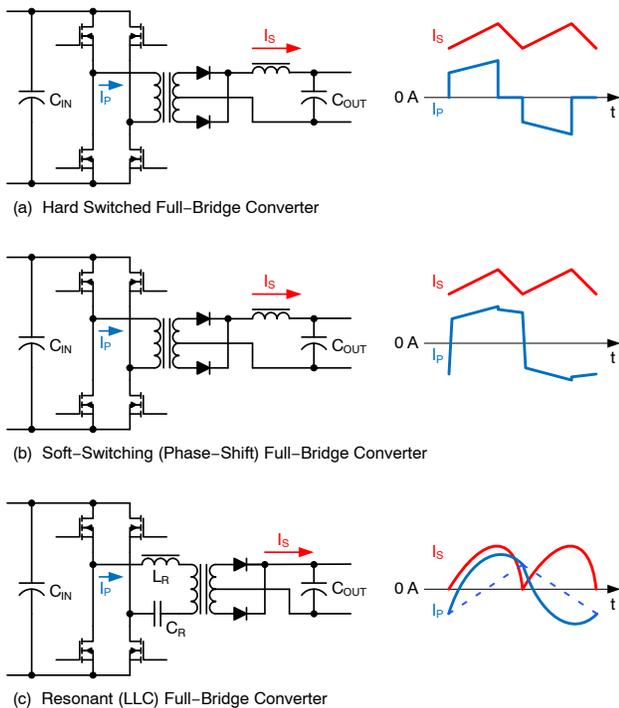
## 効率

効率は、電力密度に与える影響を考慮しないとしても、重要なパラメータであり無視できません。エネルギー価格、政府規制、市場での差別化など、いくつかの動機があり、これらはすべて高効率に対するニーズを生み出しています。電力供給ソリューションの効率は、継続的に少しずつ向上しています。このトレンドは、効率や電源品質のガイドラインの厳格な実施、部品性能の絶え間のない改善、業界の成熟化など、多くの要因に起因している可能性があります。

最先端効率の達成は、電源において電力密度の大幅向上を推進するのに必要不可欠ですが、利用可能な最良の部品を選択することよりも複雑です。

## トポロジー

トポロジーと最適な動作原理の選択は、設計時に最初に直面する非常に重要なトレードオフです。高効率化の推進には、ハードスイッチングソリューションよりもソフトスイッチングまたは共振電力変換のほうが好まれると言えます。多くの場合、同一トポロジーをハードスイッチングやソフトスイッチング、あるいは共振モードで動作させることができます。Figure 3に、3種類の動作モード(ハードスイッチング、ソフトスイッチング、共振電力変換)で動作するフルブリッジコンバータの回路図と電流波形を示します。



**Figure 3. Three Operating Modes of a Full-bridge Converter**

ソフトスイッチングや共振モード動作においては、効率的な動作(軽負荷時のソフトスイッチングや定格出力電力のために十分な共振エネルギー)を維持するために、必然的にリップル電流が大きくなる可能性があるため、慎重に導通損失とスイッチング損失のバランスをとる必要があります。共振モード動作では、RMS電流と電圧ストレスがいっそう増加し、部品選定に影響を与える可能性があります。この問題を軽減するために、コントローラが動作条件に基づいて最適な動作モードを選択する混合モード動作を導入できます。

ソフトスイッチングと共振コンバータの主な利点は、ゼロ電圧スイッチング (ZVS) またはゼロ電流スイッチング (ZCS) により、スイッチング損失を大幅に低減できることです。結果として効率が改善するため、それをスイッチング周波数の上昇や冷却要件の低減などに利用できます。いずれか一方、あるい

はこれら2つを組み合わせた場合でも、得られる結果は電力密度の増加です。動作周波数を高くしても、システムを受動部品を小型化できます。

### 高速半導体デバイス

最新世代のスーパージャンクションMOSFET、SiC MOSFET、GaNパワースイッチなどの高速スイッチングデバイスは、スイッチング損失の低減と低損失での高周波動作に不可欠です。これらのデバイスでは、旧世代の半導体デバイスよりもはるかに高速でオン・オフのスイッチングが可能であり、 $E_{ON}$ と $E_{OFF}$ のエネルギー損失が大幅に低下します。

これらのデバイスの高速スイッチング特性を活用するために、半導体メーカは低寄生インダクタンスのパッケージングを導入し、適切な動作を実現しています。さらに、電源設計者(主にPCBレイアウト設計者)は、寄生インダクタンスを低減するための最良の方法を使用する必要があります。全面的な低インダクタンス化により、不必要な共振を除去し、従来は低速ソリューションでは許容されていたタイミング遅延をこの上なく厳密に制御できます。

特に、コモンソースインダクタンスは、後述のゲート駆動の設計の章で説明するように、スイッチング性能に大きな悪影響を与えます。

### 制御面

先進的な制御アルゴリズムの重要性については、前述の動作モードの変更と軽負荷時動作の最適化の検討の際に強調しました。しかし、高性能制御ソリューションのもうひとつの局面も指摘する必要があります。なぜなら、それが間接的に、しかし重要な形で電力密度に影響を与える可能性があるからです。

プロセス技術の進歩と比較的微小な線幅の安価なCMOSプロセスにより、現在の高性能電源コントローラに対して、はるかに正確なしきい値電圧公差、タイミング精度、高速性を実現する道が開かれました。この厳密な制御は、電力処理能力や放熱の観点から、電源を「過剰設計」する必要性が少なくなることから評価できます。Table 1に、最も重要な制御面の公差がシステムパラメータや関連部品に与える影響をまとめています。

**Table 1. TIMING AND ACCURACY IMPACT OF CONTROL ON POWER SUPPLY DESIGN**

	Function	Parameter	Impact	Components
Timing Accuracy	Oscillator	Switching frequency	Output ripple, EMI	$C_{OUT}$ ; TR; L
	$D_{MAX}$ Clamp	Max. on-time	Max. V·s	TR; L
Propagation Delay	Current Limit	Peak currents	Max. $I_D$ ; $I_L$	TR; L; Q; D
	Compensation	Phase margin	Stability	

**Table 1. TIMING AND ACCURACY IMPACT OF CONTROL ON POWER SUPPLY DESIGN** (continued)

	Function	Parameter	Impact	Components
Threshold Accuracy	Current Limit	Peak currents	Max. $I_D$ ; $I_L$	Cooling
	Protection	Voltage stresses	Max. $V\cdot s$ ; $V_{DS}$ ; etc.	$C_{IN}$ ; $C_{OUT}$ ; Q; D; TR; L

スイッチング周波数が高くなると、スイッチング周期に占める伝搬遅延の割合が増加するため、伝搬遅延がより重要になることに注意してください。その結果、伝搬遅延が安定性に及ぼす影響がさらに大きくなるため、いっそうの注意が必要です。

このように、高電力密度設計の実現は複雑な作業であり、トポロジーの選択、部品の選択、高度制御、および物理的実装の詳細はすべて、究極的な目標を達成する上で重要な役割を果たします。これらの要素および相互関係のいずれでも無視すると、すべての努力が無駄になるおそれがあります。

**ワイドバンドギャップ技術**

高電力密度ソリューションの実現に寄与する最も期待できる新技術のひとつが、ワイドバンドギャップ半導体です。この全く新しい種類のパワーデバイスにより、従来のシリコン技術に比べて、より高い電界強度と電子移動度を達成できます。Table 2に、これらの新しい半導体材料の基本特性をシリコンと対比させて示します。

バンドギャップエネルギーは、原子から電子を解放し、物質中で自由に移動できるようにする(すなわち、電流を流す)のに必要なエネルギー量のことです。一般に、バンドギャップエネルギーが高くなるほど、温度変化に対して予測可能な動作と良好な性能を示します。

半導体では絶縁破壊電圧と呼ばれる、一定の電位差に耐えるのに必要な距離は、絶縁破壊電界強度に比例します。表からわかるように、ワイドバンドギャップ材料は、この点ではシリコンより7倍優れています。これは同程度の定格電圧を有するデバイスを小型化でき、伝導時に電子がより短い距離を移動することを意味します。

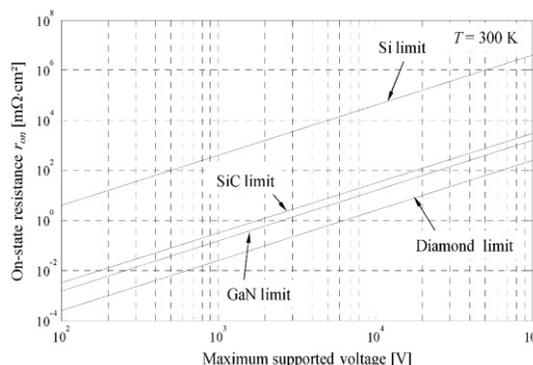
電子移動度(主として電子の飽和速度)とは、基本的には物質内で電子を運ぶ電流の平均速度です。単純化した第一次近似では、この数字が大きいほどスイッチング速度が速く、オン抵抗が低くなります。

**Table 2. WIDE BAND GAP CHARACTERISTICS**

	Si	SiC	GaN	Units
Band Gap Energy	1.1	3.3	3.4	eV
Breakdown Field	0.3	2.1	2.1	MV/cm
Saturation Velocity	10	22	25	$\times 10^6$ cm/s
Thermal Conductivity	1.5	5	1.3	W/cmK

最後に、熱伝導率はデバイスの動作温度をどれだけ高温にできるかに関係します。この比較から、高温アプリケーション向け材料として炭化ケイ素が最上位の選択肢となる理由を説明できます。すなわち、Table 2に示す他の半導体の性能を優に超えているからです。

よく使用される半導体材料に関して、基本的な能力をFigure 4にまとめています。



**Figure 4. Theoretical Voltage and on Resistance Limits**

SiCやGaNのワイドバンドギャップデバイスは、シリコンパワートランジスタに対して非常に似通った改善を示しています。しかし、実際には2つのワイドバンドギャップ技術は大きく異なります。

SiC MOSFETデバイスは、構造と動作原理の面でシリコンMOSFETに非常に似ています。SiCデバイスでは、印加されたゲート電圧により自由電子が空乏層へ移動し、伝導チャンネルを形成します。SiC MOSFETは、Si MOSFETと同様にプレーナまたはトレンチデバイスとして作ることができます。これらは垂直デバイスで、電流は上面と底面の間をデバイスを通して流れます。

一方、GaNデバイスの動作は、トランジスタのアンダードープGaN層とnドープAlGaN層の間に自然に存在する2次元電子ガス(電流に寄与する自由に動く電子)に基づきます。そのため、電力アプリケーションに望ましいデバイスであるノーマリオフトランジスタ(eMode GaNと呼ばれる)を作るには、デバイスの基本構造を変更する必要があります。もうひとつの大きな相違点は、GaNのデバイス構造では、少なくとも今のところ、端子を水平に配置する必要があるということです。これにより、電流はGaNデバイスの表面に平行に流れ、ドレイン、ソース、ゲート電極間に重なりができる可能性は実際には無いため、固有容量のC<sub>DS</sub>、C<sub>GS</sub>とC<sub>GD</sub>は大幅に減少します。

高電力密度の要件を考慮すると、GaNパワースイッチは極めて低い容量により、競合ソリューションとは一線を画しており、高効率、高周波、および高速スイッチング電力変換アプリケーションに最適です。

### GaNパワートランジスタ

GaNパワートランジスタの応用分野は、2つの異なる電圧領域に分かれます。低電圧GaNデバイスは200 Vまでの絶縁破壊電圧を有しており、この市場セグメントは、ノーマリオフ eMode デバイスが多数を占めています。高電圧アプリケーションは200 V～650 Vの範囲を指し、「カスコードGaN」あるいはeModeソリューションが用意されています。

Figure 5は、カスコードGaNの構成を描いたもので、ノーマリオンGaNトランジスタが低電圧、低R<sub>DS(on)</sub>のシリコンMOSFETと直列に接続され、ノーマリオフとなるよう組み合わせています。

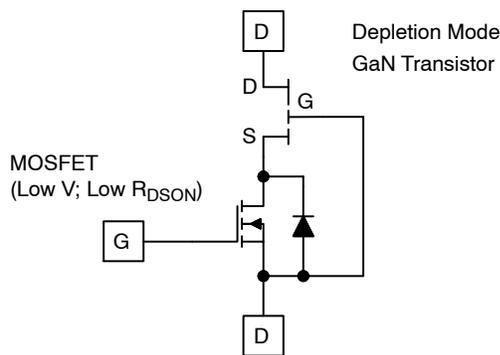


Figure 5. Cascodes GaN Power Switch

このソリューションには根本的な欠点があります。2個のディスクリート半導体デバイスを使用しているため、パッケージングが複雑になり、オン抵抗に悪影響を与え、達成可能な最小寄生インダクタンスが増加します。制御電極は低R<sub>DS(on)</sub>(大きなダイサイズ)のMOSFETのゲートで、ゲート駆動振幅の過渡変化に余裕ができますが、容量増加によりゲート駆動損失が増加します。この大きなゲート容量は、パッケージングによる高いインダクタンスと共に、デバイスのスイッチング速度に影響を与

え、GaN技術の真の能力を発揮することが非常に困難になります。その他の問題としては、シリコンMOSFETトランジスタがターンオフ遷移中にアバランシェ降伏を起こす可能性がある、GaNデバイスのゲートにしばしば発振が生じる、などが挙げられます。

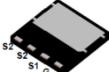
高電圧GaNアプリケーションにはカスコードGaNが最初に導入されましたが、eModeデバイスは急速に追い上げており、650 Vノードでも好適なデバイスとなりつつあります。

eModeデバイスは、カスコードGaNソリューションに比べ需要が大きく使いやすいため、本書の残りの部分ではeMode GaNパワートランジスタのデバイス特性とアプリケーションに焦点を合わせて説明します。

### デバイスレベルでのGaN対Si

将来性が見込まれるGaNパワースイッチとSiデバイスの比較は、それぞれのデータシートで、デバイスのスイッチング性能に影響する重要パラメータを検討すれば行えます。まず高電圧ノード(650 Vデバイス)で比較を始めます。Table 3に2種類の技術の早見比較表を示します。Ratio(比率)欄の数字は、GaNパワースイッチのあるパラメータが、同等のシリコンMOSFETトランジスタと比較してどの程度優れて(緑字)、または劣っている(赤字)かを示しています。

Table 3. PARAMETRIC COMPARISON FOR 650 V DEVICES

	Gan Systems	ON	Ratio
Package			
B <sub>VDSS</sub> (V)	650	650	1
I <sub>D</sub> (A)	15	30	2
R <sub>DS(on)</sub> (mΩ)	100	99	1
C <sub>ISS</sub> (pF)	130	2270	17.5
C <sub>O(ER)</sub> (pF)	44	74	1.7
C <sub>O(TR)</sub> (pF)	71	500	7.0
C <sub>RSS</sub> (pF)	1	no data	-
Q <sub>G</sub> (nC)	3	56	18.7
Q <sub>GD</sub> (nC)	0.84	23	27.4
V <sub>GS,MAX</sub> (V)	+7/-10	+/- 30	4.3
V <sub>GS,TH</sub> (V)	1.3	3.5	2.7
R <sub>G</sub> (Ω)	1.35	0.5	2.7

まず注意すべきはGaNデバイスの連続電流定格が低いことです。しかし、これは主に接合からケースまでのパッケージの熱抵抗によるもので、熱抵抗は

連続電流定格と同一の比率を示していること(ウエハーレベルCSPの場合には該当しない)を理解することが重要です。

表からわかるように、容量とゲート電荷の値はすべてシリコン技術と比較して大幅に改善されています。全体で最も改善度合いが低いのはC<sub>OSS</sub>ですが、それでもシリコンの半分もありません。一方、GaNのゲートとドレイン間の帰還容量は、ほぼ完全に除去されています。GaNデバイス(特に高電圧GaNデバイス)のゲート-ソース容量は相当低いため、比較的弱いドライバを使用する場合でも、非常に高速のターンオン・ターンオフ遷移を容易に実現できます。

GaNデバイスのゲート絶縁膜は、シリコンと比較してはるかに壊れやすいため、定格電圧が大幅に低下します。各メーカーの独自技術によりますが、GaNデバイスには4.5 V~6.5 Vのゲート駆動振幅が必要です。どんな場合でも、デバイスが耐えられる最大ゲート駆動電圧は、それぞれのゲート駆動振幅から約2 V高いだけです。デバイスのゲート駆動要件を分析する際に、この件について詳しく説明します。

ゲート特性について続けると、スレッシュホールド電圧も低下しており、定格ゲート-ソース電圧が低いことを考えると有利です。バンドギャップエネルギーが大きいと、GaNデバイスのスレッシュホールド電圧の温度変化を無視できることも重要です。

どのスイッチングデバイスでも、内部ゲート抵抗は重要なパラメータです。というのは、この内部インピーダンスは、制御信号をチップに伝え、チップ自体に分配することに関係があり、このインピーダンスによって、ゲート駆動電流が制限されるからです。Table 3とTable 4に示す2つの例からわかるのは、このパラメータがパッケージおよびデバイスの配置に大きく依存しており、技術自体よりも実際の実装によって、良くも悪くもなりうるということです。

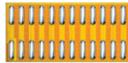
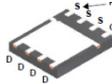
Table 4により、低電圧GaN技術には、高電圧ノードの場合と同様のプラス面とマイナス面があることが確認できます。

GaNとSiデバイスにはさらに相違点があり、これらはデータシートのパラメータを基準にしてもそれほど明確ではありません。ユーザは、デバイスデータシートの動作原理、物理的構造、パラメトリックグラフを深く掘り下げ、検討する必要があります。

GaNパワートランジスタは電流を双方向に流すことができます。デバイスのターンオン時には、R<sub>DSON</sub>は電流の方向に関係なく同じです。デバイスのターンオフ時には、予想されるように正の電流(ドレインからソース端子に向かう流れ)を遮断します。逆方向(ソースからドレインに向かう流れ)では、電流はMOSFETのボディダイオードを通じて流れる電流と同様に流れることができます。しかし、GaNデバイスには、MOSFETのボディダイオードのような寄生pn接合は存在しません。電流は正の電流が利用するのと同じ伝導領域を通じて流れます。違いは、ドレイン-ソース端子間の電圧降下は、第3象限での動作では約3 Vであるということです。さらに、pn接合が存在しないため蓄積電荷が存在せず、結果的に電流が

デバイスから除去される際の逆回復効果はありません。

Table 4. PARAMETRIC COMPARISON FOR 40 V DEVICES

	EPC	ON	Ratio
Package			
B <sub>V</sub> DSS(V)	40	40	1
I <sub>D</sub> (A)	90	290	3.2
R <sub>D</sub> SON (mΩ)	1.2	1.2	1
C <sub>I</sub> SS (pF)	1920	12500	6.5
C <sub>O</sub> (ER) (pF)	2050	3430	1.67
C <sub>O</sub> (TR) (pF)	2240	no data	-
C <sub>R</sub> SS (pF)	29	136	4.70
Q <sub>G</sub> (nC)	18	173	9.6
Q <sub>G</sub> D (nC)	2.4	18	7.5
V <sub>G</sub> S,MAX (V)	+6 / -4	±20	3.3
V <sub>G</sub> S,TH (V)	2.1	1.5	1.4
R <sub>G</sub> (Ω)	0.3	1	3.3

GaNデバイスが、あらゆるパワースイッチの中で最も高いゲイン(トランスコンダクタンス)を持つことに言及することは、次の2つの理由から重要です。すなわち、スレッシュホールド電圧に近い場合、V<sub>G</sub>Sのわずかな変化でデバイス電流が高速で大きく変化します。高速スイッチングアプリケーションに対しては、これはGaNデバイスの大きな利点です。制御電圧(V<sub>G</sub>S)が、いわゆる「線形領域」をすばやく通過しない場合、ゲインが大きいことにも危険が伴います。線形モードでは、V<sub>G</sub>Sはトランジスタの電流を制御するため、V<sub>G</sub>Sがこの電圧レベルの近辺にあまりに長くどまっていると、デバイスは発振の影響を受けやすくなる可能性があります。そのため、GaNパワートランジスタのゲート駆動信号は、立ち上がり、立ち下がり時間が非常に速いことが不可欠です。

GaN技術の若干不利な特性は、デバイスのR<sub>D</sub>SONがシリコンMOSFETよりも大きな正の温度係数を有することです。そのため、デバイスのR<sub>D</sub>SONが接合温度の上昇に伴いシリコンよりも速く増加します。また、R<sub>D</sub>SONの正の温度係数は並列接続デバイスには不可欠であり、温度係数が高いことにより並列接続されたトランジスタに電流がうまく分配されることに留意してください。

GaN技術のうち最も劣っている特性は、これらのデバイスのアバランシェエネルギー耐量が非常に低いことです。どのような実用的な目的に対しても、GaNデバイスの最大ドレイン-ソース電圧および最大

ゲートソース電圧定格を超えてはなりません。パワーマネジメントアプリケーションでは、ドレインソース間またはゲートソース間に過電圧が発生すると、ほぼすべての場合にGaNパワートランジスタにシングルイベント故障を起こすのに十分なエネルギーが生じます。

### ゲート駆動の設計

GaNアプリケーション向けの適切なゲート駆動回路要件の多くは、少なくとも間接的には前章で説明しました。完全を期すために再度それらの要件に触れておきましょう。

- 4.5 V～6.5 Vのゲート駆動振幅は使用するGaNデバイスに依存
- ドライバ用バイアス電圧を正確にレギュレートし、ゲートソース端子への過電圧を防止
- 短い立ち上がり、立ち下がり時間でデバイスのスレッシュホールドレベルを高速に通過することにより発振を防止

Figure 6の回路図はこれらの要件を満足する代表的な構成を示しています。

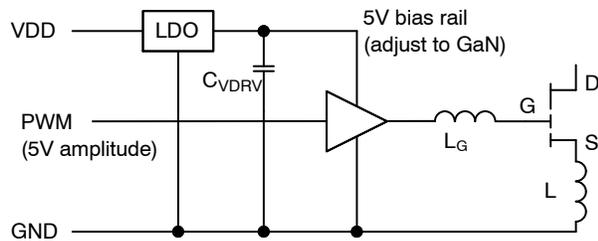


Figure 6. Simplified Driver Schematic

Figure 6では、厳密にレギュレートされるバイアスレギュレータを、ドライバおよびこの回路で駆動されるパワースイッチの近傍に配置する必要性を強調しています。ゲート駆動ループにおいて、ドライバ、レギュレータ、パワーデバイスの間にわずかな距離があっても寄生インダクタンスが増加するため、このような配置が重要です。

ドライバ自体は、低電圧動作の利点を活かし、低電圧・高速トランジスタを使用します。IC技術においては、低電圧デバイスほど高速で小型になります。このことは、伝搬遅延の短縮、立ち上がり・立ち下がり時間の高速化、ソリューションの低コスト化を実現する上で非常に有用です。今日GaNトランジスタの駆動に使用される転用MOSFETドライバの多くは、必要以上に大きいダイサイズを使用し、最適電圧範囲(10 V～16 V)より低い電圧で動作しているため、遅延が大きくなります。

バイアスレギュレータは、適切に設計されていれば、過電圧保護クランプとしても機能し、動作中にゲート駆動回路に結合される吸収エネルギーなどの外的影響によってバイアスレールが過電圧に晒されないようにすることができます。この二重機能を実

現するために、レギュレータは通常のソースのみのLDOではなく、ソースシンクレギュレータ設計とすべきです。バイアスレギュレータは必要時に出力に電流を供給でき、クランプとしても機能し、過電圧発生のおそれがある場合は、バイパスコンデンサから電流を引き込めるようにすることが理想的です。

これらの要件の他に最も重要な課題は、ドライバ出力とGaNトランジスタのゲート間のインダクタンス(ゲートインダクタンス・ $L_G$ )と、GaNデバイスのソースとグランド接続間のインダクタンス(ソースインダクタンス・ $L_S$ )を最小化することです。

理解しやすくするために、これらのインダクタンスの影響をひとつずつ分析します。Figure 7に、ゲートインダクタンスが無いと仮定した場合の単純化した等価回路を示します。さらに、バイアスレールと $V_{GS}$ のスレッシュホールド用の理想的な電圧源、およびドライバの出力抵抗、潜在的な外部ゲート抵抗、およびデバイスの $R_G$ を合成した抵抗値に等しい集中抵抗も仮定します。このような単純化が可能な理由は、インダクタが動作に影響を与えるのは、回路電流が変化しているときのみだからです。ドレイン電流が変化しているとき、ゲートソース電圧はスレッシュホールド電圧レベル近傍で一定のため、ゲート電流はほぼゼロです。そのため、等価ゲート抵抗( $R_e$ )による抵抗性の電圧降下もほぼ0 Vです。

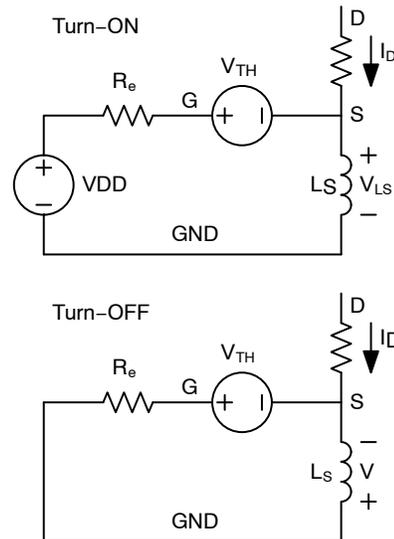


Figure 7. Turn-on turn-off Effect of  $L_S$

この等価回路に基づき、 $L_S$ にかかる最大電圧を見積もることができ、デバイスが対応できる最大 $dI/dt$ を次式のとおり求めることができます。

$$dI/dt = \frac{VDD - V_{TH}}{L_S} \quad (\text{eq. 3})$$

また、ターンオフ中は次式のようにになります。

$$dI/dt = \frac{-V_{TH}}{L_S} \quad (\text{eq. 4})$$

低いゲート駆動振幅を考慮すると、非常に制限された電圧だけがソースインダクタンスに印加されます。これが負荷電流をすばやく上昇させるシステム機能に影響を与え、スイッチング遷移を効果的に減速します。ターンオフ時には、ソースインダクタンス両端の電圧はスレッシュホールド電圧前後に制限されるため、状況はさらに悪くなります。この現象はよく知られており、MOSFETのゲート駆動回路にも同様に存在します。相違点は、MOSFETゲート駆動回路の場合、ゲート駆動振幅は大幅に高く、ソースインダクタンスの負帰還はそれほど顕著ではないことです。

ゲートインダクタンスは別の種類の問題を引き起こします。これについてはFigure 8に示す等価回路で説明します。

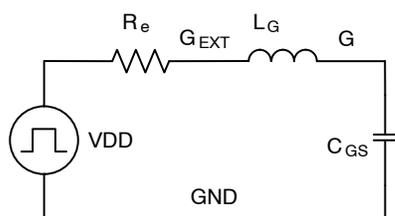


Figure 8. Gate Drive Loop Equivalent Circuit

ゲート駆動回路とGaNトランジスタの入力端子によりRLC共振回路網が形成されます。この回路の動作は減衰により大きな影響を受けます。極端な例として、完全に電力を遮断した初期状態で $R_e = 0 \Omega$ と仮定すると、所要5 V振幅のゲート駆動信号を印加することにより、10 Vのピーク電圧( $2 \times V_{DRV}$ )ストレスを生じ、チップレベルのデバイスのゲートとソース端子間に減衰されていない発振波形が発生します。これはトランジスタの破壊を招く可能性があるため、明らかに容認できません。

幸い、ドライバの出力インピーダンスとデバイスの固有内部ゲート抵抗によって、共振回路網には十分な減衰が起こります。リングングを起こさずに最適な性能を実現するには、回路網を十分に減衰させる必要があります( $\zeta = 1$ )。これを満たすための条件は、次式で与えられます。

$$R_e = 2 \times \sqrt{\frac{L_G}{C_{GS}}} \quad (\text{eq. 5})$$

通常、ゲート駆動ループの抵抗性インピーダンスの合計( $R_e$ )は、eq. 5で定義される臨界抵抗より大きい抵抗値になります。代表的な部品値に対するゲート駆動波形をFigure 9に示します。ここでは、 $L_G$ をゼロから2 nHの範囲で変化させ、一群の波形を発生させています。

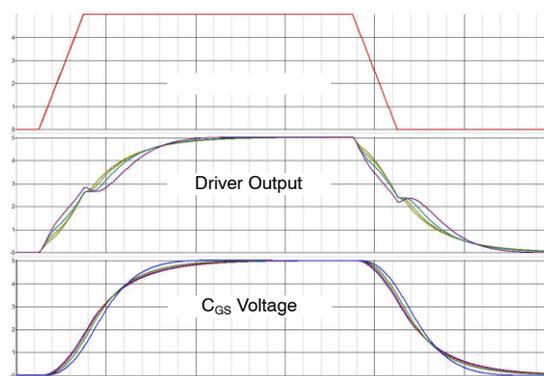


Figure 9. RLC Response to 1 ns Rise and Fall Time Drive Waveform with Typical Component Values ( $C_{GS} = 130 \text{ pF}$ ;  $R_e = 6.5 \Omega$ ;  $L_G = 0 \dots 2 \text{ nH}$ )

しかし、やはり現実的なのはゲート駆動ループのインダクタンスを最小限に抑えることです。というのは、 $L_G$ が増加すると、 $R_e$ を大きくして、減衰を最適に保つ必要があるからです。結局、RとLの値が大きくなり、ゲート駆動の速度が低下して、システムのスイッチング性能に影響を与えます。

結局、十分に制御された、適度な値のゲートインダクタンスの唯一の悪影響は、2ナノ秒の遅延とゲートインダクタンス値に比例する小さなパルス幅歪みが付加されることです。ドライバ設計の観点からは、出力インピーダンスが非常に低いと減衰が弱まり、GaNデバイスのゲート電極に過電圧が生じる可能性があるため、極端にピーク電流値の高いドライバを使用してコストを無駄にしないことが重要です。

ハイサイド駆動アプリケーションについては、以前の検討事項が残っています。唯一問題を複雑にする要因は、ドライバ回路にフローティング電源を使用する必要がある点です。これは専用のフローティングバイアス電源を使用して、ハイサイドドライバに電源供給することによって実現できます。この場合、設計者の主な関心事は、バイアス電源の巻線間の容量を極端に低くすることです。GaNスイッチを使用した電力段では、スイッチノードの $dV/dt$ を非常に高くできます。バイアス電源のフローティング巻線はスイッチノードを基準とするため、この高い $dV/dt$ がバイアストランスの2つの巻線に直接印加されます。スイッチング遷移中のトランスの容量性電流は巻線間容量に比例するため、この容量を可能な限り低減する必要があります。これはシグナルインテグリティを確保し、将来的にはEMI問題を回避するのに役立ちます。

ハイサイドドライバへの電源供給によく使用されるもうひとつの方法は、ブートストラップ技術で

す。MOSFETの駆動用として、多くの集積化ハーフブリッジドライバがあります。ドライバでは、グランド基準の入力ロジック、フローティングセクションと信号をやり取りするためのレベルシフタ、ハイサイドドライバ、そして場合によってはブートストラップダイオードさえもすべてモノリシックに集積化され、完全なソリューションとして提供されます。

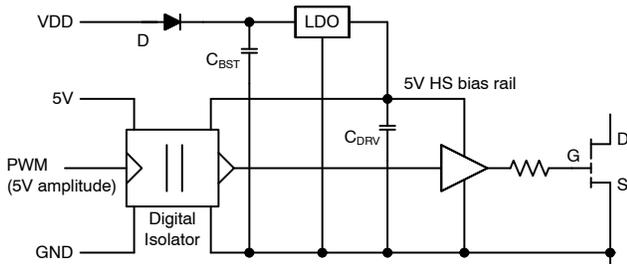


Figure 10. Discrete Bootstrap Drive for High Side GaN Transistor

GaNパワーデバイス向けには、単独で動作する同様の集積化ハーフブリッジドライバはまだ入手できません。アーキテクチャ上の大きな相違点のひとつは、GaNの場合、ローカルのバイアスレギュレータをドライバのフローティングセクションに含める必要があることです。これが必要な理由は、ブートストラップコンデンサの両端に発生する電圧が、動作条件とダイオードの温度によって大きく変化するためです。そのため、フローティングバイアスレールの精度は保証できません。この理由から、Figure 10に示すように、ブートストラップとレギュレーションの機能を分離することが望ましいといえます。

このソリューションは、一般に400 W以下の低電力レベルでの500 kHzなど、中程度のスイッチング周波数でGaNデバイスに使用できます。ブートストラップダイオードは、高速、低接合容量で、スイッチング時に両端に印加される高い $dV/dt$ に対応できる適切なものを慎重に選択する必要があります。

最後の要点として、kWを超える範囲の高電力アプリケーションについて、設計面では、オフタイム時にゲートに低い負電圧(-2 V)を印加することを検討する必要があります。この決定はデバイスとトポロジーの選択によって決まります。ハードスイッチングコンバータでは、この負電圧はほとんどの場合不要ですが、ソフトスイッチングあるいは共振コンバータでは、ドレイン電圧の上昇時に意図せぬターンオンが起こらないようにするために、必要性が高くなります。しかし、オフタイム時に負のバイアスを印加することには代償が伴います。第3象限での動作で電圧降下が増加するのです。 $V_{GS} = 0 V$ では、第3象限での動作においては、約-3 Vのデバイス電圧降下になる一方、負のバイアスを用いると、この電圧降下がちょうど負のバイアス振幅と等しい値だけ増加します(つまり、 $V_{GS} = -2 V$ の場合、 $V_{DS} = -5 V$ となる)。

## トポロジーの選択と応用分野

GaNデバイスと駆動要件が理解できたので、次はGaNパワースイッチに最適なトポロジーとアプリケーションに目を向けましょう。前述したように、GaN技術の欠点のひとつは、アバランシェ耐量が劣ることです。このことは、ワーストケースの動作電圧レベルやスイッチング遷移のオーバーシュートがほぼ予想できる通常の条件だけでなく、短絡、入力電圧の遷移、温度変化など、あらゆる状況でデバイスの定格電圧を超える電圧ストレスを回避すべきであることを意味します。

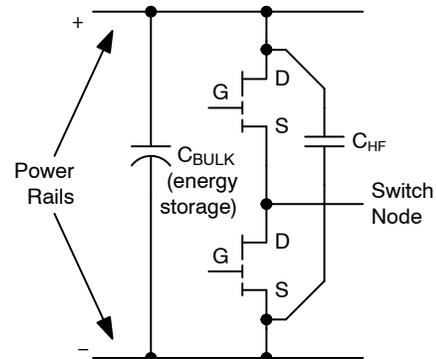


Figure 11. Fully Clamped Half-bridge Structure

これはGaNアプリケーションでFigure 11に示すフルクランプハーフブリッジ構造が好まれる最も大きな理由のひとつですが、唯一の理由ではありません。

この構成は、GaNデバイスを起こり得る過電圧から保護するのに最適です。上側トランジスタは下側トランジスタに対するクランプ機能を提供します。下側トランジスタに対する最大電圧ストレスは、大容量エネルギー蓄積コンデンサ( $C_{BULK}$ )の両端電圧より約3 V高い電圧に制限されます。この過剰電圧は、第3象限で動作する上側GaNパワートランジスタの、 $V_{GS} = 0 V$ で電流がソースからドレイン電極へ流れているときのソース-ドレイン端子間の電圧降下の結果です。クランプデバイスがGaNトランジスタのため、クランプ動作は非常に高速です。GaNの逆伝導には、pn接合や寄生成分が使われないことに注意してください。そのため、ハーフブリッジトポロジーにおいて保護される相補的デバイスの両端電圧の制限を遅らせる可能性がある順回復は存在しません。

さらに都合のよいことは、第3象限で伝導しているデバイスから電流が除去されるとき逆回復効果が、GaNトランジスタには全く無いことです。MOSFETアプリケーションでは、これを強制転流ポディダイオードと呼びます。パワーMOSFETがこのように動作すると大きな損失が生じ、最終的にデバイスの故障につながる可能性があります。ファストリカバリポディダイオードのオプションがパワーMOSFETに導入され、この問題を軽減することがで

きましたが、これらのデバイスでは同一チップサイズに対して $R_{DS(on)}$ が少し高くなります。

ハーフブリッジ回路に2個のGaNスイッチを使用する副次的な利点は、スイッチされた電流が流れているループ中の寄生インダクタンスが自動的に減少することです。このループは、2個のスイッチと高周波バイパスコンデンサ( $C_{HF}$ )で形成されています。GaNトランジスタのパッケージが小型かつ低インダクタンスなので、ループインダクタンスを最小限に抑える上で役に立ち、達成可能な最高のスイッチング性能が得られます。

その結果、GaNアプリケーションに最もよく利用されるトポロジーは、圧倒的にこのハーフブリッジ構造です。Figure 12から17に、これらのトポロジーを集めたものを示します。ハーフブリッジ構造を赤色で強調表示しています。

### ブリッジレストータムポールPFC

力率補正(PFC)アプリケーション向けに最もよく使用される構成は、Figure 12に示すブリッジレストータムポールPFCです。入力段の一方のレグ(ハーフブリッジ)はライン周波数で動作し、図示のダイオードやMOSFETと共に構成できます。もう一方のレグは高周波で動作し、この周波数からコンバータの動作周波数とブーストインダクタの大きさが決まります。小型で高効率求められる場合は、このハーフブリッジをGaNパワースwitchで構成することが多くなります。

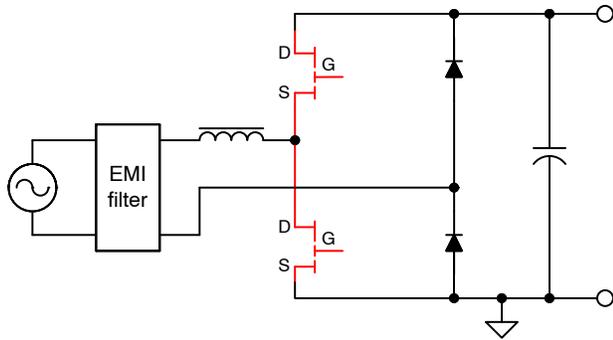


Figure 12. Bridgeless (Totem-pole) Boost PFC Converter

この回路は可変周波数の境界導通モードで動作します。このモードでは、入力インダクタを小さくできますが、既定の出力電力に対してはリップル電流が高い動作になります。適切な制御アルゴリズムを使用すれば、高速レグは両方のGaNデバイスでゼロ電圧スイッチングを実現できます。小型のインダクタとソフトスイッチング動作により、コンバータの損失を増やさずに、より高い周波数で動作し電力密度を向上させることができます。

インダクタのリップル電流を低く抑える必要がある場合、この回路を固定周波数で動作させ、ブーストインダクタをラインサイクルの大半でCCMモード

に保持します。このモードでは、ハードスイッチングとなり、整流スイッチ(正のラインサイクルにおいて下側スイッチはメインスイッチとなり、上側スイッチは整流器として機能)は、メインスイッチがターンオンした際にまだ導通しています。これはボディダイオードの強制転流を起こす可能性があるため、MOSFETにとっては好ましくないことです。GaNトランジスタは蓄積電荷や回復効果の影響を受けないため、高いスイッチング周波数においてもハードスイッチングが可能です。

### デュアルアクティブブリッジ(DAB)コンバータ

Figure 13に示す次の例は、デュアルアクティブブリッジ(DAB)と呼ばれる双方向コンバータです。これは2組のフルブリッジ回路を使用しており、GaNパワートランジスタによる高密度オンボードチャージャアプリケーションの最有力候補です。電力を伝達する方向によって、どちらか一方のブリッジ回路が制御ブリッジまたは整流ブリッジになります。

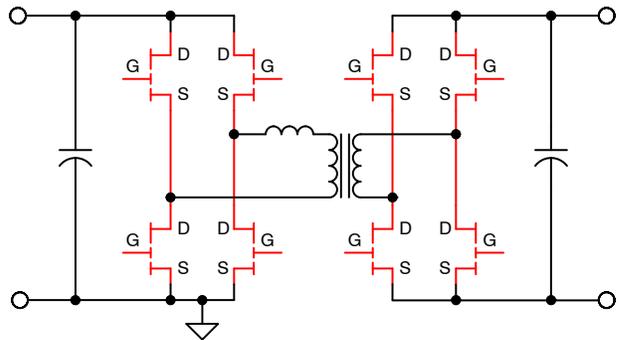


Figure 13. Dual Active Bridge (DAB) Converter

このコンバータはあらゆる半導体に対して、フルクランプ動作も実現できます。トランスは類似巻き数の巻線が2つだけある比較的単純なもので、簡単に高周波動作向けに最適化できます。

Figure 13には示していませんが、GaNベースのブリッジソリューションも、通常6.5 MHzおよび13 MHz周波数範囲で動作するため、ワイヤレス充電アプリケーションで非常によく使用されています。これらの周波数では、GaNはシリコンよりも大幅に効率が向上しています。場合によっては、GaNの導入により、高電圧から充電コイルを直接駆動して中間変換段を省略できるため、効率を向上させ高電力密度を実現できる可能性があります。

### LLC共振ハーフブリッジコンバータ

Figure 14はよく知られているLLCコンバータで、一次側にハーフブリッジ構造を使用して、LLC共振回路網を駆動します。定常状態の通常動作では、このコンバータは一次側のハーフブリッジではゼロ電圧スイッチング、二次側の同期整流器ではゼロ電流スイッチングを行います。シリコンMOSFETを使用する場合でも、このコンバータは回路のソフトスイ

ッチングにより、適度に高い周波数で高効率動作を実行します。

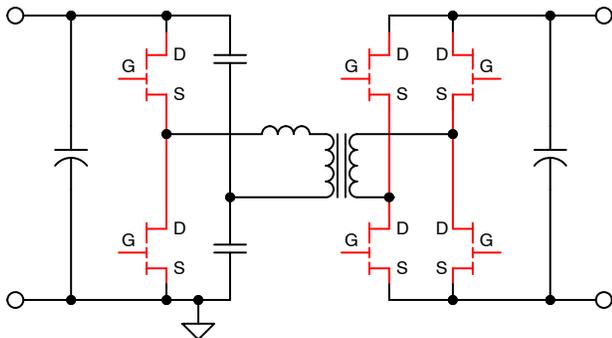


Figure 14. Half-Bridge LLC Resonant Converter

一次側にGaNデバイスを適用し、二次側はGaNベースの同期整流器で補完すると、効率や動作周波数をさらに向上させ、小型化することができます。LLCコンバータがよく使用される応用分野は、高密度電源アダプターや大型テレビ画面用などの薄型電源です。高電力レベルでは、LLCコンバータはテレコム向け整流器やサーバ向け電源ソリューションでも好まれています。

#### アクティブクランプフライバックコンバータ

アクティブクランプコンバータは、以前から知られていますが、2番目のスイッチ制御がより複雑になることと、単純な従来の構成に比べ十分に改善されなかったため、広くは使用されていませんでした。Figure 15に示すアクティブクランプフライバックコンバータは、GaN技術が利用可能になって以来、再び脚光を浴びています。

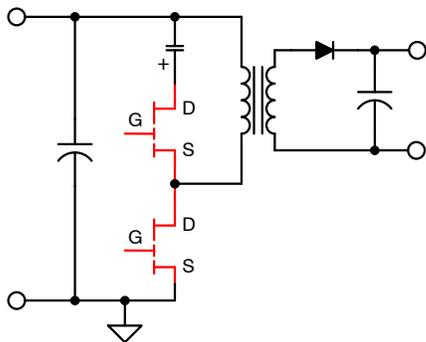


Figure 15. Active Clamp Flyback Converter

アクティブクランプフライバックは、両方のデバイスが入力エネルギーの蓄積コンデンサとクランプコンデンサの直列接続にクランプされるため、GaNのハーフブリッジ構造に適しており理想的です。GaN半導体は低容量のため、広範囲の入力電圧と負荷に対して、ゼロ電圧スイッチングを容易に実行できます。ゼロ電圧スイッチングとマッチングしているGaNベースの同期整流器により、動作周波数はMHzレンジに向上します。トランスとコンデンサのサイズは、この劇的な周波数の変化により大幅に縮小で

き、先進的なコントローラにより軽負荷時の効率要件に対応し、業界標準を満たすことができます。アクティブクランプフライバックは、高電力密度モバイルチャージャや小型電源アダプタ向けでは、今や第一候補です。

#### 超高周波共振コンバータ

GaN技術が考えられるもうひとつの分野は共振電力変換で、特に20~100 MHzの周波数領域の場合です。Figure 16にGaNアプリケーションに適したトポロジーの一例を示します。これはDE級の回路で、GaNによって実現できる超高速性を活用したものです。この構成により、GaNハーフブリッジ向けに所望のクランプ動作が得られるため、異常動作状態時に共振回路において不可避の高電圧を受けないようにすることができます。

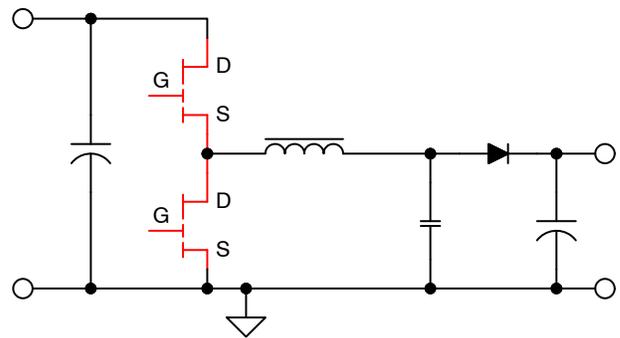


Figure 16. Class DE Resonant Inverter

Figure 16のDE級インバータは絶縁されていませんが、回路に絶縁トランスを組み込んでオフラインアプリケーションに使用することができます。最も普及しているこのソリューションの応用分野は、高性能照明アプリケーションです。

#### 同期バックコンバータ

常に人気が高い同期バックコンバータをFigure 17に示します。GaNハーフブリッジを入力エネルギー蓄積コンデンサと並列に配置することにより、理想的な動作条件を実現できます。

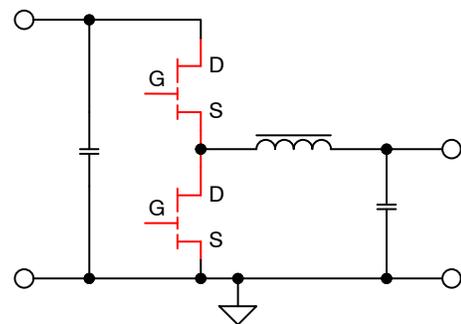


Figure 17. Synchronous Buck Regulator

GaN向けとして最良の高周波同期バックアプリケーションは、大きな降圧比、つまり非常に低いデュー

ーティ比が必要な場合や、オフラインソリューションなど48 V以上の高入力電圧の場合です。

### 同期整流器としてのGaNパワースイッチ

Figure 18に同期整流器のスイッチを赤色で強調表示しています。

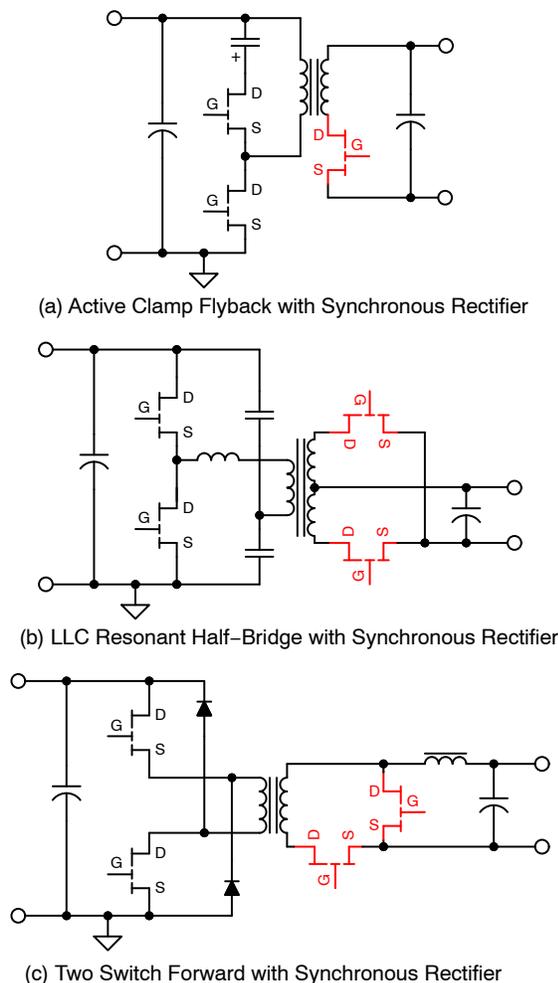


Figure 18. Synchronous Rectification Examples

多くのトポロジーで、同期整流器は所望の完全クランプ回路に適合しないため、GaNトランジスタにとっては特別なケースです。それにもかかわらず、GaNスイッチは最短のターンオン・ターンオフ遅延と最良のタイミング精度を実現できるため、同期整流によく使用されます。多くのケースで、速度に対するニーズがシステムでのオーバーシュートからの完全な保護に優先しています。とはいえ、GaNスイッチはほぼ完全なタイミング精度を実現できるため、同期整流器の電圧ストレスを回避、あるいは少なくとも低減するのに役立ちます。

### 推奨レイアウト

GaN半導体は、適切に使用すれば、最高速で最高効率を実現する高性能デバイスです。この技術の潜在能力を完全に引き出すには、最良の受動部品を使

用し、最良のレイアウト設計を行う必要があります。言うまでもなく、単層プリント基板によるレイアウトや従来のスルーホール部品では、低インダクタンス、高速回路設計手法をサポートできません。GaN技術には、トランジスタ自体のために高性能パッケージングが必要であり、これらの要件は当社の設計において、GaNデバイスと共に使用する受動部品やプリント基板に直接影響します。ほとんどの場合、4層のファインピッチPCBを使用する必要があります。またレイアウト設計時に対応する必要があるキーポイントがいくつかあります。デバイスとドライバに関して、設計上留意すべき点を下記に示します。

- 入力コンデンサとGaNスイッチ間の距離を短くし、直接接続(ビアを回避)すること
- スイッチノードは小さくし、直接接続して他から孤立していること
- スイッチノードとPGNDは、GaNデバイスの放熱板として機能する — 他の層が冷却に関与する場合はサーマルビアを数多く使うこと
- 制御信号とゲート駆動信号は短くし、直接接続して、長さを等しくすること。出力パスとリターンパスは隣接する層に配置し重ね合わせること(最短距離)

もうひとつの重要な分野はグラウンド系および電源プレーンの位置とルーティングです。4層基板を自由に使用しても、電源と信号のグラウンドの分離、大電流ループ(DC)とスイッチング電流ループ(AC)の特定と分離は困難な作業になります。電源プレーンのルーティングに関するいくつかのキーポイントを次に示します。

- 信号プレーンと電源のグラウンドプレーンを分離し、これらを単一点でのみ接続すること(スター接続)
- 可能な限り電源ループを最小限に抑え、電源とそのリターンパスには隣接プレーンを使用すること
- 主要信号には「チップとバレル」用テストポイントを設けること

Figure 19に、高電圧入力同期バックコンバータの電源プレーンのルーティングを示します。

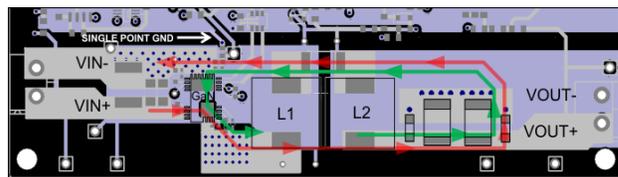


Figure 19. Power Stage Layout Example

この例では、電流の流れがどのように最適化されているか、そして実際には電流は常に同一の位置を流れている(緑の矢印=フリーホイール状態、赤の矢印=順方向状態)ことを示しています。バックコンバ

一タのスイッチング電流ループが、GaNパワースイッチと左隣の高周波バイパスコンデンサの下の小さな領域に制約されています。適切に検討した慎重な設計結果をFigure 20に示します。この1.55 MHz、高電圧(オフライン)の同期バックコンバータのスイッチング波形は理想的なものです。

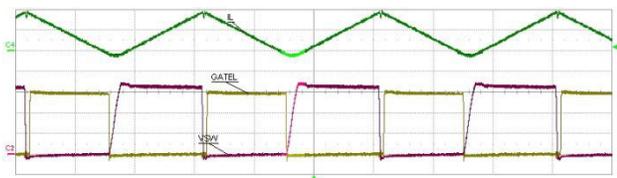


Figure 20. Waveforms of the Example Circuit

波形の中で最も注目すべきはスイッチノード波形(VSW –ピンクのトレース)です。同期バック回路はスイッチノードにあらゆる種類のリングングが発生することでよく知られていますが、デバイスを低インダクタンスのパッケージに実装し、慎重に高周波回路のようなPCB設計を行い、ゲート駆動のタイミングを最適化することで、リングングは完全に除去されました。実際、スイッチノード波形は非常にきれいなため、逆伝導におけるハイサイドスイッチ両端の電圧降下(ゲートのターンオン前)が追加されていることがはっきりわかります。

## 最後に

電力密度は、今日の電源に対する最も重要な「判断の目安」あるいは性能指数として浮上しています。電力密度には、あらゆる重要な性能属性が含まれるため、技術革新を示す優れた指標です。電力密度は、製品ライフサイクル全般にわたって常にコスト削減に対する影響を測定できるため、意味のある経済的価値を示唆します。

電力変換技術はワイドバンドギャップ半導体の導入により、変曲点を通過しようとしています。SiCおよびGaN技術により、パワーコンバータとパワーシステムのアーキテクチャ構築に新しい方法がもたらされます。その影響は、IGBTやバイポーラトランジスタの後でパワーMOSFETが過去数十年間にこの業界を形作った道のりに似て、長期間継続する革新的なものになるでしょう。

これらの技術はまだ比較的新しいため忍耐が必要です。しかし、これらの技術が電力変換における主役となるべく、絶えず前進していることに注目してください。

さまざまな用途に採用が広がるようになるのに伴い、電源メーカーやその顧客は、著しい電力密度の進展を期待できます。最大の進歩はおそらくGaNをベースとした電力変換により達成されるでしょう。GaNの時代が始まります。

著者紹介：Laszlo Baloghは、オン・セミコンダクターのコーポレートフェローであり、技術スタッフのメンバーで、電源設計、電力システムエンジニアリング、パワーマネジメント集積回路アーキテクチャの開発に30年以上の経験を持っています。彼の専門的な関心には、スイッチモード電力変換技術のあらゆる側面が含まれます。近年、Laszloはワイドバンドギャップ半導体のエコシステムと、それらがコンバータトポロジーおよび制御アルゴリズムに与える影響に目を向けています。Laszloは、多くの学会論文やアプリケーションノートを執筆しており、また多数の特許を取得、出願しています。彼は以前の勤務先であるユニットロード、テキサス・インスツルメンツ、フェアチャイルド、また最近ではオン・セミコンダクターにおいて、業界をリードする電源設計セミナーへの貢献を通じて、最もよく知られている技術者の一人です。

ON Semiconductor及びON SemiconductorのロゴはON Semiconductorという商号を使うSemiconductor Components Industries, LLC 若しくはその子会社の米国及び/または他の国における商標です。ON Semiconductorは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。ON Semiconductorの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marketing.pdf](http://www.onsemi.com/site/pdf/Patent-Marketing.pdf)。ON Semiconductorは通告なしで、本書記載の製品の変更を行うことがあります。ON Semiconductorは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害など一切の損害に対して、いかなる責任も負うことはできません。お客様は、ON Semiconductorによって提供されたサポートやアプリケーション情報の如何にかかわらず、すべての法令、規制、安全性の要求あるいは標準の遵守を含む、ON Semiconductor製品を使用したお客様の製品とアプリケーションについて一切の責任を負うものとします。ON Semiconductorデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。ON Semiconductorは、その特許権やその他の権利の下、いかなるライセンスも許諾しません。ON Semiconductor製品は、生命維持装置や、いかなるFDA(米国食品医薬品局)クラス3の医療機器、FDAが管轄しない地域において同一もしくは類似のものと分類される医療機器、あるいは、人体への移植を対象とした機器における重要部品などへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にON Semiconductor製品を購入または使用した場合、たとえ、ON Semiconductorがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、ON Semiconductorとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。ON Semiconductorは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。

## PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:  
Literature Distribution Center for ON Semiconductor  
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA  
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada  
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada  
Email: [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

N. American Technical Support: 800-282-9855 Toll Free  
USA/Canada  
Europe, Middle East and Africa Technical Support:  
Phone: 421 33 790 2910

ON Semiconductor Website: [www.onsemi.com](http://www.onsemi.com)  
Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative