



力率補正
—
各種最適化オプション

力率補正 – 各種最適化オプション

Prepared by: **Joel Turchi**
Applications Engineer

要約:

最新の電源を設計する際は、環境問題が原因で新たな効率要件が課されるようになってきました。例えば、80 PLUS規格の制定と、Bronze、Silver、Goldなどの派生規格への移行[1]により、デスクトップやサーバのメーカ各社は、革新的なソリューションへの取り組みを迫られています。ここで重要になるのは、力率補正(PFC)ステージとEMIフィルタを組み合わせると、低ラインにおいて最大負荷の場合に、出力電力の5%~8%を消費することです。

一般的に、該当するデバイスは設計の最大電力で永続的に動作することではなく、最大電力での動作は短時間にとどまります。したがって、効率的に省電力を実現するために、「グリーン要件」は最大負荷時の効率だけをターゲットにしているわけではありません。この種の要件は、平均的効率を達成するための最小レベル、または最大負荷の20%、50%、100%といった負荷状況における効率比を規定することによって、実際の動作条件に対処する傾向が強くなっています。

その結果、最大負荷、中負荷、軽負荷時の効率比が、取り組むべき重要なポイントになります。本書では最初に、広い負荷範囲にわたって効率を最適化すると同時に、コストを最適化するうえで、どのような制御方式が役に立つかを説明します。特に、マルチモードアプローチが、全負荷範囲にわたってどのように損失を最小化することができるかを説明します。次に、アーキテクチャの要素を考慮しますが、ブリッジレスとインタリーブの各アプローチに注目します。これらのソリューションで達成できる個別の利点を、幅広いライン電圧を使用する300 Wアプリケーションで比較します。

はじめに

公益事業者からのライン電源は正弦波電圧の供給ですが、ライン電流の形状と位相は負荷によって異なります。負荷がリアクタンス素子を使用している場合、電流の位相シフトが生じます。非線形負荷の場合、高調波電流が不必要に循環する形で流れ、導通損失の増加を引き起こします。

その結果、ライン電流で位相シフトと歪みの両方が発生する場合、複素平面の実数で表現できる有効電力も、次式のとおり歪みや変位要因の影響を受けます。

$$P_{in,avg} = V_{line,rms} \cdot I_{line,rms} \cdot \cos(\phi) \cdot \cos(\theta) \quad (\text{eq. 1})$$

ここで、 $\cos(\phi)$ と $\cos(\theta)$ はそれぞれ変位要因と歪み要因です。

力率は、変位要因(ライン電流とライン電圧が同相でない場合は1未満)と歪み要因(ライン電流が正弦波でない場合は1未満)の積になります。

$$PF = \cos(\phi) \cdot \cos(\theta) \quad (\text{eq. 2})$$

公益事業者から供給される電力のライン電圧は適切に制御された制限波電圧であると想定されますが、次式を参照すると、電力需要が一定の場合、ライン電流がPFに反比例することがすぐに分かります。

$$I_{line,rms} = \frac{P_{in,avg}}{V_{line,rms} \cdot PF} \quad (\text{eq. 3})$$

したがって、力率比が低い場合、配電網に不要なリアクティブ電流が流れていることを示唆しています。eq. 3が強調しているように、このような事態はラインrms電流につながり、導通損失が増加することになります。また、この事態はコンセントで負荷側が受け取ることができる電力も制限する結果になります。例えば、PF = 0.5の場合、ラインrms電流はPFが1のときの2倍になるので、定格16 Aの電気ソケットから引き込むことができる電力が1/2に制限されます。

一般に力率補正(PFC)標準として知られるEN61000-3-2規格は、ライン電源から引き込む電流の全高調波歪み(THD)を最小化することを目的として発行されたものです。実用上、法令が規定する最大高調波振幅は、2次高調波から40次高調波までを対象にしています。EN 61000-3-2の規定に加えて、PFの仕様はEnergy Starのような各種規格の一部になっており、力率補正の使用を一般化するのに大きく貢献しています。他の規格は、入力電流が > 16 A (例えば、EN 61000-3-12)のアプリケーション向け、または航空機のような特定のアプリケーション向けです。

アクティブソリューションは、これらの規制に適合するための最も効果的な手段です。Figure 2に示すように、PFCプリレギュレータは入力ブリッジとバルクコンデンサの間に挿入します。この中間ステージは、定電圧を出力すると同時に、ライン電源から正弦波電流を引き込むように設計されています。実際は、このタイプのコンバータは堅牢かつ実装が容易であるという理由から、昇圧(すなわち、ブースト)構成が採用されます。このトポロジでは入力電圧より出力電圧が高い必要があります。これが汎用ライン電源条件で、出力安定化レベルが一般に400 V前後に設定される理由です。

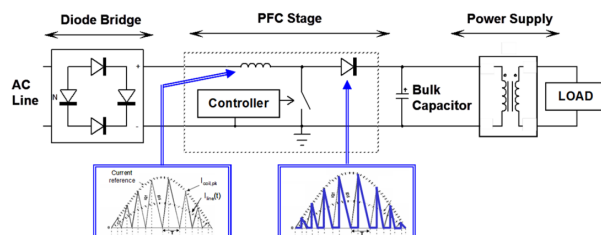


Figure 1. Power Factor Corrected Power Converter

この追加ステージの採用により、より狭い範囲の入力電圧を供給することで、メインのダウンストリームコンバータの設計を簡素化できます。また、高電圧DCリンク(バルク)コンデンサにより、ホールドアップ時間要件を満たすと同時に、昇圧コンバータの入力電流がパルス状ではなくなるので、EMIフィルタリングが容易になります。ただし、すでに説明したように、最新の電源にとって効率率は主要な要件となっています。PFCプリコンバータは、現在の仕様を満たすために軽減する必要がある損失が発生する場所です。Figure 2に、オンセミ製NCP1654で駆動する、広いライン電源電圧範囲に対応する300 WのPFCステージの効率特性を示します[2]。一般的に、PFC昇圧コンバータの効率は低ラインにおいて悪化します。[3]は、効率チャートは一般的に中間負荷レベルをピークとする釣鐘曲線形状になると説明しています。この中間レベルの頂点から負荷が大きくなると導通損失が原因で、効率は徐々に低下します。また軽負荷側では、一定の損失とスイッチング損失が原因で効率が低くなります。[4]。

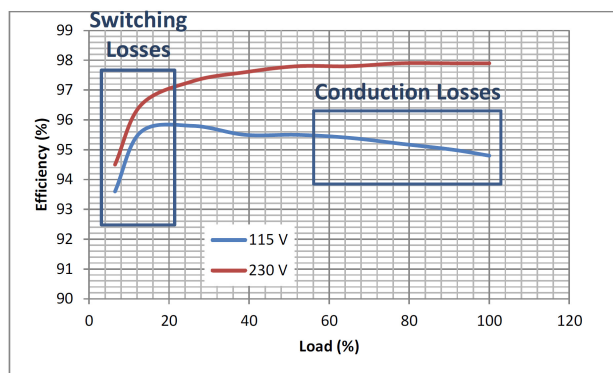


Figure 2. Efficiency over the Load Range of the NCP1654 Evaluation Board

以下のように2種類の損失を確認することができます。

- 第一に、負荷が大きくなると導通損失が増加します。この損失の一部は、ほぼ入力電力に比例します。一般的にその原因になるのは、後述する入力ブリッジ内などにあるダイオードの順方向電圧です。この値は入力電力に対してほぼ一定の比率になるので、この値が効率に及ぼす影響は全負荷範囲にわたって一定です。他の損失は、入力電流の2乗に比例するので、ライン電圧レベルが一定の場合、電力の2乗に比例することになります。この損失は、電流パス内に存在するすべての抵抗、すなわちEMIフィルタの寄生抵抗、昇圧インダクタのAC抵抗、MOSFETのオン抵抗、電流センス抵抗、またはバルクコンデンサの等価直列抵抗、の消費で形成されています。これらの損失が効率に及ぼす負の影響は、入力電力の2乗に比例し、負荷が大きくなると大幅に増加します。Figure 2に示すように通常、低ラインで負荷が大き

いと効率が低下します。仮にEMIフィルタの寄与分を除外すると、これらの損失はインダクタ電流リップルに大きく依存します。

- 第二にスイッチング損失は以下のように形成されています。
 - ◆ 電流がパワースイッチから昇圧ダイオードに、またはその逆方向に遷移するときのエネルギー損失。これらの損失は、整流される電流の大きさとスイッチング周波数に比例します。また、非理想的な成分(寄生静電容量およびダイオードのリカバリに必要な電流電荷・ $SR > Q_{rr}$)が原因で発生する遷移の遅延にも依存します。これらの損失は電流に比例し、スイッチング周波数が一定の場合、負荷範囲にわたって効率にほぼ一定の影響を及ぼします。CrMの場合、軽負荷条件の場合はスイッチング周波数が高くなるため、この影響は大幅に悪化します。
 - ◆ スwitchングモードの電力伝送を管理するのに必要なエネルギーで、主にスイッチングセルの整流に起因します。これらの損失は、[4]では一定損失という項で表現されており、整流される電流から独立しています。例えば、パワースイッチを駆動するのに必要な電力は、1個のMOSFETを対象にする場合、 $P_{drive} = V_{CC} \cdot Q_g \cdot f_{sw}$ で表現できます。ここで、 V_{CC} はMOSFETのゲートに印加される電圧、 Q_g はゲートを V_{CC} まで充電するのに必要な合計ゲート電荷、 f_{sw} はスイッチング周波数です。また、MOSFETの出力容量を放電する際のターンオンに起因する損失は、特定の制御則が適用される場合以外は、処理電流に無関係です。このように、この損失は負荷から独立していると考えられます。その結果、この損失が及ぼす影響は、最大負荷時は一般に小さくなり、軽負荷時はかなり増加することになります。臨界導通モード回路などを使用して、軽負荷時にスイッチング周波数が大きくなる場合、この効率低下はさらに悪化します。これらの損失は負荷に対して一定ではなく、電力定格が小さい場合にむしろ増大することになるからです。
 - ◆ 磁心損失はある程度の範囲まで、連続導通モード(CCM)または臨界導通モード(CrM)で前述したカテゴリの一部に分類することができます。Steinmetzの式($P_C = k \cdot f_{sw}^\alpha \cdot (\Delta B)^\beta$)は、この損失が磁界のスイングとスイッチング周波数のみに依存することを示しており、CCMの場合はこれらは両方とも一定で、CrMの場合はその派生値が互いに打ち消しあう傾向があるからです。

これらの損失に対して、PFCコントローラが永続的に消費する電力(V_{CC} 消費)と、高電圧センシング回路など、様々なバイアス電流に起因する消費電力を加算することができます。これらの損失は、非常に低電力のときに高い効率比が必要な場合に問題になる可能性があります。

PFC昇圧コンバータの最大負荷時の損失は、主に効率が最も悪化する最低ライン電圧で考慮する必要があります。熱管理と電力素子の選択は、これらの影響によって大きく左右されます。したがって、前述の概要に示した効率低下の要因に基づくと、軽負荷時はスイッチング損失を制御する必要があるのに対し、最大負荷で低ラインの場合は導通損失を抑制する必要があります。

以降のセクションでは、この目標を達成するための動作を最適化するうえで、PFCの制御方式とアーキテクチャがどのように役立つかを説明します。

1チャンネルPFCでの一般的な動作モード

Figure 3に、PFCステージにおける基本的な制御方式を要約します。

- 連続導通モード(CCM)では、パワースwitchのターンオン時の損失を犠牲にしてインダクタ電流リップルを制限します。CCMは、従来から固定スイッチング周波数で動作し、一般的に300 W以上のアプリケーションで使用されます。
- 臨界導通モード(CrM)では、インダクタ電流が0に達すると新しいスイッチングサイクルが開始されます。その結果、CrMでは高速リカバリかつターンオン損失を生じる t_{rr} がないダイオードの必要性が低下します。他方、スイッチング周波数は本質的に可変であり、電流リップルも大きくなります。CrMは、照明や他の小電力アプリケーションでごく一般的に使用されています。CrMコントローラは簡素で安価です。
- 周波数クランプ臨界導通モード(FCCrM)は、CrM回路のスイッチング周波数の拡散を限定するために、オンセミが導入した方式です。最大周波数クランプは、コンバータが軽負荷/ラインゼロ交差付近での動作時に、不連続導通モード(DCM)を強制します。この回路がない場合、CrMのスイッチング周波数はクランプの上限スレッシュホールドを上回ることになるので、当然スイッチング損失が増加します。ライン電流が適切な形状を維持するように、DCMが生成するデッドタイムを補償するための回路が追加されます。

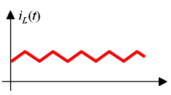
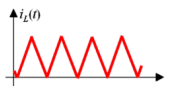
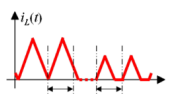
	Operating Mode	Main Features
	<u>C</u> ontinuous <u>C</u> onduction <u>M</u> ode (CCM)	Always hard-switching Inductor value is largest Minimized rms current
	<u>C</u> ritical conduction <u>M</u> ode (CrM)	Large rms current Switching frequency is not fixed
	<u>F</u> requency <u>C</u> lamped <u>C</u> ritical conduction <u>M</u> ode (FCCrM)	Large rms current Frequency is limited Reduced coil inductance

Figure 3. Operating Mode Overview

これらの動作モードに関する詳細は[5]に記載されています。これらのモードの最適な使用方法は、以降のセクションにて効率単位で説明します。CrMは最大300 Wの用途についてごく一般的に使用されています。安価で $r_{DS(on)}$ の小さいパワースwitchが入手可能なため、電力範囲が拡大される傾向にあります。ここでは、CrMをデフォルト動作モードとして使用します。

A. 臨界導通モードの基礎

Figure 4に、CrM PFCのインダクタ電流サイクルを示します。インダクタ電流は、望ましい平均値の2倍まで上昇しそこから降下して0になると直ぐに、再び正方向に上昇します。

このPFCステージは、取得した電流三角波の振幅を調整し、インダクタの平均電流が望ましい角度になるようにします。EMIフィルタはフィルタリング機能を実行します。

インダクタのピーク電流は次のようになります。

$$I_{L,pk} = i_{L,pk}(t) = \frac{v_{in}(t) \cdot t_{on}}{L} \quad (\text{eq. 4})$$

ラインの瞬時電流は $I_{L,pk}$ をピークとする三角形の平均値です。したがって、

$$I_{line}(t) = \langle i_L(t) \rangle_{T_{SW}} = \frac{i_{L,pk}(t)}{2} = \frac{v_{in}(t) \cdot t_{on}}{L} \quad (\text{eq. 5})$$

式5から、三角形の振幅と電流の形状を制御する2つの従来型の方法を導き出すことができます。

- 正弦波基準信号を生成し、この正弦波の形状に追従するように、インダクタのピーク電流を強制的に制御します。これは電流モードのアプローチです。
- 一定オン時間の指示。これは電圧モードのアプローチです。

[6]に記載するとおり、どちらの場合も安定化ループの帯域幅を狭く設定するので、その出力は緩やかに変化する信号になり、ラインサイクルの半周期内では一定とみなすことができます。次に、この出力を使用してオンタイムを制御するか、入力電圧の一部と乗算して、正弦波基準信号を生成することができます。

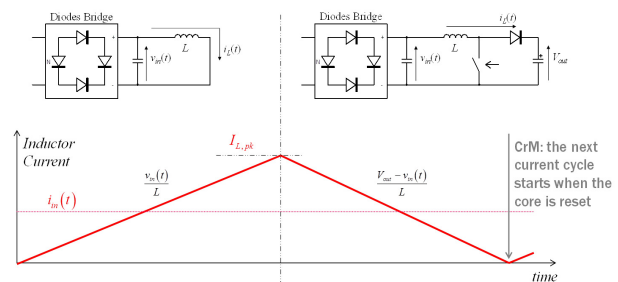


Figure 4. Switching Sequences of a Critical Conduction Mode PFC Stage

CrMは簡素かつ堅牢なだけでなく、大きな利点はターンオン損失が最小になることです。第一に、電流が0になった時点で、昇圧ダイオードが自然に開回路になります。したがって、心配な逆回復電荷(Q_{rr})が存在しません。さらに、インダクタ電流が0に達しても、その直後にパワースイッチがターンオンすることはありません。代わりに、[7]に詳述するように、閉回路になるまでに t_d 、標準で数百ナノ秒(ns)の遅延が生じます。この遅延の間、インダクタとスイッチングノード集中容量で構成される発振回路が、入力電圧付近でパワースイッチ電圧の振幅を形成します。Figure 5に示すように、低点に達して t_d の終了時に、パワースイッチを閉回路にします。したがって、瞬時入力電圧が($V_{out}/2$)より高いとき低点電圧は($2v_{in}(t) - V_{out}$)という小さな値になるので、ターンオン損失は最小になります。

($v_{in}(t) < V_{out}/2$)の場合、さらにゼロ電圧スイッチングを実現できます。

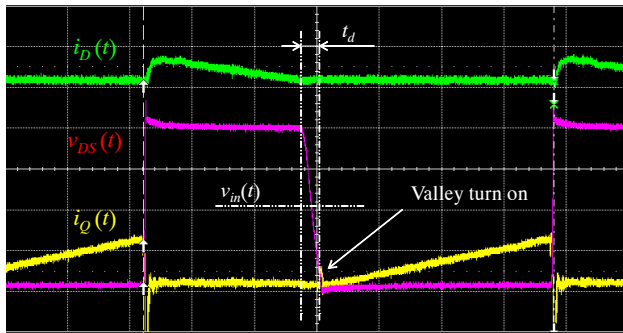


Figure 5. Valley Turn-on of the MOSFET
(Measured on the NCP1612 Evaluation Board)

一方、CrMには非常に不便な点が2つあります。

- インダクタ電流リップルが大きいので、入出力電流フィルタの体積が大きくなります。また、このリップルは昇圧コンバータ内での高rms電流の発生と、インダクタ内での銅線/コア損失の増大も意味します。この結果、コスト効率が制限され、ソリューションの実用的用途は大電力アプリケーションに限定されます。
- スwitchング周波数は可変で、特に軽負荷条件下で高いレベルに達する可能性があるため、このモードでは効率が変化します。次式で、ライン電圧と入力電力の関数の形で、スイッチング周波数の簡略化した式を示します(ただし、低点に達するまでの遅延は無視)。

$$f_{sw}(t) = \frac{V_{in,rms}^2}{2 \cdot L \cdot P_{in,avg}} \cdot \left(1 - \frac{v_{in}(t)}{V_{out}}\right) \quad (\text{eq. 6})$$

次のセクションで説明するように、軽負荷条件下でスイッチング周波数が上昇すると、効率は大幅に低下します。残念ながら、この低下を緩和できるのは、大型インダクタを使用する場合のみです。

B. DCM動作：良い考えか？

[7]は、付加的な回路を追加しない場合、CrM PFCステージのスイッチング周波数をクランプすると、ライン電流が大きく歪むと説明しています。オンセミはNCP1612やNCP1632のようなコントローラをすでにいくつかリリースしており、独自回路が組み込まれています。実用上、これらのコントローラは前のスイッチングサイクルで生成されたデッドタイムを検知し、その入力に基づいてオンタイムを長くするので、1つのスイッチング周期にわたる電流の平均値は、CrMを使用する場合と同程度の値にとどまります。

これをFigure 6に示します。同じライン電流を維持するのに必要なのは、CrMのピーク電流である($I_{L,pk}$) $_{CrM}$ であり、DCMの場合はそれより大きい($I_{L,pk}$) $_{DCM}$ が必要です。

$$i_{line}(t) = \frac{(I_{L,pk})_{CrM}}{2} = \frac{(I_{L,pk})_{DCM}}{2} \cdot \frac{t_{on,DCM} + t_{demag,DCM}}{T_{SW,DCM}} \quad (\text{eq. 7})$$

ここで、

- $t_{on,DCM}$ は、考慮しているDCMサイクルのオンタイムです。
- $t_{demag,DCM}$ は、 $t_{on,DCM}$ に対応する減磁位相です。
- $t_{SW,DCM}$ は、DCMのスイッチング周期です。

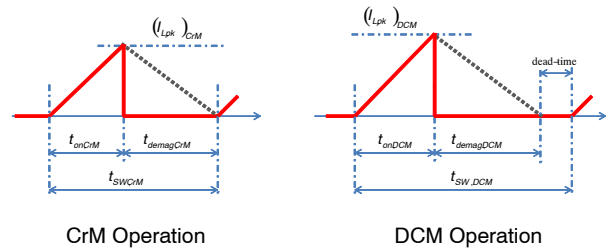


Figure 6. Power Switch Current in CrM (Left) and DCM (Right)

このシステムは、ライン電源の半周期内で、CrM(通常は正弦波の上側)とDCM(通常はライン電源のゼロクロス付近)の間で切り替えることができ、動作に不連続が生じずPFの低下もないという意味で自己適応型であることに注意してください。単純に言えば、DCMサイクル内はオンタイムの比率が大きくなり、デッドタイムが存在しないときはそのCrM持続期間を回復することになります。このオンセミ独自の方式を、周波数クランプ臨界導通モード(FCCrM)と呼んでいます。このモードは、負荷の関数としてスイッチング周波数を徐々に低下させる(NCP1631)、電流制御の周波数フォールドバック(NCP1611/2)、または低点スイッチング周波数フォールドバック(NCP1602/22)など、様々な周波数フォールドバックモードに関連付けることができます。

Figure 6に示す電流の形状は、DCMモードを使用すると導通損失が大きくなることを示唆しています。

す。[8]は、スイッチング周波数をクランプする、または引き下げる(周波数フォールドバック)と、逆効果になる可能性があることを示しています。コンバータがCrMで動作する場合、実用上最適な周波数低減は、スイッチング損失と導通損失との比率です。これが意味するのは、 α が $(f_{sw,CrM} \text{ over } f_{sw,DCM})$ という比率に等しいと仮定することです。ここで、 $f_{sw,DCM}$ はDCMのスイッチング周波数、 $f_{sw,CrM}$ はCrMが維持されていた場合のスイッチング周波数です。この場合、 α の最適な値は、次のとおりです。

$$\alpha_{opt} = \frac{(P_{sw})_{CrM}}{(P_{cond})_{CrM}} \quad (\text{eq. 8})$$

ここで、 $(P_{sw})_{CrM}$ と $(P_{COND})_{CrM}$ はそれぞれCrMで動作した場合のPFCステージのスイッチング損失と導通損失です。ただし、スイッチング損失は予測が難しいため、理論的かつ高精度に α_{opt} を見つけるのは困難です。いずれにしても、導通損失は入力電流との積で形成されるので、入力電流は周波数フォールドバックを制御するための適切な情報です。

これらの効率に関する検討事項に従い、オンセミはいわゆる電流制御周波数フォールドバック(CCFF)でPFC昇圧ステージを駆動するためのパーツ(NCP1611/2/5/6)をリリースしました。このモードでは、ライン電流がプログラムされた値を上回ると、PFCステージは従来の臨界導通モードで動作します。反対に、電流がプリセットレベルを下回る場合、ライン電流が0に低下するとスイッチング周波数は約20 kHzに向かって低下します。

Figure 7に、CCFFがスイッチング周波数を低減させる方法を示します。この図のプロットは、NCP1612評価ボードを使用して取得したものです[9]。ライン電流が小さくなりラインのゼロクロスに近づくと、回路はデッドタイムを引き延ばします。最後に、CCFFの昇圧ステージは、ライン電流が大きい条件下ではCrMで動作することを意図しているので、ライン電流が減少するとコントローラは不連続導通モード動作に入ります。ところで、DCMであっても、最適な省電力を実現できるようにドレインソース間電圧が低点に達するまで、MOSFETのターンオンが引き伸ばされます。

Figure 8は、NCP1612評価ボードを使用して取得し[9]で詳述されるデータを示しています。ここでは、CCFFの効率と同じボードを純粋なCrM回路として動作させた場合(NCP1612のCCFF機能を禁止する方法による)の効率とを比較しています。さらに、NCP1612は電流が非常に小さい場合、ラインのゼロクロス付近でサイクルをスキップすることができます(緑線)。この効率比は、広い電力範囲(最大負荷の5%~100%)にわたり、低ラインと高ラインの両方で測定したものです。CCFF効率曲線の右側は、従来のCrM PFCステージに似ています。左側においては、効率はスイッチング損失のためにCCFF動作の結果として周波数が再度上昇を開始する変曲点に達するまで、通常低下します。前述したとおり、CCFFはライン電流がプリセットレベルを下回ったとき、瞬時ラ

イン電流の関数としてスイッチング周波数を直線的に低下させます。CCFFのスレッシュホールドは、低ラインではラインの最大電流の約20%に、また高ラインでは45%近くに設定されていました。このことは、Figure 8で見られる前述の変曲点で確認できます。したがって、CCFFは低ラインでは負荷が20%以下のときの効率を大幅に向上させると同時に、ライン電圧が230 Vの場合、利点が目に見える形で明確になり始めるのは負荷が50%を下回った時点です。

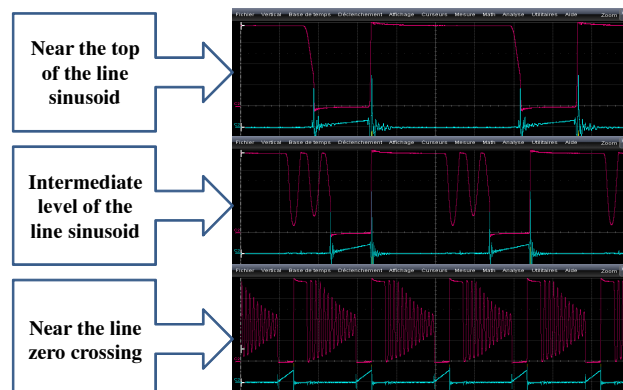


Figure 7. Operation @ 230 V, 160 W Near the Line Zero Crossing of the NCP1612 Evaluation Board. The MOSFET Drain-source Voltage is in Red, the Blue Trace Showing the MOSFET Current

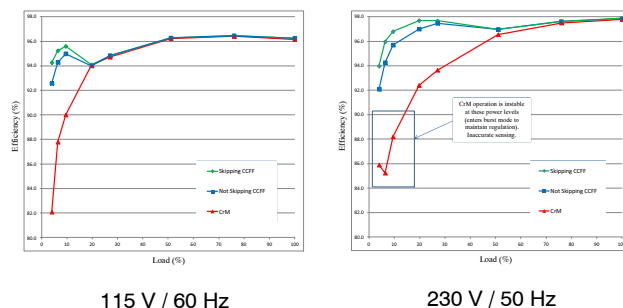


Figure 8. Efficiency over the Load Range at Low- and High-line Conditions

そのため、周波数フォールドバックは、軽負荷効率を向上させるための非常に有効な手段です。

スイッチング周波数の制御が以下に示す他の2つの主要な利点を実現することに注意してください。

- パワースイッチの制御チェーン内での伝播遅延と高いスイッチング周波数のために、CrM PFCステージは一般的に、最高のライン電圧レベルで動作している場合、負荷の20%以下のときは連続動作を維持できません。代わりに、バーストモード動作に移行します。この結果、可聴ノイズが発生する可能性があり、ボードはTHD仕様試験に合格しない可能性もあります。Figure 8に、スイッチング周波数を低減してこの制約に対処する方法を示します。したがって、周波数フォールドバックおよ

び特にCCFF回路には、非常に低い電力レベルまで安定した動作を維持できる特長があることに注意してください。

- 周波数クランプまたは周波数フォールドバックを使用しない場合、軽負荷時または中負荷時であっても効率を向上させる唯一の方法は、CrMのスイッチング周波数を低減するためにインダクタ値を大きくすることです(式6で示すように、スイッチング周波数は L に反比例する)。実際は、実験によって明らかになっているのは、純粋なCrM PFCステージに必要なインダクタの大きさは、 $(45 \text{ mH} \cdot \text{W} / (P_{in,avg})_{max})$ (つまり、ライン電圧が広いアプリケーションで150 W電源の場合300 μH)、または周波数がクランプされる場合、 $(30 \text{ mH} \cdot \text{W} / (P_{in,avg})_{max})$ (つまり、ライン電圧が広いアプリケーションで同じ150 W電源の場合200 μH 以下)を下回る値で十分なことです。一例として、NCP1631を広いライン電圧の300 W評価ボードと組み合わせ、PQ26/20、150 μH のインダクタを使用して動作させることができます[10]。

C. 導通損失の低減

ここまで、低ラインで最大負荷の場合、導通損失が大きな問題をもたらすことを目にしてきました。最適なソリューションは、抵抗の大きさを制限することや、回路の部品における電圧降下を制限することです。ここで、Figure 2に示す低ラインで負荷が大きいときの効率低下を軽減するために、主に必要なのは抵抗性損失を低減することです。この損失は入力電力の2乗関数の形で増大します。そのため、一例としてEMIチョークの直列抵抗を低減しようとすることや $r_{DS(on)}$ の小さいMOSFETを使用することには意味があります。

特定の電力レベルを超えると、このようなソリューションは非実用的でコストもかさむようになり、連続導通モードが優先されます。一般的な目安として、この電力レベルは300 Wと表現されることがよくありますが、最新部品を採用すればもう少し大きい電力まで対応できる可能性があります。ただし、CCMの利点は、Figure 9に示すとおり昇圧コンバータ内を循環するrms電流を減らすインダクタ電流リップルを低減することです。リップルを低減すると、以下のような他のいくつかの利点も得られます。

- EMIフィルタリングが容易
- コンデンサへのストレスの低減と発熱の低減

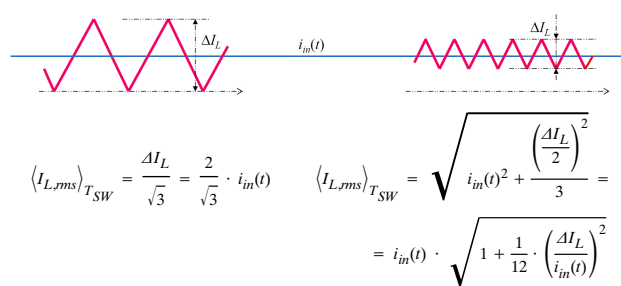


Figure 9. Reducing the Current Ripple to Lower its rms Value

ここで、前述のとおり低点でパワースイッチが閉じ、 $(v_{in}(t) < V_{out}/2)$ の場合、さらにゼロ電圧スイッチングも実現可能になるので、CrMでターンオン損失が最小になります。大きな追加ターンオン損失が生じるほか、回復の遅い昇圧ダイオードを使用する場合に特にこのことが当てはまるCCMでは、このような利点を実現できる機会は皆無です。

したがって、[11]によるとターンオン損失を最小化するために、 t_{rr} の短いダイオードの優先順位が高くなります。この場合、各数値を以下のように算定できます。

- 回復昇圧ダイオードの損失：

$$P_D = \left(\frac{V_F \cdot I_L \cdot t_1}{2} + \frac{V_F \cdot I_{RRM} \cdot t_A}{2} + \frac{V_{OUT} \cdot I_{RRM} \cdot t_B}{6} \right) \cdot f_{SW} \quad (\text{eq. 9})$$

- パワースイッチのターンオン損失：

$$P_{Q,on} = V_{OUT} \cdot \left(\frac{I_L \cdot (t_1 + 2 \cdot t_A + t_B)}{2} + \frac{I_{RRM} \cdot (3 \cdot t_A + 2 \cdot t_B)}{6} \right) \cdot f_{SW} \quad (\text{eq. 10})$$

ここで、 I_{RRM} 、 t_A 、 t_B は、以下のパラメータであり、Figure 10でも図示しています。

- I_{RRM} はダイオードの逆回復電流です。
- t_A はダイオードの電流ゼロクロス時点からピーク逆電流までの時間です。
- t_B はピーク逆電流からダイオードが実際に開回路になるまでの時間です。

- t_A と t_B の合計が逆回復時間になります。
 $t_{RR} (t_{RR} = t_A + t_B)$ 。

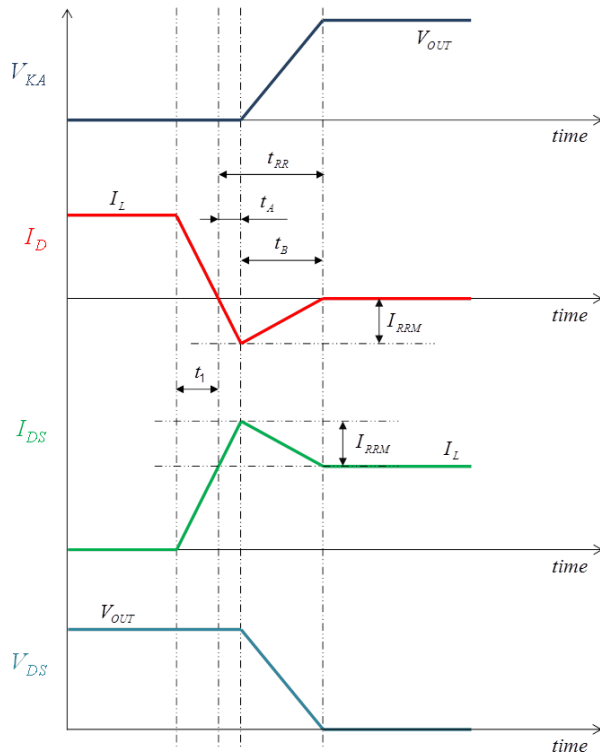


Figure 10. CCM Power Switch Turn-on Sequence

D. マルチモード導通方式

マルチモードソリューションの狙いは、各導通モードの利点を組み合わせ、全負荷範囲にわたって高効率の実現を試みることです。

- 軽負荷時のDCM
- 負荷が大きく低ラインの場合はCCM。この場合、ライン電圧が低いため入力電流が大きくなり、PFCがCrMで動作していたときはインダクタの電流リップル ΔI_L が過度に大きくなります。
- それ以外の場合はCrM

オンセミは、以下の動作モードに対応するNCP1618をリリースしました。

- 回路はデフォルトではCrMで動作します。
- プリセットした期間(例えば、125 kHzのDCM周波数を使用している場合は、DCMの周期クランプは8 μ s)より電流サイクルが短い場合、回路はDCMで動作します。この場合、低点が検出されるまでターンオンが遅れるためスイッチングサイクルはプリセットした期間よりわずかに長くなります (Figure 11の左側の例)。
- CrMとDCMの間の遷移は、サイクル単位で管理できるので回路はラインの半周期内でDCMからCrMに、またはその逆に遷移することができます。

実用上、DCMはラインのゼロクロス付近で発生する可能性が高く、CrMは正弦波の頂点で発生する可能性が高くなります。

- 負荷が非常に軽い場合、DCMの期間クランプが増加し(最小スイッチング期間が長くなると、周波数フォールドバックが強制される)、一般的にラインの半周期全体でDCMを使用することになります。
- 負荷が大きい条件下では、電流サイクルがCCM期間(CCMスイッチング周波数が65 kHzの場合、約15 μ s)より長い場合、回路はCCMに移行します。回路はサイクル単位でCCMを終了することができます。数ラインサイクルのブランキング時間の間に、電流サイクルがCCM期間より長くないことが検出されるまで、この回路は永続的にCCMで動作します。言い換えると、DCM/CrMモードに復帰するほど負荷が減少するまで、回路はラインの半周期全体にわたってCCMにとどまります。

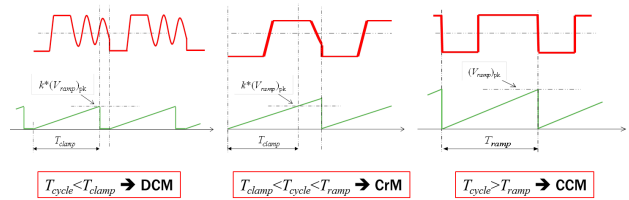


Figure 11. The Mode is Selected Based on the Switching Current Duration (T_{clamp} is the DCM Period Clamp, T_{ramp} is the Switching CCM Period)

上記の説明から言えるのは、インダクタの選択を通じて、それを超えると回路がCCMに移行する特定の電力レベルを設定できるということです。式11は、CrMのスイッチング周波数を瞬時ライン電圧の関数として表しています。ライン正弦波の頂点に注目すると、次のようになります。

$$f_{sw} |_{V_{in}(t) = \sqrt{2} \cdot V_{in,rms}} = \frac{V_{in,rms}^2 \cdot (V_{out} - \sqrt{2} \cdot V_{in,rms})}{2 \cdot L \cdot P_{in,avg} \cdot V_{out}} \quad (\text{eq. 11})$$

次いで、($P_{in,transition}$)という電力を算出できます。この電力を上回った場合、ライン正弦波の頂点で、上で計算したスイッチング周波数が最小でCCMスイッチング周波数の値(f_{CCM})まで低下します。ある程度のヒステリシス確保を目的とし、システムヒステリシスを実現するために、実際は f_{CCM} の80%をターゲットにすることになります。

$$L = \frac{V_{in,rms}^2 \cdot (V_{out} - \sqrt{2} \cdot V_{in,rms})}{2 \cdot 80\% \cdot f_{CCM} \cdot P_{in,transition} \cdot V_{out}} \quad (\text{eq. 12})$$

例えば、 $f_{CCM} = 65 \text{ kHz}$ で $P_{in,transition} = 300 \text{ W}$ をターゲットにする場合、1個の180 μ Hインダクタを選択することになります。

$$L = \frac{V_{in,rms}^2 \cdot (V_{out} - \sqrt{2} \cdot V_{in,rms})}{2 \cdot 80\% \cdot f_{CCM} \cdot P_{in,transition} \cdot V_{out}} \quad (\text{eq. 13})$$

複数チャネルのインタリーブ

2チャネルのインタリーブPFCコンバータは、互いに異なる位相で動作する2個の並列PFCステージで構成されます。各個別ステージを「相」、「チャネル」、「レッグ」、または「ブランチ」という用語で呼びます。Figure 12に、オンセミ[12]のNCP1632を使用して駆動するインタリーブPFCを簡略化した回路図を示します。

インタリーブの第一の利点は、大きな1個のPFCステージの代わりに、2個の小さなPFCステージを設計することで、モジュラー型アプローチを提供できることです。インタリーブソリューションでは必要な部品点数は増えますが、部品は小型でより多くの標準品を使用できます。このような特徴から、このソリューションは、LCD TVのように部品の高さが重要となるフラットパネルにとって最適な選択肢になります。

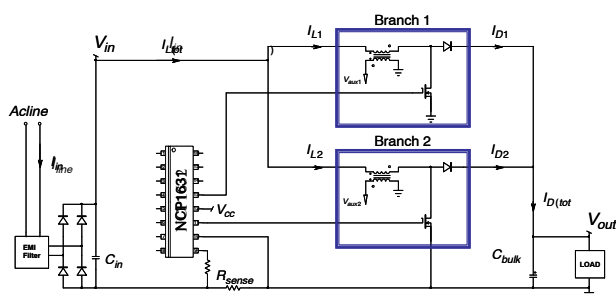


Figure 12. 2-channel Interleaved PFC Stage

また、2個のチャネルが互いに異なる位相で適切に動作する場合、個別ブランチによって生成されるスイッチング周波数リップル電流の多くの部分は、EMIフィルタ内およびバルクコンデンサ内で加算すると互いに打ち消されます。その結果、EMIフィルタリングが非常に容易になり、バルクコンデンサに流れるrms電流も大幅に減少します。したがって、インタリーブは2つの相間で役割を分担することにより、CrMの電力範囲が拡張されます。この方法で入力電流リップルを低減し、バルクコンデンサのrms電流を最小化することができます[13]。例えば、Figure 13は、2チャネルCrMインタリーブPFCを採用した場合に各チャネルが吸い込む入力電流を示しています(赤線はチャネル1、緑線はチャネル2に対応)。0から始まり、ピーク値に達するまで上昇を続け、その後は直線的に0に戻ります。したがって、それらのリップルが大きくなりrms値も大きくなるため、CrMアプローチの電力範囲が制限されます。ただし、これら2つの電流は互いに相が異なるため、入力レールから吸い込まれる合計電流のリップルは非常に小さく、実際にはCCM動作回路が吸い込む電流に似ています。Figure 15に、ラインピーク電圧が出力電圧の50%以下の場合、入力電流がヒステリシスCCM PFCの入力電流に類似していることを示します。出力側でも同様な利点が得られます。

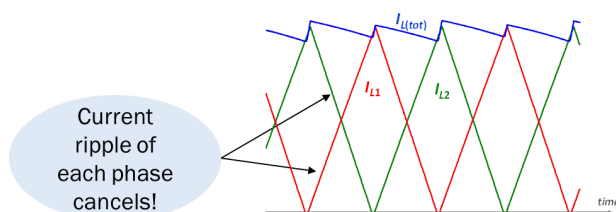


Figure 13. A Large Part of the Input Ripple Cancels

Figure 14に、広いライン電圧を受け入れる300 Wアプリケーションにおいて、出力への電力供給にインタリーブ形式がもたらす利点を示します。出力rms電流が減少すると、バルクコンデンサの発熱が小さくなりアプリケーションの信頼性が向上します。

	Single-phase CCM PFC	Single-phase CrM / FCCrM* PFC	Interleaved CrM / FCCrM* PFC
Diode(s) rms current ($I_{D,rms}$)	$I_1 = \sqrt{\frac{8\sqrt{2}}{3\pi} \left(\frac{P_{out}}{V_{in,rms} \cdot V_{out}} \right)^2}$	$\frac{2}{\sqrt{3}} \cdot I_1$	$\frac{\sqrt{2}}{\sqrt{3}} \cdot I_1$
C_{BULK} rms current ($I_{C,rms}$)	$\sqrt{(I_1)^2 - (I_{out})^2}$	$\sqrt{\frac{4 \cdot (I_1)^2}{3} - (I_{out})^2}$	$\sqrt{\frac{2 \cdot (I_1)^2}{3} - (I_{out})^2}$
300-W, $V_{in} = 390$ V $V_{out,rms} = 90$ V	$I_{D,rms} = 1.9$ A $I_{C,rms} = 1.7$ A	$I_{D,rms} = 2.2$ A $I_{C,rms} = 2.1$ A	$I_{D,rms(tot)} = 1.5$ A $I_{C,rms} = 1.3$ A

Figure 14. Comparison of the Bulk Capacitor rms Current in a 300 W Application

さらに、入力電流が適切にバランスされている場合、各チャネルは合計電力の半分を処理することになります。したがって、各個別ブランチのサイズとコストはそれに応じて最小化でき、損失も2つのチャネル間で分担されます。そのため、ホットスポットが発生する可能性も低下します。例えば、インタリーブPFCの両ステージは合計2個の昇圧ダイオードを必要としますが、各ダイオードが消費する損失は1チャネルPFCの単一昇圧ダイオードに比べると半分で済みます。さらに、この負荷分担はコスト削減に役立つ場合もあります。1チャネルPFCが役割を果たすためにコストの高いTO220整流器を必要とする場合でも、2個の安価なアキシャルダイオードを使用して同じことができるアプリケーションも存在します。

ブランチを追加すれば、導通損失および電流リップルをさらに低減することができます。例えば、CCMコントローラFAN9673 [14]は、3チャネルインタリーブPFCを駆動し、各ブランチ間に120度の位相差を割り当てるように設計されています。

この理由から、一見したところこのアプローチは、従来の1チャネルソリューションよりも複雑でコスト高になるように思えますが、実際には300 Wを上回る電力定格の場合、きわめてコスト効率がよく効率的でもあります。一例を挙げると、3チャネルインタリーブを採用すると、部品点数は増加しても各部品は小型になるので、薄型形状が必要なLCD

RVやプラズマTVのようなアプリケーションにとって良好な選択肢になります。

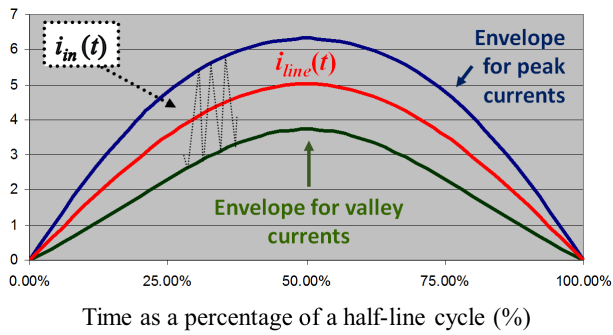


Figure 15. Low-line ($V_{in,pk} < V_{out}/2$), Peak, Valley and Input Current of a CrM Interleaved PFC

実際のところ、インタリーブを採用すると2つのチャネル間でPFCの役割を分担し、入力リップル電流の低減とバルクコンデンサrms電流の低減により、CrMの電力範囲が拡大されます。目安として、非常に効率的なCrM PFCステージが広いライン電圧範囲で最大300 Wに対応できる場合、非常に効率的なインタリーブPFCステージは広いライン電圧範囲で最大600 Wに対応できます。部品の継続した改善を通じて、この電力スレッシュホールドが上昇する傾向にあります。ここまでの説明は主にCrMベースソリューションでインタリーブを採用した場合の利点でした。複数のCCMチャネルをインタリーブ構成にした場合も同様の利点が得られます。

ブリッジレスオプション

Figure 16に、通常はEMIフィルタとPFCステージの間に挿入するダイオードブリッジを示します。このブリッジはライン電圧を整流し、整流済み正弦波入力電圧をPFCステージに供給します。

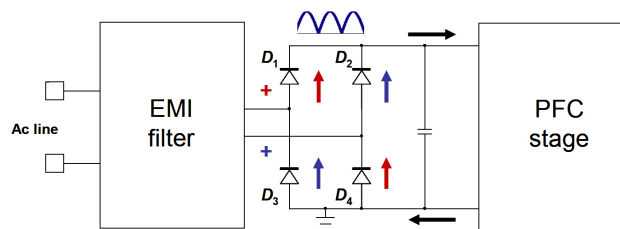


Figure 16. The Input Current Flows through Two Diodes

この構造を採用した結果、入力電流は2個のダイオードを通過した後、PFC昇圧によって処理されます(ラインの最初の半周期ではFigure 16の赤矢印が示す D_1 と D_4 を通過し、ラインの残りの半周期ではFigure 16の緑矢印が示す D_2 と D_3 を通過)。実際のところ、ブリッジのうち2個のダイオードが永続的に電

流パス内に挿入されます。残念ながら、これらの部品には順方向電圧が存在し導通損失が生じます。

ブリッジから見た電流の平均値はライン平均電流です。

入力平均電流を考慮すると、[15]はダイオードブリッジ損失を表す次式を提示しています。

$$P_{\text{bridge}} = 2 \cdot V_f \cdot \langle I_{\text{bridge}} \rangle_{T_{\text{line}}} \approx 2 \cdot V_f \cdot \frac{2\sqrt{2} \cdot P_{\text{out}}}{\eta \cdot \pi \cdot V_{\text{in,rms}}} \quad (\text{eq. 14})$$

ここで、

- P_{out} は出力電力です。
- η は効率です。
- $V_{\text{in,rms}}$ はrmsライン電圧です。

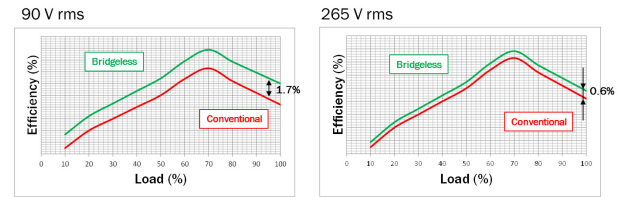


Figure 17. Typical Bridgeless Efficiency Gain over the Load Range @ 90-V (Left) and 265-V (Right) Line Voltages

最後に、各ダイオードの順方向電圧が850 mV、最小ラインrmsレベルが90 Vと仮定した場合、 $(V_{\text{in,rms}})_{LL} = 90 \text{ V}$ 、次の結果になります。

$$P_{\text{bridge}} \approx 2 \cdot 0.85 \cdot \frac{2\sqrt{2} \cdot P_{\text{out}}}{\eta \cdot \pi \cdot 90} \cdot \frac{(V_{\text{in,rms}})_{LL}}{V_{\text{in,rms}}} \quad (\text{eq. 15})$$

または、

$$P_{\text{bridge}} \approx 1.7\% \cdot \frac{P_{\text{out}}}{\eta} \cdot \frac{(V_{\text{in,rms}})_{LL}}{V_{\text{in,rms}}} \quad (\text{eq. 16})$$

ここで、 $(V_{\text{in,rms}})_{LL}$ はラインrms電圧の最小レベルです。

言い換えると、式16は入力ブリッジの消費電力がライン振幅に反比例し、そのため高ラインでは消費電力が減少することを表しています。例えば、ライン電圧が90 V rmsの場合は入力ブリッジが入力電力の約1.7%を消費する状況で、265 V rmsの場合は約0.6%で済みます。Figure 17に示すように、ダイオードの V_F 電圧が導通電流から受ける影響があまり大きくないと仮定すると、この比率は全負荷範囲にわたって、おおむね同じ水準にとどまります。そのためダイオードブリッジの導通損失が原因で、全負荷範囲にわたって大幅な効率低下が生じるほか、アプリケーションの信頼性に影響を及ぼす大きなホットスポットの1つにもなります。したがって、これらのダイオードを両方とも、または少なくとも1個を電

流パスから除外することに強い関心を抱くことになります。以上、ブリッジレスアプローチの背景となる動機について説明しました。

2昇圧アプローチ

[16]に詳述するように、「基本的な」デュアル昇圧オプションまたは有望なトータムポールアプローチから、いくつかの実現可能なソリューションを利用できます。ここでは、実装の容易さから2昇圧ソリューションに注目します。Figure 18に、[17]で最初に提案されたブリッジレスソリューションを示します。2個のPFCステージが並列動作し、1個がラインの1組の端子から電力供給を受け、もう1個はラインの別の端子から電力供給を受けます。このオプションは全波整流器を省略できますが、ラインの負側端子はラインの半周期に応じて、 D_1 または D_2 いずれかのダイオード経由でアプリケーショングラウンドに接続されたままです。したがって、2個のブランチが並列動作している、という意味でこのソリューションは2昇圧PFCとみなすことができます。

- 半波にわたりラインの端子「 PH_1 」が高い電圧である間、ダイオード D_1 はオフで、 D_2 はPFCグラウンドをラインの負の端子(「 PH_2 」)に接続します。したがって、 D_2 は「 PH_2 PFCステージ」ブランチをグラウンドに接続します。その結果、このステージは非アクティブになり、「 PH_1 PFCステージ」が全電力を処理します。
- ラインの第2半周期にわたり(「 PH_2 」が高い電圧である間)、「 PH_2 PFCステージ」ブランチが動作し、「 PH_1 PFCステージ」はどの入力電圧にも接続されず非アクティブになります。

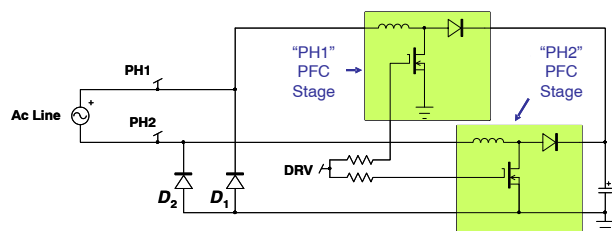


Figure 18. 2 Boost Architecture

Figure 19に、これら2つの半波ごとの等価回路を示します。

このブリッジレス構造は電流パスから1個のダイオードをなくしたので、効率が改善しました。

この構造の別の興味深い特徴は、アクティブなPFCステージが従来型PFC昇圧と同様の動作をすることです。

- 「 PH_1 」端子が正電圧のとき(Figure 19a参照)、ダイオード D_1 は開回路になり、 D_2 は帰線経路として機能します。「 PH_1 」PFCステージの入力電圧は、グラウンドを基準とする整流済み正弦波です。
- 残りの半波にわたり(Figure 19b参照)、「 PH_1 」端子が正電圧のとき、 D_1 は帰線経路として機能しま

す。ダイオード D_2 はオフになり、「 PH_2 」というPFCステージに入力される整流済み正弦波を扱います。この場合も、入力電圧と昇圧ステージが従来どおりグラウンドを基準とする従来型のPFCを1個使用していることになります。

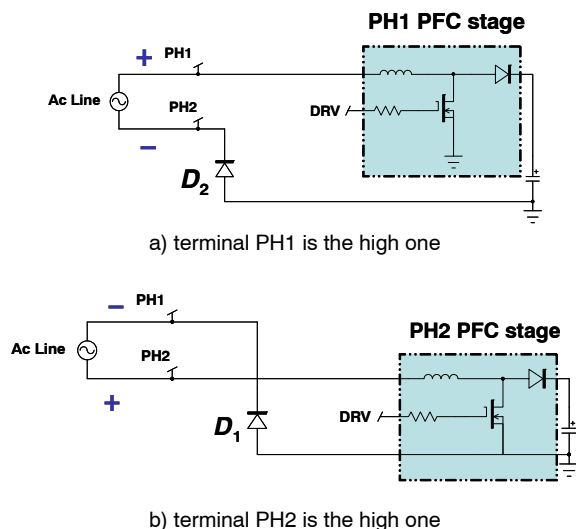


Figure 19. Equivalent Schematic for the Two Half-waves

また、2昇圧構造は特定のコントローラを必要としないという点にも注目する必要があります。2個のブランチが使用するMOSFETはどちらもグラウンドを基準としており、アイドルフェーズの間も永続的に駆動できます。

非アクティブ状態のMOSFETのボディダイオードが、別の帰線経路で電流を供給することに注意してください。ライン周波数でインダクタンスが形成するインピーダンスは小さく、2個のダイオードが並列動作して電流を分担することになります。そのため、電流検出には一般的に電流センストランスを使用するなど、特別な注意を払う必要があります[15]。

インタリーブPFC対ブリッジレスPFC

ライン電圧範囲が広い2個の300 W PFCステージをFigure 20で比較しています。

これら2枚のボードはそれぞれ1個のFCCrMドライバで制御されます(NCP1605はブリッジレス、NCP1631はインタリーブ)。

したがって、インダクタを設計する際に、最もストレスの大きい状況ではCrMで動作し、軽負荷時やラインのゼロクロス付近ではDCMを使用してスイッチング周波数を制限するよう考慮する必要があります。周波数がクランプされるため、中負荷時に過剰な周波数レベルを回避する目的でインダクタを過剰なサイズにする必要はありません。

これら2枚のボードは同じ入力ブリッジ、同じMOSFET (1個は250 mΩ、もう1個は99 mΩの $r_{DS(on)}$ MOSFETをブランチごとに使用)、同じ昇圧ダイオード(アキシャル超高速MUR550)、および同じ2.9°C/W

ヒートシンクを採用しています。また、これら2枚のボードはEMIフィルタでも同様の部品を共通で使用しています。ただし、インタリーブPFCの方が入力電流のリプルが減少しており、差動作動モードでのフィルタリングは非常に容易になっています。NCP1605とNCP1631はどちらも、外部15 V電源から電力供給を受けています。

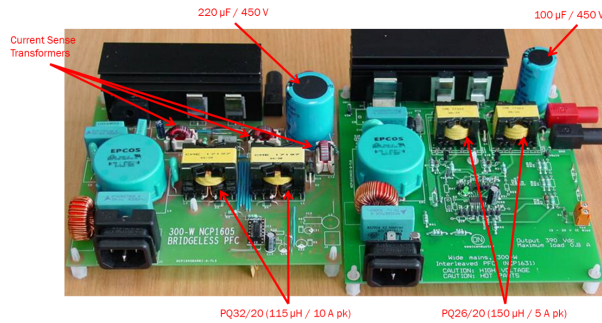


Figure 20. Pictures of the Two Boards: Interleaved PFC (Left) and Bridgeless PFC (Right)

2昇圧ブリッジレスソリューションでは、バルクコンデンサにシングルチャネルPFCと同じrms電流が流れますが、インタリーブ方式ではこの電流が小さくなります(2.1 Aではなく1.3 A)。両方のアプリケーションで同じストレスを発生させるために、セミブリッジレスステージは1個の220 µF/450 Vコンデンサを採用しているのに対し、インタリーブボードは1個の100 µF/450 Vを実装しています。

もう1つの大きな違いはインダクタの選択です。2昇圧ブリッジレスの各インダクタは、ラインの半周期にわたって全電力を担当するのにに対し、インタリーブPFCの場合は2個のインダクタが永続的にそれぞれ半分の電力を担当します。したがって、電流ストレスはブリッジレスの方が大きくなります。

どちらのソリューションでも、各ブランチで周波数クランプは130 kHzに設定されます。その目的で、

インタリーブPFCがPQ26/20、150 µHインダクタを採用しているのに対し、2昇圧ブリッジレスアプリケーションは、より大きいPQ32/20、115 µHチョークを搭載しています。

整合性を維持する目的で、2個のコントローラが搭載しているスタンバイ管理機能(NCP1605のソフトスキップモードとNCP1631の周波数フォールドバック)は無効にされており、全電力範囲にわたって各コンセプトで実現される固有の効率特性を公平に比較することができます。

これら2つのシステム間で徹底的な損失分析を行うのは困難です。ただし、[18]は、同じ周波数範囲で動作するように設計された2つのオプションで、類似するスイッチング損失が発生することを示しています。

また[18]は、各システムが導通損失に関する1つの大きな利点をもたらすことも強調しています。

- 前述したように、2昇圧ブリッジレスPFCは電流パス内のダイオード1個分の損失を節約します。
- インタリーブPFCは入力電流を2個のブランチ間で均等に分割するのに対し、ブリッジレスPFCは同時に1個のブランチだけがアクティブになり、全入力電流を扱います。インタリーブPFCの各MOSFETに流れるrms電流は、2昇圧ブリッジレスPFCのアクティブMOSFETに流れるrms電流の2倍です。その結果、インタリーブPFCの各MOSFETの導通損失は、セミブリッジレスのアクティブMOSFETの導通損失の4倍に達します。ここで、インタリーブアプリケーションで2個のMOSFETが並列動作しているため、2昇圧ブリッジレスで導通損失が1箇所が発生するのに対し、インタリーブではその2倍の箇所で導通損失が発生することになります。これはインタリーブPFCの明確な利点です。同じ組み合わせのMOSFETを使用する場合、インタリーブソリューションの場合に導通損失は1/2になります。

$$(P_{\text{cond}})_{\text{Interleaved}} = 2 \cdot \left[\frac{4 \cdot r_{\text{DS(on)}}}{3} \cdot \frac{\left(\frac{P_{\text{out}}}{2 \cdot \eta} \right)^2}{V_{\text{in,rms}}^2} \cdot \left(1 - \frac{8\sqrt{2} \cdot V_{\text{in,rms}}}{3\pi \cdot V_{\text{out}}} \right) \right] \quad (\text{eq. 17})$$

これから次式を導くことができます。

$$(P_{\text{cond}})_{\text{Interleaved}} = \frac{(P_{\text{cond}})_{\text{Bridgeless}}}{2} \quad (\text{eq. 18})$$

両方のアプローチで、昇圧ダイオードが同様の電力を消費するという事実を容易に確認できました。

最後に、両方のアプリケーションでインダクタ、バルクコンデンサ、EMIフィルタで生じる損失が等しいと仮定した場合、どのアプローチも効率面で優位であると結論付けることができます。

簡単に言うと、2昇圧ブリッジレスアプローチは出力電力を基準として同じ比率で節減を実現でき、その結果、最大負荷時と軽負荷時でほぼ同じ効率改善を達成できます。低ライン(90 V rms)の場合は0.85%近くの値ですが、高ライン(270 V rms)の場合は節減幅が約0.3%に縮小します。

インタリーブPFCの電力節減量は、 $(P_{\text{out over } V_{\text{in,rms}}})$ の2乗に比例します。したがって、この節減量が最大に達するのは最もストレスが大きい条件下(最大負荷、低ライン)であり、負荷の減少またはライン振幅の上昇に伴って節減量は急速に減少します。

部品サイズやボードの冷却システムの規模を決めるときに、最もストレスが大きいこれらの条件を考慮する必要があります。ほかに、ブリッジレスとインタリーブの各オプションが同じ節減量を実現する状況で、MOSFETのオン抵抗($r_{\text{DS(on)}}$)を算出することができます。300 Wアプリケーションの実験で得られた、410 mΩの抵抗値は、110°C時の250 mΩというMOSFETのオン抵抗に比較的近い値です(250 mΩは、25°C時の $r_{\text{DS(on)}}$ で、この抵抗値は高温時の抵抗値に1.8をかけた値です)。Figure 21はこのことを裏付けており、この図は最大負荷時に250 mΩのMOSFETを使用してもブリッジレスに利点がないことを示しています。

言い換えると、 $r_{\text{DS(on)}}$ が大きいMOSFETを使用すると、インタリーブソリューションと比較した場合のブリッジレスの利点が打ち消されてしまいます。一方、 $r_{\text{DS(on)}}$ が小さいMOSFETを使用すると、MOSFETの導通損失が占める割合が縮小するので、従来型PFCステージの入力ダイオードブリッジで消費されていた電力の半分を節減することにより、最大負荷時の効率の利点を得ることができます。

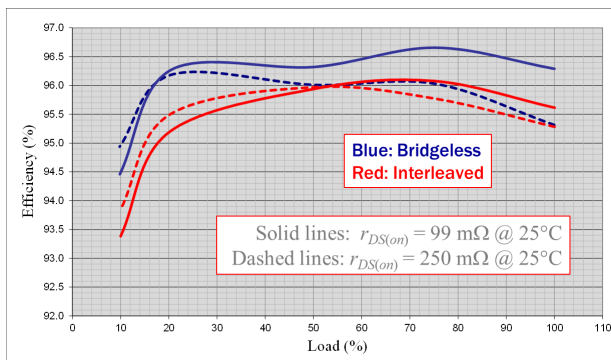


Figure 21. Efficiency Comparison @ 90 V rms

ブリッジレスPFCで節減した負荷電力の一部は、ライン振幅に反比例します。したがって、230 V rmsの場合、利点は限定的ですが、必ずしも無視できる大きさではありません(約0.25%)。インタリーブPFCの場合、節減量は比の2乗に比例します(ラインの全電圧振幅にわたる電力)。したがって、この場合の節減量も最大負荷時にごくわずかで、軽負荷時には皆無です。

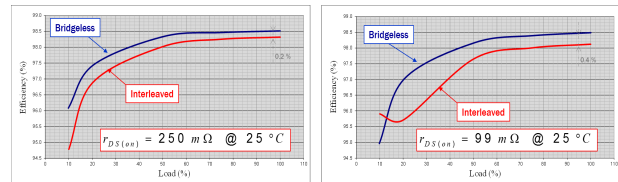


Figure 22. Efficiency Comparison @ 230 V rms

Figure 22でこのことを確認できます。

左側は最も抵抗値の大きいMOSFET (250 mΩの $r_{\text{DS(on)}}$)を使用した実験であり、右側で最小の $r_{\text{DS(on)}}$ (99 mΩ)を使用しました。いずれの場合も、ブリッジレスオプションがより効率的であり、軽負荷時にその差がますます顕著になることが分かりました。インタリーブPFCの性能は、 $r_{\text{DS(on)}}$ が最小のMOSFETを使用した方が悪く、特に軽負荷時にそれが当てはまりました。この結果は、これまで無視してきた容量性ターンオン損失で説明できます。MOSFETがターンオンすると、MOSFETはドレインに寄生している容量に蓄積されたエネルギーを放散します。 $r_{\text{DS(on)}}$ が最小のMOSFETを使用すると、出力容量が大きくなります(130 pFと63 pF)。インタリーブPFCが2個のブランチを並列にスイッチング動作させているのに対し、セミブリッジレスは同時に1チャネルのみ動作します。その結果、インタリーブPFCの方が影響が大きくなります。

結論として、2昇圧ブリッジレス構造は低ラインにおいて最も効率的と考えられます。 $r_{\text{DS(on)}}$ が小さいMOSFETを使用する場合は、特にこのことが当てはまります。この場合、従来型PFCステージの入力ダイオードブリッジが消費していた電力の半分を節減することによって、大きな効率上の優位性が得られます。他の組み合わせの場合、インタリーブPFCに比べて、ブリッジレスの利点はそれほど大きくありません。

ライン電圧が上昇すると、ブリッジレスの利点が十分得られなくなることに注意してください。実用上、ブリッジレスはライン振幅を低くできるアプリケーションでの使用を検討するのが適切です。

すでに説明したように、ブリッジレスの利点はライン電圧に依存しますが、効率の改善比率は全負荷範囲にわたってほぼ同程度の値にとどまります。したがって、軽負荷時の性能も向上します。

明らかに、ブリッジレスアプローチはより複雑で高価です。したがって、従来型ソリューションでは達成不可能な効率を目標とするアプリケーションに

について、このアプローチを考慮する価値があるように思えます。多少効率は落ちますが、インタリーブPFCはより小型でコスト効率に優れたソリューションです。

結論

CrMは、小電力の場合に広く採用されている効率的なソリューションです。特に、瞬時ライン電圧が出力電圧の50%以下のときに、低点スイッチングやさらにゼロ電圧スイッチングを提供します。ただし、この方式の大きな短所は、スイッチング周波数の変動幅が大きく、特に軽負荷時の効率に影響を及ぼす(スイッチング損失が大きいため)ことにあります。したがって、小電力で高効率を目標にする場合は、周波数クランプおよび周波数低減手法が必要になります。

さらに、中負荷時や軽負荷時のスイッチング周波数を制限したり高い効率比を維持するために、インダクタンスを過剰サイズにする必要がないため、周波数クランプはインダクタのサイズとコストを最適化するのに役立ちます。

入力電流リップルが過度に大きくなるような電力レベルの場合、インタリーブ方式のマルチチャネルアプローチを使用しない限り、CrMでこの状況に対処しようとする経済的に不利なので、連続導通モードが必要になります。

CrMとCCMの両方で、インタリーブ方式を採用するとモジュラー型のアプローチを実現できます。部品点数は多くなりますが、部品が小型になり熱管理も容易になります。このオプションを採用すると、CrMで対応できる電力範囲が広がるか、または主に電流リップルを大幅に減少させることによって、CCMソリューションの効率を改善できます。

ブリッジレスソリューションはコストを要しますが、特に低ラインにおいてさらに効率を改善できます。全電力範囲にわたって効率改善がほぼ同じ水準にとどまるのも注目に値する点です。効率仕様を達成できない場合、この手法が検討すべき究極のソリューションとなる可能性があります。

参考文献

- [1] 80plus program, <http://www.plugloadsolutions.com/About.aspx>
- [2] Patrick Wang, “300-W, Wide-Mains PFC Stage Driven by the NCP1654”, Application Note AND8324/D <http://www.onsemi.com/pub/Collateral/AND8324-D.PDF>
- [3] Yungtaek Jang and Milan M. Jovanovic, “Light-Load Efficiency Optimization Method”, IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 25, NO. 1, JANUARY 2010
- [4] Shu Fan Lim and Ashwin M Khambadkone, “A multimode digital control scheme for boost PFC

with higher efficiency and power factor at light load”, APEC2012

- [5] PFC Handbook, <http://www.onsemi.com/pub/Collateral/HBD853-D.PDF>
- [6] Joel Turchi, “Power Factor Correction Stages Operating in Critical Conduction Mode”, Application note AND8123/D, <https://www.onsemi.com/pub/Collateral/AND8123-D.PDF>
- [7] Laszlo Huber, Brian Irving and Milan M. Jovanovic, “Line Current Distortions of DCM/CCM Boundary Boost PFC Converter”, APEC2008
- [8] Joel Turchi, “Frequency-Foldback Technique Optimizes PFC Efficiency Over The Full Load Range”, HOW2POWER TODAY, October 2012, <https://www.how2power.com/newsletters/>
- [9] NCP1612: Power Factor Controller, Enhanced, High Efficiency, <http://www.onsemi.com/PowerSolutions/product.do?id=NCP1612>
- [10] NCP1631 Evaluation Board, <http://www.onsemi.com/PowerSolutions/supportDoc.do?type=boards&rpn=NCP1631>
- [11] Peter Haaf and Jon Harper, “Understanding Diode Reverse Recovery and its Effect on Switching Losses”, Fairchild Power Seminar 2007, <https://www.fairchildsemi.com/technical-articles/Understanding-Diode-Reverse-Recovery-and-Its-Effect-on-Switching-Losses.pdf>
- [12] NCP1632: Power Factor Controller, Interleaved, 2-Phase, <http://www.onsemi.com/PowerSolutions/product.do?id=NCP1632>
- [13] Joel Turchi, “Characteristics of Interleaved PFC Stages”, Application Note AND8355/D, <http://www.onsemi.com/pub/Collateral/AND8355-D.PDF>
- [14] FAN9673: Power Factor Controller (PFC), Interleaved Three-Channel CCM, <http://www.onsemi.com/PowerSolutions/product.do?id=FAN9673>
- [15] Joel Turchi, “A High-Efficiency, 300-W Bridgeless PFC Stage”, application note AND8481/D, <https://www.onsemi.com/pub/Collateral/AND8481-D.PDF>
- [16] Laszlo Huber, Yungtaek Jang and Milan M. Jovanovic, “Performance Evaluation of Bridgeless PFC Boost Rectifiers”, APEC 2007
- [17] Alexandre Ferrari de Souza and Ivo Barbi, “High Power Factor Rectifier with Reduced Conduction and Commutation Losses”, Intelec, 1999
- [18] Joel Turchi, “Bridgeless and interleaved PFC stages for high efficiency – Comparison in a wide-mains, 300-W application”, PCIM2010

onsemi, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Email Requests to: orderlit@onsemi.com

onsemi Website: www.onsemi.com

TECHNICAL SUPPORT

North American Technical Support:

Voice Mail: 1 800-282-9855 Toll Free USA/Canada

Phone: 011 421 33 790 2910

Europe, Middle East and Africa Technical Support:

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative