



# アクティブクランプ・フライバック・ トポロジを使用する高密度**AC/DC**電源

# アクティブクランプ・フライバック・トポロジを使用する高密度AC/DC電源

Prepared by: **Ajay Hari**  
Applications Manager  
**Bryan McCoy**  
Applications Engineer

## 要約:

本書では、アクティブクランプ・フライバック・トポロジの動作原理と、その長所および短所を紹介いたします。また、さまざまな規制基準に合格するように、軽負荷時の効率や待機時消費電力を改善する方法についても説明します。さらに、アクティブクランプ・フライバック・トポロジのAC/DC電源を設計するステップ単位の方法も提示します。最後に、65 Wの超高密度アクティブクランプ・フライバック・ボードの性能を掲載します。

## はじめに

高密度電源の追求は目新しいものではありません。これは低電圧と中電圧のDC/DC電源における確固たるトレンドです。一方、AC/DC電源の市場はこのトレンドの影響を受けません。これには主に3つの理由があります。150 kHz未満の場合、EMI規格は極度に厳格ではありません。したがって、EMI電磁波の基本周波数が150 kHz以下になるように通常はスイッチング周波数を限定します。トランスのコア部材に代表される受動部品は、半導体業界で見受けられる革新ペースに追従できていませんでした。その結果、各種高電圧(650 V以上)スイッチはごく最近まで、性能指数(Figure of Merit、FoM)が不十分でした。最初の制限は、新しいゼロ電圧スイッチング(ZVS)により克服できます。この方式はEMI電磁波を大幅に抑制します。新規および既存のワイドバンドキャップ半導体デバイスを含め、高電圧FETの進歩により、新しい各種トポロジが適切な役割を演じるようになりました。このようなトポロジの1つが、アクティブクランプ・フライバック(ACF)です。

ACFは1990年代半ば[1]以降、文献に登場するようになりました。ただし、幅広く採用されてきたわけではなく、成功を収めてきたのは生産量の少ない設計のみでした。このACFトポロジは寄生素子に蓄積されているエネルギーをスナバ回路で消費する代わりに、そのエネルギーを活用してZVSを実現します。アクティブクランプの動作によって生じる波形は、

寄生素子に起因するスパイクがないので、他の従来型手法より良好なEMIを達成する結果になります。RCDスナバを使用する古典的なフライバック・トポロジは、効率と電力密度の点で限界に達しました。ACFは効率に関する課題を解決すると同時に、EMI電磁波を低減します。

本書は以下のセクションで構成されます。

- アクティブクランプ・フライバック動作の紹介
- ACFにおける軽負荷時の効率と待機時消費電力の問題
- NCP1568の紹介と、この製品が軽負荷時の効率に関する問題を解決する方法
- ACFのトランス選定に関する設計時の式
- 1次側と2次側の部品選定に関する検討事項。
- 超高密度アクティブクランプ・フライバック・ボードの性能データ

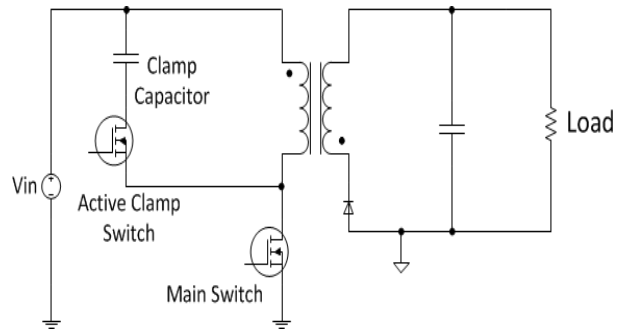


Figure 1. Simplified Active Clamp Flyback

## 動作原理

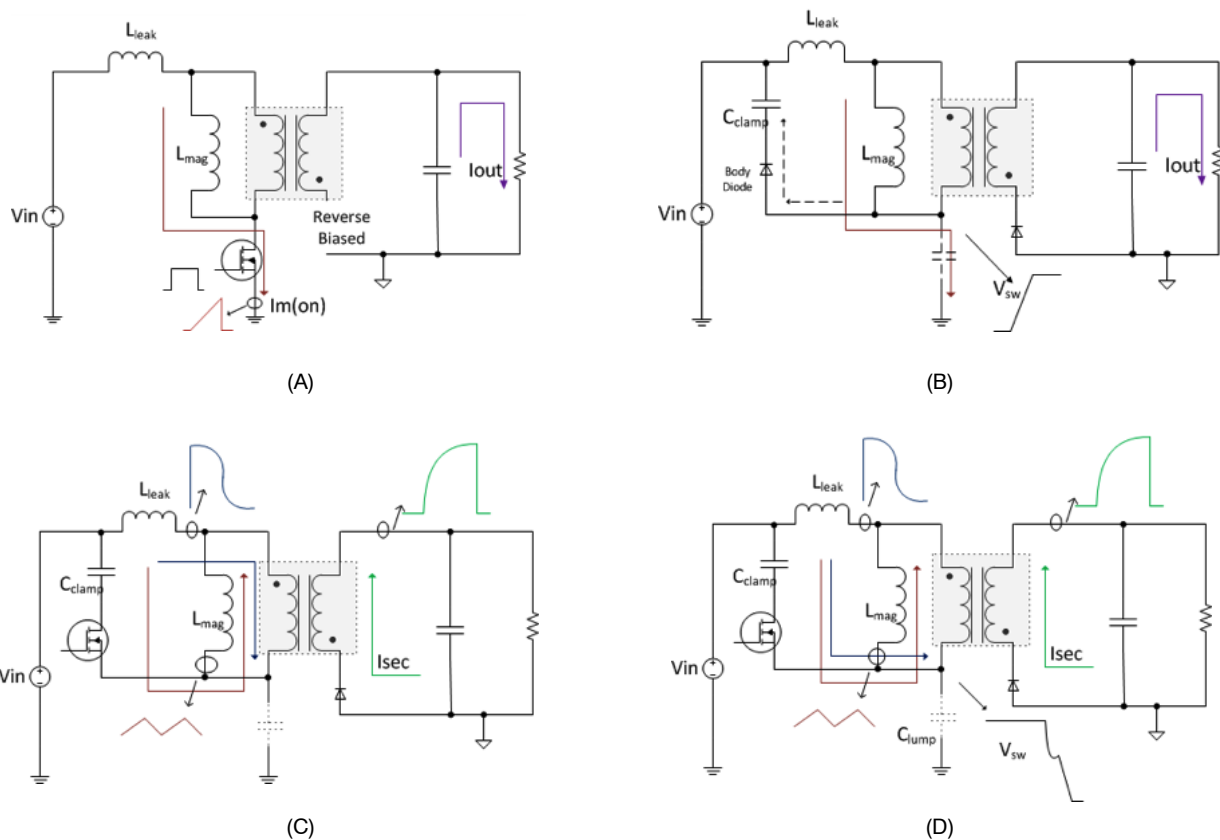
安定状態でのACFトポロジの動作は、2種類のモードに分類できます。エネルギー蓄積モードと共振電力供給モードです。

### A. エネルギー蓄積モード

エネルギー蓄積モードでの動作は、標準的なフライバック動作に似ています。メインFETがオンになった時点で、エネルギーがトランス内に蓄積されます。2次側のダイオードに逆バイアスが印加されるため、電力は伝送されません。ACFの磁化電流は常に、連続導通モード(CCM)で動作します。入力電圧と出力電圧の関係は、次式で表現できます。

$$V_{\text{out}} = V_{\text{in}} \cdot \frac{N_s}{N_p} \cdot \frac{D}{1-D} \quad (\text{eq. 1})$$

ここで、 $D$ はデューティサイクル、 $N_s/N_p$ は巻線比です。



(A) Energy Storage Mode.  
 (B) Transition from Energy Storage Mode to Resonant Power Delivery Mode.  
 (C) Resonant Power Delivery Mode.  
 (D) Transition from Resonant Power Delivery Mode to Energy Storage Mode.

**Figure 2. Operating States of Active-Clamp Flyback**

Figure 2に示すフライバック・トランスは、漏れインダクタンス $L_{leak}$ と磁化インダクタンス $L_{mag}$ を含むようにモデル化されており、理想トランスは灰色のボックス内に表示されています。このモデルを使用して、アクティブクランプ・フライバックに流入するさまざまな電流を提示します。1次側共振電流(青)、磁化電流(茶色)、2次側電流(緑)です。メインFETに流入する電流は磁化電流の上り勾配であり、下り勾配は視覚化の目的で図示しています。

### B. エネルギー蓄積モードから共振電力供給モードへの移行

エネルギー蓄積モードの終了時に、メインFETがオフになります。トランスの1次側に流入している電流は引き続き流れ、メインFETの出力容量を充電します。スイッチノードの電圧が上昇してクランプコンデンサの電圧を上回った時点で、スイッチノードの電圧はアクティブクランプFETのボディダイオードに順方向バイアスを印加します。この時点でアクティブクランプFETはアクティブになり、ZVSがオンになります。この遷移の持続時間は短いので、ランプコンデンサの充電は線形でモデル化できます。

次式で表現できます。

$$T_{charge} = \frac{C_{lump} \cdot (V_{in} + V_{clamp})}{I_{m(peak)}} \quad (eq. 2)$$

アクティブクランプ・コンデンサの電圧は、次式で表現できます。

$$V_{clamp} = \frac{V_{in} \cdot D}{1 - D} \quad (eq. 3)$$

### C. 共振電力供給モード

$T_{charge}$ の終了時にアクティブクランプFETがアクティブになると、共振電力供給モードが開始されます。共振電力供給モードの間、2次側ダイオード/FETが導通し、負荷に電力を供給します。このモードの間、漏れインダクタンスはクランプコンデンサとの組み合わせで共振を開始します。

共振周波数は次式で表現できます。

$$F_{res} = \frac{1}{2\pi \sqrt{L_{leak} C_{clamp}}} \quad (eq. 4)$$

流入する共振電流は次式で表現できます。

$$I_{res} = I_m \cos(\omega t) \quad (eq. 5)$$

1次側共振電流と磁化電流の差分が2次側に流入します。磁化電流は、1次側電流から2次側電流と巻線比の積を差し引くと簡単に視覚化できます。

磁化電流は次式で表現できます。

$$I_{\text{clamp}} = V_{\text{clamp}} \cdot \frac{T_{\text{off}}}{L_{\text{mag}}} \quad (\text{eq. 6})$$

ACFトポロジ内の磁化電流は常にCCMの状態です。2次側電流が0になっても、つまり2次側電流が不連続になり、同期整流器がシャットオフされた場合でも、磁化電流は必ず1次側でパスを見つめます。その理由は、クランプFETを追加したことにあります。ACF内の磁化電流は、昇降圧トポロジの場合のインダクタ電流に似た動作をします。事実、アクティブクランプ・フライバックの1次側は、出力コンデンサとして動作するクランプコンデンサを採用した同期式昇降圧に似ています。

#### D. 共振電力供給モードからエネルギー蓄積モードへの移行

スイッチング期間の最後に、アクティブクランプはオフになります。この結果、2次側への電力供給の終了プロセスが開始されます。磁化インダクタンスが引き続き出力にクランプされている間、漏れインダクタンスはスイッチノードに接続されているランプコンデンサとで共振タンクを形成し、この共振タンクがリングングによる減少を開始します。スイッチノードに接続されている容量が完全に放電できるように、漏れインダクタに蓄積されているエネルギーは、スイッチノードのランプコンデンサに蓄積されているエネルギーを上回る必要があります。

$$L_{\text{leak}} I_{\text{pri}}^2 > C_{\text{lump}} V_{\text{SW}}^2 \quad (\text{eq. 7})$$

スイッチノードの電圧は入力電圧に応じて上昇し、その結果、ランプ(lump)容量内に蓄積されているエネルギーも放物線形状で増加します。したがって、ZVSの実現に必要な漏れインダクタンスがかなり高くなる可能性があります。漏れが大きく、量産時のばらつきを厳密に制御できるトランスを設計するには、コストが増大しより複雑になります。1つの代替策は共振インダクタを追加することです。ただし、この場合は体積が増加するほか、効率的な共振インダクタの設計は、コストに敏感なアプリケーションでは実現が困難になりがちです。

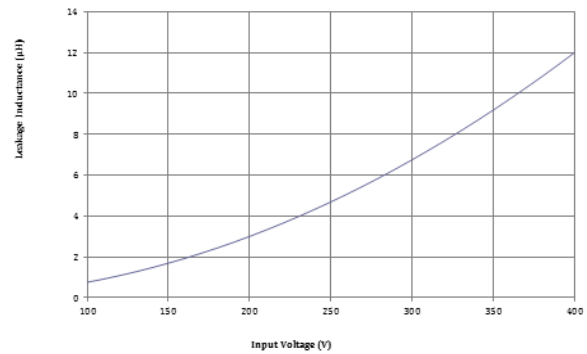


Figure 3. Leakage Inductance Needed to Achieve ZVS for a Universal Input

Figure 4に示すように、漏れインダクタンスとランプ容量の組み合わせによる共振がバレー(電圧の低点)に達するのは、共振期間の1/4地点です。したがって、次式のようになります。

$$T_{\text{dis1}} = \frac{\pi}{2} \sqrt{L_{\text{leak}} C_{\text{lump}}} \quad (\text{eq. 8})$$

$$V_{\text{valley}} = I_{\text{mag(peak)}} \sqrt{\frac{L_{\text{leak}}}{C_{\text{lump}}}} \quad (\text{eq. 9})$$

クランプFETをオフにすると、2次側電流が0に向かって減衰するプロセスが開始され、この減衰レートは漏れインダクタンスによって決まります。2次側電流が0に達した時点で、磁化インダクタンスが出力へのクランプを解除されます。磁化電流のバレーが負になるように磁化インダクタンスを選択する場合、 $T_{\text{dis1}}$ が経過した後に1次側で磁化電流の流入が始まり、 $T_{\text{dis2}}$ の時点でスイッチノードに接続されているランプコンデンサの電荷をグラウンドに放電します。

$$T_{\text{dis2}} = C_{\text{lump}} \frac{V_{\text{SW}} - V_{\text{valley}}}{I_{\text{valley}}} \quad (\text{eq. 10})$$

この瞬間に1次側のメインスイッチがオンになると、メインスイッチがZVSを実現します。漏れインダクタンスと負の磁化電流を組み合わせることで使用するこの方式を、Figure 4に詳細に示します。

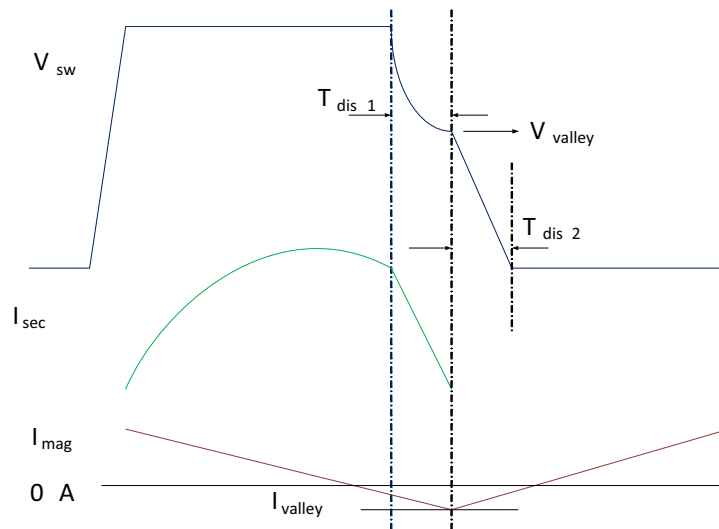


Figure 4. Zoomed Waveforms Illustrating ZVS of Main FET

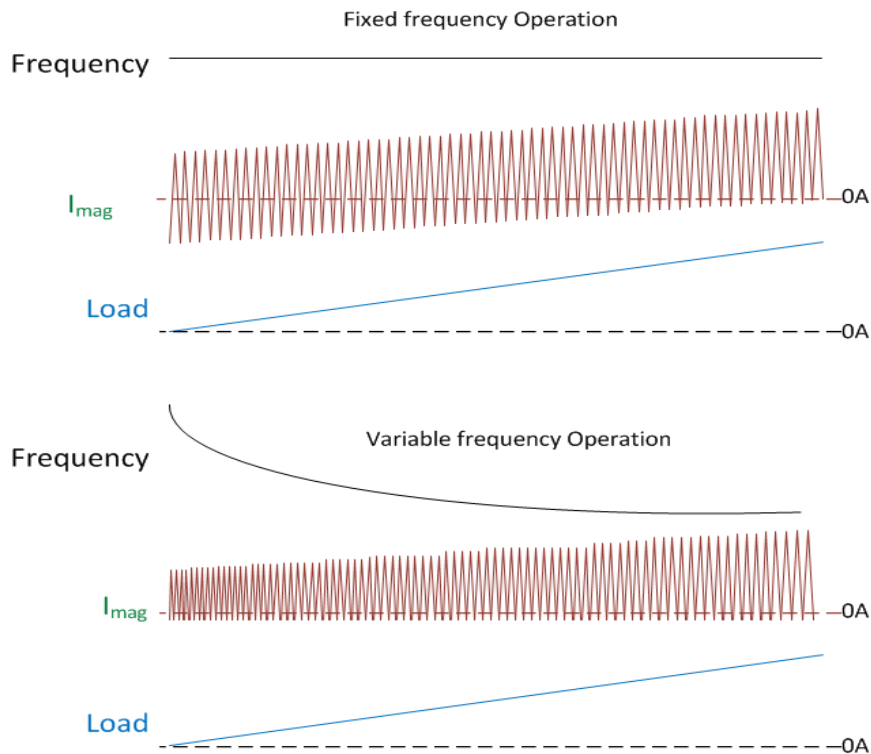


Figure 5. ACF Magnetizing Current Fixed Frequency vs. Frequency Modulation

#### E. 周波数変調

前述したように、ACF内の磁化電流は常にCCMで動作するので、軽負荷や待機状態であっても磁化電流は継続的に上昇と下降を繰り返し、追加の電力損失が発生する結果になります。さらに、最適なシステム性能を達成する目的で、導通損失を低減するために、スイッチノードに接続されているランプコンデンサの放電に必要な負のバレー磁化電流を最小値

に維持する必要があります。したがって、負荷が減少し、入力電圧が上昇すると、負の磁化電流を最小値に維持する目的で、動作周波数を高くする必要があります。ZVSを実現するのに必要な負の電流は通常、600 VのスーパージャンクションFETの場合-0.3 A前後の値です。GaNなどバンドギャップが広いデバイスの場合、一般にC<sub>oss</sub>がより低くなるため、この電流を小さくすることができます。

NCP1568は、ZVSを実現しながら負のバレー電流を最適化するために、固有の周波数変調方式を実装しています。

### 軽負荷時の効率と待機時消費電力の課題

CoC Tier IIおよびDoEのエネルギー効率に関する各規格は厳格であり、10%負荷や待機状態の場合でも優れた効率を要求します。例えば、65 W USB Pdアダプタが厳格なCoC Tier II規格を満たすには、待機状態で消費電力を75 mW未満にする必要があります。中程度の負荷状態のときに優れた効率を実現する周波数変調は、軽負荷や待機状態のときに周期を短くすることになります。

待機状態つまり無負荷状態のとき、磁化電流は周期的に増大と減少を繰り返し平均電流は0になります。ZVS動作ではあっても、DCMで動作している標準的なフライバックに比べ、この現象によって導通損失とコア損失が増加します。さらに、ZVSがオンになっていても、ハードスイッチングDCM動作の場合よりスイッチング損失が大きくなります。磁化電流がCCM状態にある場合は、周波数フォールドバックを実装できないからです。

したがって、オンセミの最新PWM IcであるNCP1568は、高集積AC/DCアクティブクランプ・フライバック・コントローラとして、アクティブクランプ・フライバック・モードからDCMフライバックへの遷移オプションを実装しています。

#### A. DCM動作

アクティブクランプFETをオフに切り替える方法で、ACFトポロジを標準的なフライバック・トポロジに変更できます。アクティブクランプFETのボディダイオードは、RCDクランプの「D」(ダイオード)として動作します。標準的なフライバックに比べて、一般にクランプコンデンサがかなり大きいこと、またクランプFETのボディダイオードの特性が、標準

的なフライバックで一般的に使用する超高速整流器の特性と異なることに注意してください。この時点で、通常は純粋なZVS動作が失われ、軽負荷時の磁化電流はDCM動作に入ります。負荷が小さくなると、さらに周波数フォールドバックを導入できるため、無負荷または待機状態のときにコンバータは徐々にバーストモードに移行します。

Figure 6にDCMフライバック波形を示します。各サイクルで、磁化電流が0に戻っていることがわかります。さらに、トランスが消磁された時点でSWノードはリングングを開始します。

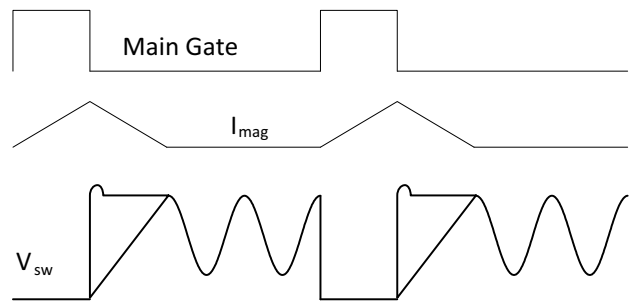


Figure 6. DCM Operation Waveforms

DCM動作の場合、優れた軽負荷効率を実現するために、フォールドバック方式を実装できます。このフォールドバックは、周波数の直線的フォールドバック、非直線的フォールドバック、または両者の組み合わせで実現できます。動作周波数を低減するために、通常はピーク電流を最小値に制限します。低周波動作では、スイッチング損失を低い値に維持し、電力供給が必要ときにメインFETをオンにします。ただし、可聴周波数範囲での動作を防止するために、25 kHzの周波数クランプを実装する必要があります。

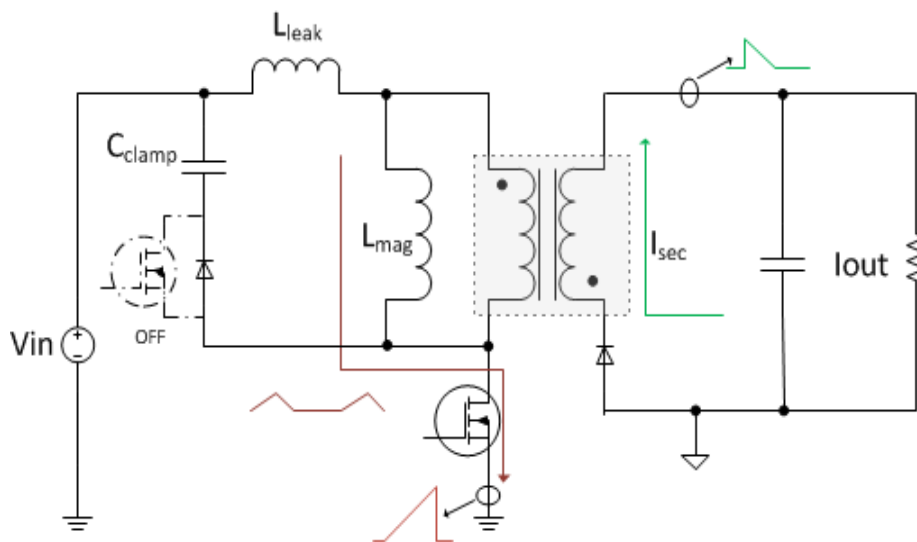


Figure 7. Turning ACF Topology into DCM Flyback

B. 高集積アクティブクランプ・フライバック・コン  
トローラ、NCP1568の紹介

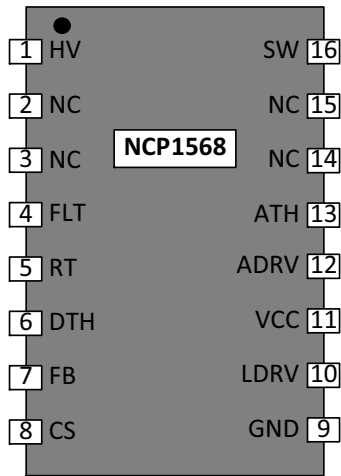


Figure 8. NCP1568 Pinout

NCP1568[2]はアクティブクランプ・フライバック・トポロジを実装する目的で設計された、高集積AC/DC PWMコントローラです。NCP1568は700 Vのスタートアップ回路、1個の2Aローサイドドライバ、アクティブクランプFETを駆動する1個の5 Vロジックレベルドライバを搭載しています。また、このICは700 VのJFET経由でZVSを直接センスする機能に加え、一連の保護機能も備えています。NCP1568は、AC/DCアダプタ、産業用、テレコム、照明、電力密度が重要な要件となる他のアプリケーションなど、多様な用途に適しています。

NCP1568は、パルス幅変調(PWM)向けにピーク電流モード制御アーキテクチャを実装しています。ピーク電流モード制御によりループ補償が簡略化され、通常シンプルなType II補償回路を実現できます。比較的シンプルな補償方式により、標準的な電圧モード制御に比べて、より広い帯域幅を実現できます。さらに、本質的な性質として電流制限を達成すると同時に、ラインフィードフォワードも提供し、優れたライン過渡応答が得られます。ただし、ピーク電流モード制御は、デューティ比が50%を上回る場合に低調波発振の影響を受けやすくなります。低調波発振の特徴は、狭いパルス幅と広いパルス幅が交互に登場することです。低調波発振を防止するために、NCP1568は追加のスロープ補償機能も搭載しています。

NCP1568はさまざまなライン条件や負荷条件でも効率を最適化できるよう、マルチモード動作を採用しています。以下に動作モードを示します。

- 可変周波数でのアクティブクランプ動作
- ACFモードからDCMモードへの移行、およびその逆への移行
- 周波数フォールドバック機能を採用した不連続導通モード
- スキップモード

「周波数変調」セクションで説明したように純粋なACFモードでは、NCP1568は負のバレー電流を最適化しながらZVSを実現するために、可変周波数動作を実装しています。ATH(ACFスレッシュホールド)およびDTH(DCMスレッシュホールド)の電圧とフィードバックを比較する方法で、マルチモード動作を実現しています。FB電圧がDTH電圧より低い場合、このパーツはFigure 9に示すように、非直線的にDCM動作に移行します。さらに、負荷が低下すると、ピーク電流を維持したまま、直線的なフォールドバック方式が採用されます。同様に、負荷が増加しFB電圧がATH電圧を上回るとACFモードに移行します。

規制官庁や団体が義務付けている待機時消費電力や軽負荷効率の目標をさまざまな負荷ポイントで組み合わせると、このICがDCMモードのときに動作周波数を変更する必要が生じます。DCMモード時の動作周波数は、FB電圧がプログラム可能な $V_{DTH}$ スレッシュホールドに到達した時点で最大になります。負荷が減少するにしたがって、周波数は低下し続け、最終的に25 kHzの最小周波数クランプで変化が止まります。Figure 9に、NCP1568の負荷条件全体にわたる周波数の変化を示します。

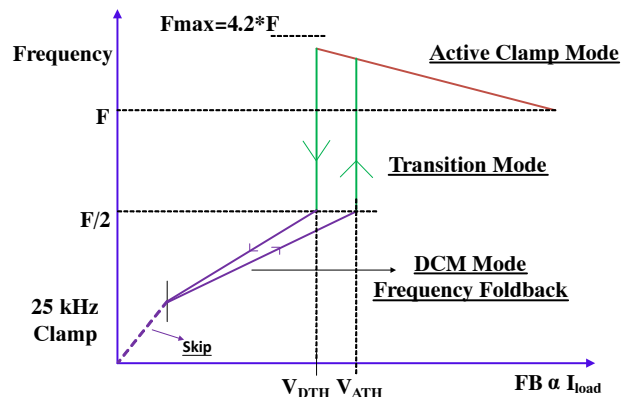


Figure 9. Frequency Movement across Load in NCP1568

漏れインダクタンス内のエネルギーはDCM動作時はリサイクルされないため、DCM動作時のクランプコンデンサの電圧は、Equation 3に示したACF動作時のクランプコンデンサの電圧を上回ります。さらに、DCMモードからACF動作への移行、またはその逆への移行は、ループが安定するための時間を許容できるように、徐々に実施する必要があります。したがって、NCP1568でアクティブクランプ・モードに移行している間、アクティブクランプFETをソフトスタートすることによって、クランプコンデンサ内のエネルギーを緩やかに放電することになります。Figure 10に示すように、リーディングエッジ変調(LEM)が採用されています。LEMを使用すると、移行中にメインFETのZVS動作が可能になります。これはアクティブクランプFETを短時間オンにするとクランプコンデンサから電流が放電され、アクティブクランプFETをシャットオフしたときに、この

電流がランプコンデンサを放電するからです。アクティブクランプFETのソフトスタート時に、このパ

ルス幅は約250 nsの最小値から(1-D)  $T_{sw}$ に直線的に徐々に大きくなります。

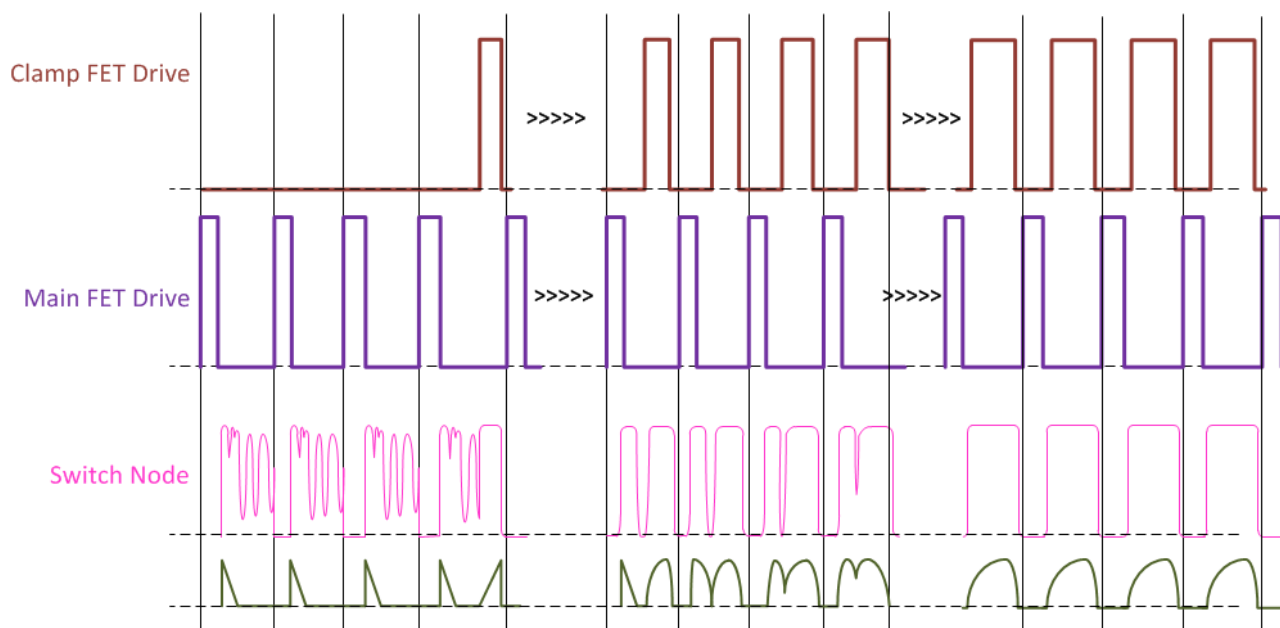


Figure 10. Leading Edge Modulation of ADRV during DCM to ACF

Figure 10に2次側電流の形状を示します。この形状はLEM期間中の共振電流の形状に似ており、最終的にソフトスタート完了時に1-Dサイクル全体で共振電流を認識できるようになります。

### C. DCM動作の決定要因

DCM動作に比べて、アクティブクランプ動作で効率が優れたスイートスポットは、システムごとに異なる可能性があります。このスイートスポットは、1次側の導通損失とスイッチング損失の対比によって決まります。NCP1568は、純粋なACF動作または純粋なDCM動作、あるいはそれらの組み合わせで動作するように構成できます。遷移ポイントを決定する最善の方法は、最初に純粋なDCMモードと純粋なACFモードのそれぞれで動作するように構成し、軽負荷時および中負荷時の効率を収集することです。次の例では、3 A、20 Vの出力に対して50%未満の負荷を接続した場合の効率を収集しました。

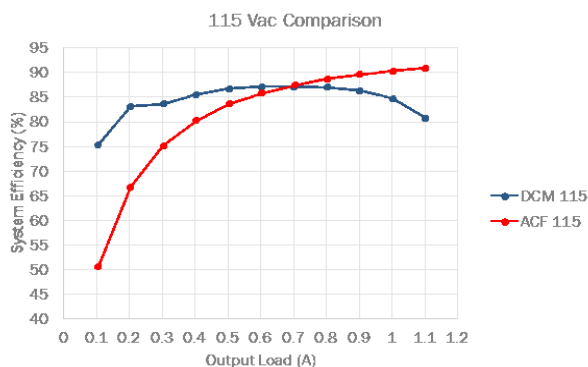


Figure 11. ACF vs DCM Efficiency at Light Load

効率を収集した後、遷移ポイントを決定することができます。NCP1568で、FB(出力電圧の誤差信号)を使用して補償済みを使用し、ATHピンとDTHピン



を通じてACFからDCMへの遷移、またはその逆の遷移を決定することができます。上記の例で理想的な遷移ポイントは負荷電流が0.7 Aの地点であり、これは負荷電流の約25%に相当します。

## トランスの設計

アクティブクランプ・フライバックを活用するAC/AC電源で使用するトランス設計を示すために、USB PD 2.0に準拠し、効率に関するDoEとCoC Tier IIの厳格な基準を満たす以下の仕様を想定しています。

すでに説明した理由で、ACFは電源の電力密度を高めることができるので、この設計では400 kHzという最大周波数を想定しています。これは標準的な65W AC/DCアダプタの最大動作周波数に比べて約3.25~4倍の値です。400 kHzは、高い電力密度と、業界標準の600VスーパージャンクションMOSFETで実現可能な動作周波数の適切な妥協点です。

Table 1. SPECIFICATIONS OF THE DESIGN INPUTS

Description	Min	Typ	Max	Unit
Input Voltage	85		265	Vrms
Line Frequency	47		63	Hz
Min Output Voltage	4.75	5	5.25	V
Max Output Voltage	19	20	21	V
Output Current	0		3.0	A
Target Efficiency		93		%
Frequency ACF	100		400	kHz
Max Power			60	W

### A. 巻線比

トランスの巻線比は、入力電圧が最小でデューティサイクル最大値が50%のときに最大電力を供給するものと想定して計算することができます。NCP1568のデューティ比は内部で80%に制限されています。これにより、最大電力を供給しながら過渡条件や他の非理想条件に対処するための追加余裕を確保することができます。

$$N_{PS} = \frac{D_{max} \cdot V_{in(min)}}{(1 - D_{max}) \cdot V_{out(max)}} \quad (\text{eq. 11})$$

Table 1で提示した複数の条件に対応して、eq. 11から巻線比6を求めることができます。1次側と2次側の巻線比を計算するときに、設計者は最大オン時間をチェックし、その値がICの最小オン時間を下回っていないことを確認する必要があります。最小オン時間は、最大周波数、最大入力電圧時の値を確認する必要があります。また、可変出力設計の場合は、最小動作周波数、最大入力電圧、最小出力電圧時の値も確認する必要があります。

$$T_{min1} = \frac{N_{ps} \cdot V_{out(max)}}{(N_{PS} \cdot V_{out(min)} + V_{in(max)}) \cdot F_{max}} \quad (\text{eq. 12})$$

$$T_{min2} = \frac{N_{ps} \cdot V_{out(min)}}{(N_{PS} \cdot V_{out(min)} + V_{in(max)}) \cdot F_{min}} \quad (\text{eq. 13})$$

NCP1568の最小オン時間は約200nsです。eq. 12と13から計算できる最小オン時間はそれぞれ600 nsと700 nsで、どちらもICの最小値を十分上回っています。仮に、計算で求めた最小オン時間がICの最小オン時間を下回っている場合は、巻線比または周波数を変更して計算を繰り返す必要があります。

磁化インダクタンスを計算するには、磁化電流( $\Delta I$ )の望ましい振幅を知る必要があります。ただし、ZVSを実現するために、ここでは負の磁化電流を使用しています。したがって、600 VのスーパージャンクションFETを放電するのに必要な負電流を計算する必要があります。

### B. ZVSを実現するのに必要なバレー電流

ZVSを実現するのに必要なエネルギーは、ノードを放電する間にスイッチノードに接続されている容量の概算値を求めて計算することができます。この容量は、 $C_{lump}$ で表現される1つの項に簡略化することができます。 $C_{lump}$ は、1次側経路で直接的に、またはトランスの巻線を通じて間接的にスイッチノードに接続されているすべての容量の総和を意味します。トランスを設計する場合、主な寄与容量がローサイドMOSFET(の寄生容量)、ハイサイドMOSFET、および2次側のMOSFETであるとみなし、想定を簡略化することができます。これらのデバイスのワーストケース容量、つまり入力電圧が最大のときの容量のみを使用します。大半の高電圧MOSFETのデータシートにはこのような容量が掲載されており、出力容量に関連するエネルギー、すなわち $C_{o(er)}$ の形で表記されています。計算が簡単になるように、これらの数値を以下のように想定します。ハイサイドとローサイドそれぞれのMOSFETの $C_{o(er)}$ は98 pFであり、2次側は800 pFの場合の $C_{o(er)}$ が150 pFであると想定します。これら3つのコンデンサを組み合わせ、次式でバレー電流を推定します。

$$C_{lump} = C_{o(er)Q1} + C_{o(er)Q2} + \frac{C_{o(er)Q3}}{N_{PS}^2} \quad (\text{eq. 14})$$

上式を使用すると、SWノードのランプ容量 $C_{lump}$ は220 pFとなります。

$$I_{valley} = C_{lump} \cdot \frac{N_{PS} \cdot V_{out} + V_{in}}{T_{reg}} \quad (\text{eq. 15})$$

上式はワーストケース時の負電流であり、設計者は容量を放電するのに必要な負電流の大きさは、ライン電圧と出力電圧の変化に応じて変動することに注意が必要です。バレー電流を使用して、1次側インダクタンスを計算できます。容量が不明な場合に一般的な目安になるのは、SJ MOSFETの負電流として300 mAを使用し、eGaN HEMTの場合は約150 mAを使用することです。

### C. インダクタンスの計算

最小入力電圧、最小出力電圧時のインダクタンスを計算する必要があります。NCP1568はZVSベースの周波数変調機能を搭載しています。この場合、最小入力電圧、最小出力電圧、かつ最大負荷電流時に動作周波数が最小になります。この仕様に対して、100 kHzを想定します。設計にある程度余裕をもたせたい場合、eq. 16に示す最大出力電流をこれより大きくすることができます。

$$L_{\text{mag}} = \frac{V_{\text{in}(\text{min})} \cdot D_{\text{min}}}{2 \cdot F_{\text{SW}(\text{min})} \left( \frac{I_{\text{out}(\text{max})}}{(1 - D_{\text{min})} N_{\text{PS}}} - I_{\text{valley}} \right)} \quad (\text{eq. 16})$$

ここで、最小デューティサイクル $D_{\text{min}}$ は次式で表現できます。

$$D_{\text{min}} = \frac{V_{\text{out}(\text{min})} \cdot N_{\text{PS}}}{V_{\text{out}(\text{min})} \cdot N_{\text{PS}} + V_{\text{in}(\text{min})}} \quad (\text{eq. 17})$$

eq. 16から、磁化インダクタンス129  $\mu\text{H}$ という結果が得られます。この設計の場合、120  $\mu\text{H}$ のインダクタンスを選定します。Figure 12に、負のバレー電流要件に対するインダクタンスの変化を示します。電流が大きいほどインダクタンスは小さくなり、それによって電束振幅が大きくなります。

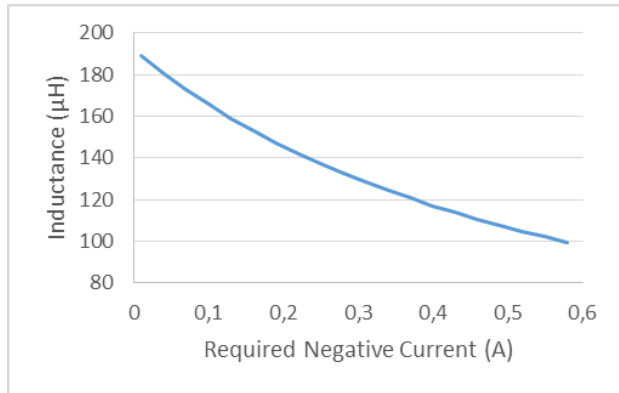


Figure 12. Negative Valley Current Requirement

### D. 1次側と2次側の巻線数

トランスの1次側巻線数を選定するときに、効率と電力密度を最適化するために、断面の面積と材質を考慮する必要があります。このプロセスは通常、反復して実行します。この設計の目標は可能な最大電力密度を提示することです。したがって、比較的小さなRM8LP形式のコアを選定しました。このトランスの断面積 $A_e$ は、64.9  $\text{mm}^2$ です。 $I_{\text{PK}}$ は、eq. 22で規定しているピークドレイン電流であり、 $\Delta B$ は電束密度振幅です。100 kHz~400 kHzの範囲で動作するアクティブクランプ・フライバックに対して、0.2Tの電束密度を選定することになります。

$$N_p = \frac{L_{\text{mag}} \cdot \left( \frac{I_{\text{out}(\text{max})}}{(1 - D_{\text{min})} N_{\text{PS}}} - I_{\text{valley}} \right)}{\Delta B A_e} \quad (\text{eq. 18})$$

上式の結果、1次側巻線数は23.1になります。簡単にするために、この設計では偶数の24という巻線数を選定しました。また、この設計ではHitachi ML29Dコア部材を選定しました。高周波時のコア損失が小さいことが理由です。コア損失は、コア部材のデータシートから推定できます。この場合、単位体積あたりの電力損失は200 kHzで規定されています。ML29Dは温度範囲全体にわたって平坦な損失曲線を示します。一方、他の部材でもコア損失と温度の関係を考慮する必要があります。

$$RM8LP_{\text{Loss}} = P_{\text{LossV}} \times \text{Volume}_{RM8LP} \quad (\text{eq. 19})$$

eq. 19から1.8 W損失という結果が得られます。これは効率の点では3.0%に相当します。

巻線比は早い段階で確立済みなので、2次側の巻線数を次のとおり計算できます。

$$N_s = \frac{N_p}{N_{\text{PS}}} \quad (\text{eq. 20})$$

実際の値を代入すると2次側の巻線数は4になります。

### 1次側と2次側の主な部品の選定

#### A. クランプコンデンサ

クランプ容量は、最小動作周波数、最小デューティサイクル、 $L_{\text{leak}}$ と $C_{\text{clamp}}$ で構成される共振期間が共振期間の1/2である状況を想定して計算します。

$$C_{\text{Clamp}} = \left[ \frac{D_{\text{min}}}{F_{\text{min}}} \right]^2 \times \frac{1}{0.5 L_{\text{leak}} \pi^2} \quad (\text{eq. 21})$$

この結果、 $C_{\text{clamp}}$ は300 nFになります。この設計では3個の220 nFセラミックコンデンサを選定しました。セラミックコンデンサは、DCバイアスが印加された状態で容量値の最大50%を失うことがあるからです。クランプコンデンサをこれより小さくすることもできますが、その場合は2次側の導通損失が大きくなり、効率が多少低下する可能性がありますので注意してください。

#### B. 1次側電流センス抵抗

出力電力を制限し、電流モード制御を実現するために、ローサイドMOSFETと直列に電流センス抵抗を配置することができます。最大出力電流を定格出力電流の120%に設定できます。次のeq. 22は、最大出力電圧および定格電流時における電流制限ポイントのピーク電流を計算します。

$$I_{\text{PK}} = \frac{I_{\text{LIM}}}{(1 - D_{\text{max}}) \times N_{\text{PS}}} \times 2 - I_{\text{valley}} \quad (\text{eq. 22})$$

NCP1568の電流制限スレッシュホールドは、800 mVに設定されています。電流制限を120%に設定する目標を満たすために、eq. 23に示す値の抵抗を使用する必要があります。

$$R_s = \frac{V_{LIM}}{I_{PK}} \quad (\text{eq. 23})$$

デバイスの消費電力は、最大負荷接続時における低ライン電圧、最大出力電圧で、デバイスの最大損失を計算する必要があります。

$$I_{RMS} = I_{PK} \cdot \frac{D}{\sqrt{3}} \quad (\text{eq. 24})$$

$$P_{RS} = R_s \cdot I_{RMS}^2 \quad (\text{eq. 25})$$

### C. メインFETとアクティブクランプFETの選定

1次側におけるメインFETのRMS電流は、上記のeq. 24に等しくなります。クランプFET [3]のRMS電流は、次式で表現できます。

$$I_{AC(RMS)} = I_{PK} \cdot \sqrt{\frac{1 - D_{min}}{6}} \quad (\text{eq. 26})$$

### D. 同期整流器

2次側の電圧ストレスは、次のとおり計算できます。

$$V_{SR} = \frac{V_{in(max)}}{N_{PS}} + V_{spike} \quad (\text{eq. 27})$$

漏れスパイクが30 Vであることを想定すると、同期整流器は少なくとも92.5 Vに対応する定格にする必要があります。

電源の長期的な動作寿命を保証するために、すべてのスイッチの電圧ストレスのディレーティングが必須です。

$$V_{SR(max)} = \frac{V_{SR}}{\text{Derate}} \quad (\text{eq. 28})$$

ディレーティング係数を20%と想定し、同期整流器で120 VのFETを選定しました。

2次側のRMS電流は、次のとおり計算できます。

$$I_{sec(RMS)} = \frac{2P_{out}}{V_{out} \cdot \sqrt{2(1 - D_{min})}} \quad (\text{eq. 29})$$

その結果、2次側のRMS電流は3.8 Aになります。

### E. 出力LCフィルタ

他のフライバック・トポロジに似た標準的な出力LCフィルタをACFで使用できます。ただし、出力フィルタをチューニングして[6]、多重共振ACFを作成することもできます。1つの方法としては、同期整流器段の直前にあるコンデンサ容量を大幅に減らし、負荷に直接接続されるコンデンサバンクの容量を大きくすることです。この方式では、アクティブクランプFETが導通している間に共振回路を形成でき、1次側でRMS電流を低減しながら、2次側でゼロ電流スイッチングを実現できます。

### 60-Wの超高密度ACFボードの性能

NCP1568および上記の設計基準を使用して、USB PD 2.0およびEUのCoC Tier IIと米国のDoEが規定す

る効率規格に完全準拠する60 W超高密度AC/Dcアダプタを設計しました。このボードの寸法は1.66インチ×1.78インチ×0.70インチ(4.2 cm×4.5 cm×1.7 cm)で、その結果、電力密度は31 W/in<sup>3</sup>、言い換えると1.7 W/cm<sup>3</sup>になります。動作周波数は、90 V rms、5 Vout出力、3 A負荷電流時の100 kHzから、265 V rms、20 Vout、1.5 A負荷電流時の420 kHzの範囲で変化します。ハイサイドゲートドライバとして、3 AのハーフブリッジドライバNCP51530を使用し、ローサイドはNCP1568から直接駆動しています。インテリジェントSRコントローラNCP4305を使用して、同期整流FETを駆動しています。1次側と2次側の間に直接の通信手段はなく、NCP4305がボディダイオードの導通を調べてSR FETをオンにし、2次側電流が0に達した時点でオフにします。

簡略回路図をFigure 14に示します。標準的なフライバックと同様、帰還回路でTL431/NCP431を誤差アンプとして使用することができます。回路図に注目すると、標準的なDCM/QRフライバックと比べて、以下の部品が追加されていることがわかります。

- アクティブクランプFET
- ハーフブリッジドライバ
- 追加クランプコンデンサ

したがって、コスト増加要因を抑えながら、既存のソリューションに比べて2~3倍の電力密度を実現しています。

次に最大負荷に出力する場合の効率グラフを示します。

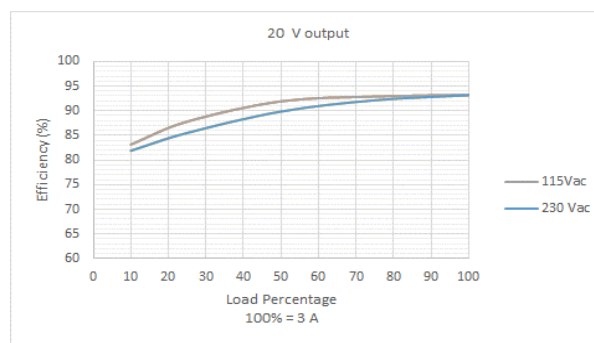


Figure 13. Efficiency vs. Load Current for 20-V Output

最大負荷の場合、このボードはライン電圧が低いときと高いときの両方で93.3%の効率を実現しています。NCP1568は、負荷が約27.5%の地点でDCMに遷移するように構成されています。したがって、負荷がそれぞれ25%と10%のときの効率値は、DCM動作状態で取得することになります。また、このボードは115 V rmsおよび230 V rmsで、35 mW未満という優れた待機時消費電力を実現します。

Figure 14に、NCP1568を使用したアクティブクランプ・フライバックの概要回路図を示します。詳細な回路図と、レイアウトファイルや部品表(BOM)

は、ONSEMIのWebサイトに掲載されています。さらに、参考に高密度ボードの画像も示しています。Figure 16 (A)に、2個の1次側FETと、NCP1568コント

ローラ、およびNCP51530ドライバを示します。Figure 16 (B)に、RM8LPトランス、EMIチョーク、出力コンデンサを示します。

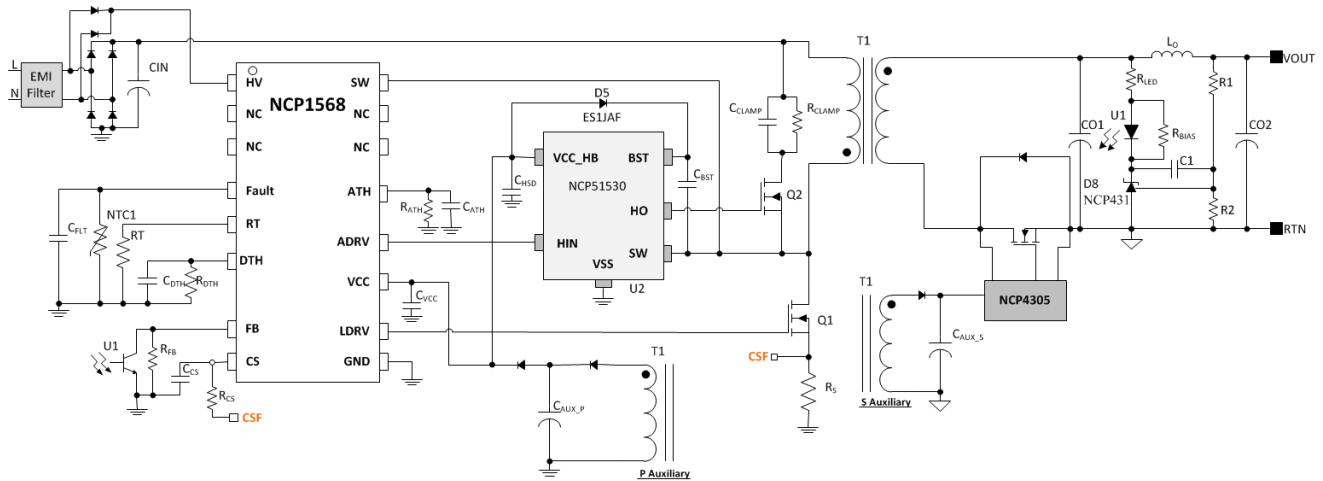


Figure 14. Typical Schematic of Active-Clamp Flyback with NCP1568

ACFとDCMの両方で、さまざまな出力電圧に対する代表的なスイッチング波形をFigure 16に示します。ACFモードでは、実現する負電流を最小化するために、入力電圧と出力電圧の両方がさまざまな値に変化しても、DCM動作のときよりスイッチング周波数が高くなります。

さらに、DCM動作のときには、入力電圧および出力電圧全体で、周波数が比較的平坦な様子を観察できます。その原因は、Figure 9に示した非直線的フォールドバックにあります。NCP1568は $F_{min}/2$ の付近でDCM動作に移行します。この設計例では50 kHzです。

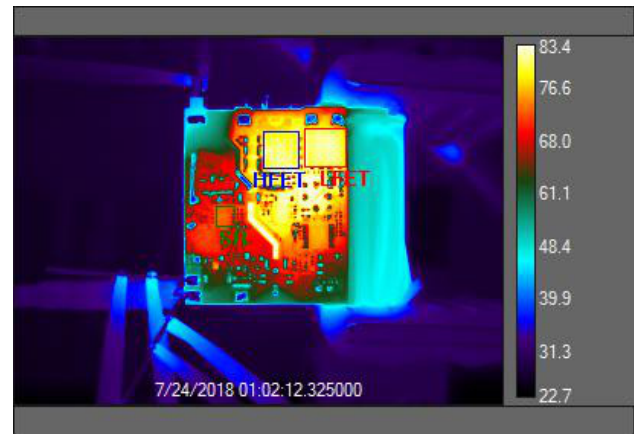
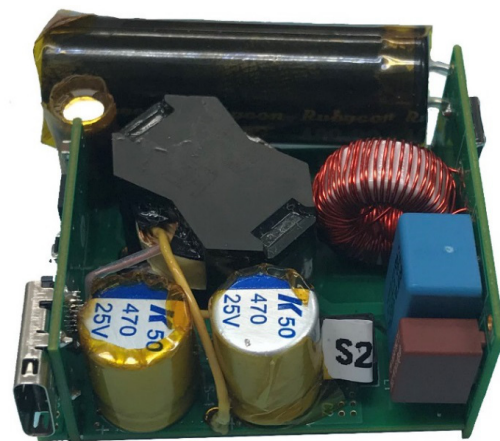


Figure 15. Thermal Scan of ACF UHD Board at 115 V rms, 60 W

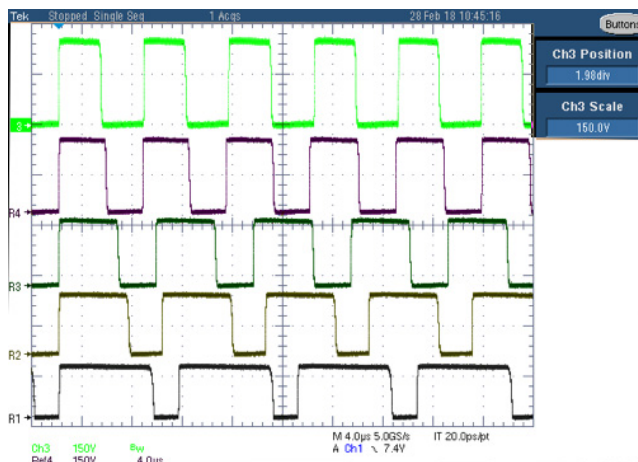


(A)

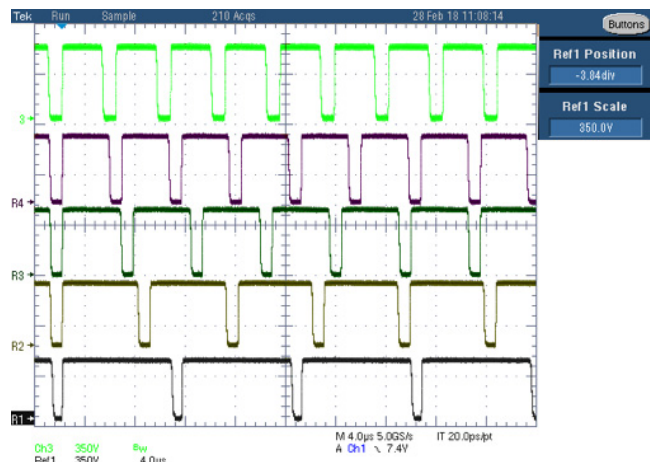


(B)

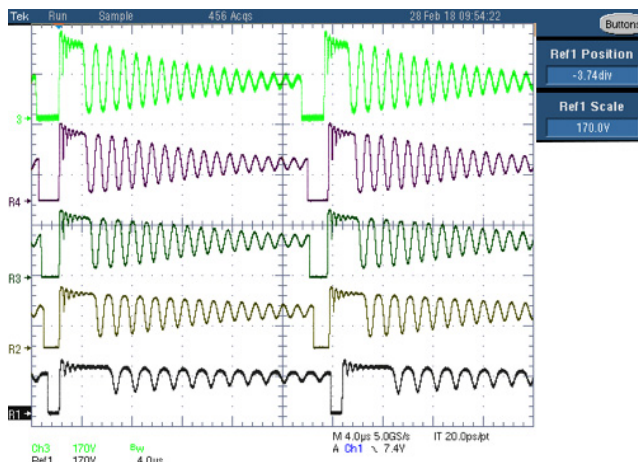
Figure 16. Pictures of Active-Clamp Flyback Board



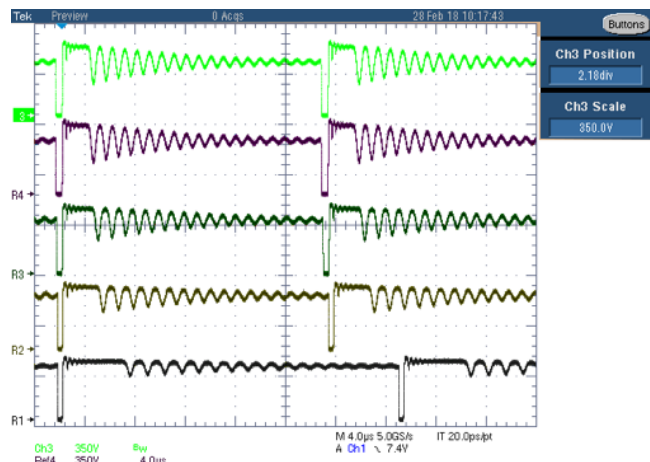
(A)



(B)



(C)



(D)

(A) & (B) show ACF operation at 90 V rms and 265 V rms.

(C) & (D) show DCM operation at 90 V rms and 265 V rms.

The waveforms are arranged in descending order of output voltage for all the 4 waveforms.

Top to Bottom: 20 V, 15 V, 12 V, 9 V and 5 V.

**Figure 17. Typical SW Node Waveforms in ACF & DCM Operation**

## 結論

本書では、アクティブクランプ・フライバック (ACF) コンバータについて説明し、設計に使用する主な式を紹介しました。

また、DCM動作回路の優位性も説明し、CCMとDCMの間での円滑な遷移の利点に注目しました。新しいアクティブクランプ・フライバック・コントローラNCP1568は、これらのモード間でシームレスな切り替えを行い、堅牢でコストに敏感なコンバータを構築するのに必要な機能をすべて搭載しています。

60 Wの実証用回路を製作し、検証と測定データの抽出を行いました。その結果、高電圧フライバックコンバータがアクティブクランプ・モードで安定的に動作することが確認できました。

## 参考文献

[1] D. Dalal, Design Considerations for Active Clamp and Reset Technique, Power Supply Design Seminar

SEM-1100, Topic 3, Texas Instruments Literature No. SLUP112.

[2] NCP1568/D <http://www.onsemi.com/pub/Collateral/NCP1568-D.PDF>.

[3] R. Watson, F.C Lee, G.C Hua, Utilization of Active-Clamp Circuit to Achieve Soft-Switching in Flyback Converters, IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 11, NO. 1, JANUARY 1996.

[4] Christophe Basso, Switch Mode Power Supplies: SPICE Simulations and Practical Design, New York: McGraw-Hill, 2008.

[5] P. Jaily, A. Dheeraj and V. Rajini, "Analysis of Active-Clamp Flyback Converter", Modern Applied Science, Vol. 9, No. 1, 2015.

[6] David A Smith, US patent 5430633, Multiresonant clamped Flyback Converter, Astec International, 1995.

**onsemi**, **Onsemi**, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as-is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Email Requests to: [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

**onsemi Website:** [www.onsemi.com](http://www.onsemi.com)

### TECHNICAL SUPPORT

**North American Technical Support:**

Voice Mail: 1 800-282-9855 Toll Free USA/Canada

Phone: 011 421 33 790 2910

**Europe, Middle East and Africa Technical Support:**

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative