

# NCP3170

## 同期式PWMスイッチング・コンバータ

NCP3170は柔軟性に優れた同期式PWMスイッチング降圧レギュレータです。NCP3170は4.5~18 Vで動作し、ソース電流は最大3 Aで、わずか0.8 Vの出力電圧を生成できます。NCP3170は電流モード制御も内蔵しています。外付け部品数を減らすために、ソフト・スタート、電源正常検出、スイッチング周波数など、多くの機能が内部で設定されています。NCP3170は現在SOIC-8パッケージで供給されています。

### 特長

- 4.5 V~18 Vの動作入力電圧範囲
- 90 mΩハイサイド、25 Ωローサイド・スイッチ
- ピン短絡試験時のFMEAフォールト・トレラント
- 3 Aの連続出力電流
- 固定500 kHzおよび1 MHz PWM動作
- サイクル毎の電流モニタリング
- 1.5%初期出力精度
- 内部4.6 msソフトスタート
- 短絡保護
- ターンオン・プレバイアス
- 電源正常表示
- 軽負荷効率
- サーマル・シャットダウン
- 鉛フリー・デバイス

### 代表的アプリケーション

- セット・トップ・ボックス
- DVD/ブルーレイ・ドライブおよびHDD
- LCDモニタおよびTV
- ケーブル・モデム
- PCIeグラフィックス・カード
- テレコム/ネットワークング/データ通信機器
- ポイントオブロードDC/DCコンバータ

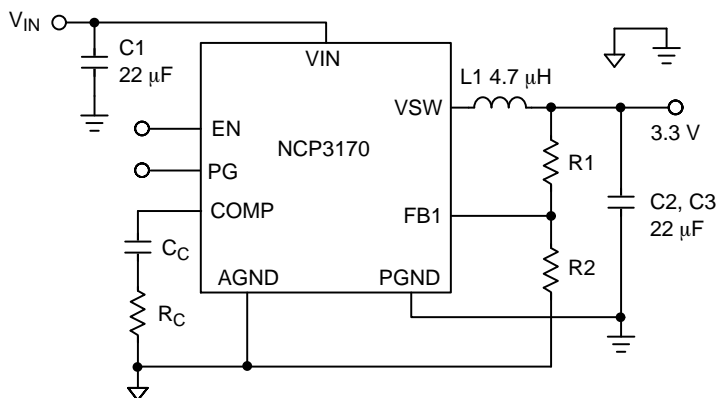


Figure 1. Typical Application Circuit



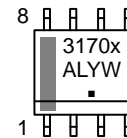
ON Semiconductor®

[www.onsemi.jp](http://www.onsemi.jp)



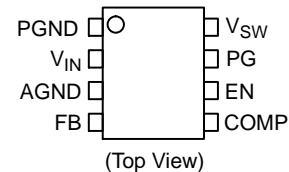
SOIC-8 NB  
CASE 751

### MARKING DIAGRAM



3170x = Specific Device Code  
 x = A or B  
 A = Assembly Location  
 L = Wafer Lot  
 Y = Year  
 W = Work Week  
 ■ = Pb-Free Package

### PIN CONNECTIONS



### ORDERING INFORMATION

Device	Package	Shipping†
NCP3170ADR2G	SOIC-8 (Pb-Free)	2,500/Tape & Reel
NCP3170BDR2G	SOIC-8 (Pb-Free)	2,500/Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

# NCP3170

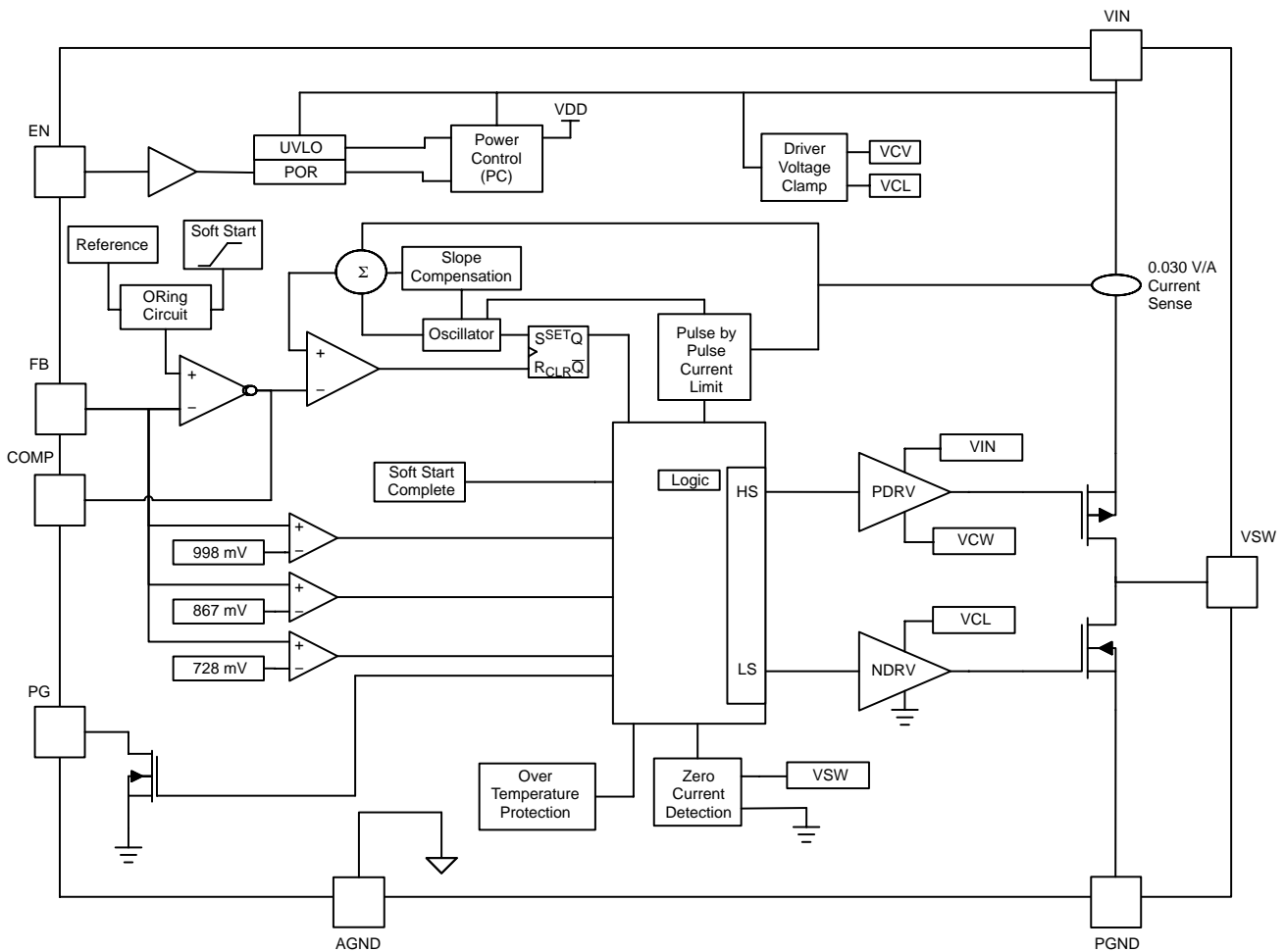


Figure 2. NCP3170 Block Diagram

Table 1. PIN FUNCTION DESCRIPTION

Pin	Pin Name	Description
1	PGND	The power ground pin is the high current path for the device. The pin should be soldered to a large copper area to reduce thermal resistance. PGND needs to be electrically connected to AGND.
2	VIN	The input voltage pin powers the internal control circuitry and is monitored by multiple voltage comparators. The VIN pin is also connected to the internal power PMOS switch and linear regulator output. The VIN pin has high di/dt edges and must be decoupled to ground close to the pin of the device.
3	AGND	The analog ground pin serves as small-signal ground. All small-signal ground paths should connect to the AGND pin and should also be electrically connected to power ground at a single point, avoiding any high current ground returns.
4	FB	Inverting input to the OTA error amplifier. The FB pin in conjunction with the external compensation serves to stabilize and achieve the desired output voltage with current mode compensation.
5	COMP	The loop compensation pin is used to compensate the transconductance amplifier which stabilizes the operation of the converter stage. Place compensation components as close to the converter as possible. Connect a RC network between COMP and AGND to compensate the control loop.
6	EN	Enable pin. Pull EN to logic high to enable the device. Pull EN to logic low to disable the device. Do not leave it open.
7	PG	Power good is an open drain 500 $\mu$ A pull down indicating output voltage is within the power good window. If the power good function is not used, it can be connected to the VSW node to reduce thermal resistance. Do not connect PG to the VSW node if the application is turning on into pre-bias.
8	VSW	The VSW pin is the connection of the drains of the internal N and P MOSFETS. At switch off, the inductor will drive this pin below ground as the body diode and the NMOS conducts with a high dv/dt.

# NCP3170

**Table 2. ABSOLUTE MAXIMUM RATINGS** (measured vs. GND pin 3, unless otherwise noted)

Rating	Symbol	V <sub>MAX</sub>	V <sub>MIN</sub>	Unit
Main Supply Voltage Input	V <sub>IN</sub>	20	-0.3	V
Voltage between PGND and AGND	V <sub>PAG</sub>	0.3	-0.3	V
PWM Feedback Voltage	F <sub>B</sub>	6	-0.3	V
Error Amplifier Voltage	COMP	6	-0.3	V
Enable Voltage	EN	V <sub>IN</sub> + 0.3 V	-0.3	V
PG Voltage	PG	V <sub>IN</sub> + 0.3 V	-0.3	V
VSW to AGND or PGND	V <sub>SW</sub>	V <sub>IN</sub> + 0.3 V	-0.7	V
VSW to AGND or PGND for 35ns	V <sub>SWST</sub>	V <sub>IN</sub> + 10 V	-5	V
Junction Temperature (Note 1)	T <sub>J</sub>	+150		°C
Operating Ambient Temperature Range	T <sub>A</sub>	-40 to +85		°C
Storage Temperature Range	T <sub>stg</sub>	- 55 to +150		°C
Thermal Characteristics (Note 2) SOIC-8 Plastic Package Maximum Power Dissipation @ T <sub>A</sub> = 25°C Thermal Resistance Junction-to-Air Thermal Resistance Junction-to-Case	P <sub>D</sub> R <sub>θJA</sub> R <sub>θJC</sub>	1.15 87 37.8		W °C/W °C/W
Lead Temperature Soldering (10 sec): Reflow (SMD Styles Only) Pb-Free (Note 3)	RF	260 peak		°C

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.

(参考訳)

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じたり、信頼性に影響を及ぼす危険性があります。

1. The maximum package power dissipation limit must not be exceeded.

$$P_D = \frac{T_{J(max)} - T_A}{R_{\theta JA}}$$

2. The value of  $\theta_{JA}$  is measured with the device mounted on 2in x 2in FR-4 board with 2oz. copper, in a still air environment with T<sub>A</sub> = 25°C. The value in any given application depends on the user's specific board design.

3. 60–180 seconds minimum above 237°C.

**Table 3. RECOMMENDED OPERATING CONDITIONS**

Rating	Symbol	Min	Max	Unit
Main Supply Voltage Input	V <sub>IN</sub>	4.5	18	V
Power Good Pin Voltage	PG	0	18	V
Switch Pin Voltage	V <sub>SW</sub>	-0.3	18	V
Enable Pin Voltage	EN	0	18	V
Comp Pin Voltage	COMP	-0.1	5.5	V
Feedback Pin Voltage	FB	-0.1	5.5	V
Power Ground Pin Voltage	PGND	-0.1	-0.1	V
Junction Temperature Range	T <sub>J</sub>	-40	125	°C
Operating Temperature Range	T <sub>A</sub>	-40	85	°C

Functional operation above the stresses listed in the Recommended Operating Ranges is not implied. Extended exposure to stresses beyond the Recommended Operating Ranges limits may affect device reliability.

(参考訳)

推奨動作範囲を超えるストレスでは推奨動作機能を得られません。推奨動作範囲を超えるストレスの印加は、デバイスの信頼性に影響を与える危険性があります。

**Table 4. ELECTRICAL CHARACTERISTICS**

(T<sub>A</sub> = 25°C, V<sub>IN</sub> = V<sub>EN</sub> = 12 V, V<sub>OUT</sub> = 3.3 V for min/max values unless otherwise noted (Note 7))

Characteristic	Conditions	Min	Typ	Max	Unit
Input Voltage Range	(Note 5)	4.5	-	18	V

## SUPPLY CURRENT

Quiescent Supply Current	NCP3170A NCP3170B	V <sub>IN</sub> = EN = 12 V V <sub>FB</sub> = 0.8 V (Note 5)	- -	1.7 1.7	2.0 2.0	mA
--------------------------	----------------------	---	--------	------------	------------	----

# NCP3170

**Table 4. ELECTRICAL CHARACTERISTICS** (continued)

( $T_A = 25^\circ\text{C}$ ,  $V_{IN} = V_{EN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$  for min/max values unless otherwise noted (Note 7))

Characteristic	Conditions	Min	Typ	Max	Unit
<b>SUPPLY CURRENT</b>					
Shutdown Supply Current	EN = 0 V (Note 5)	–	13	17	$\mu\text{A}$
<b>UNDER VOLTAGE LOCKOUT</b>					
VIN UVLO Threshold	V <sub>IN</sub> Rising Edge (Note 5)	–	4.41	–	V
VIN UVLO Threshold	V <sub>IN</sub> Falling Edge (Note 5)	–	4.13	–	V
<b>MODULATOR</b>					
Oscillator Frequency	NCP3170A NCP3170B Enable = V <sub>IN</sub>	450 900	500 1000	550 1100	kHz
Maximum Duty Ratio	NCP3170A NCP3170B	91 90	– –	96 96	%
Minimum Duty Ratio	NCP3170A NCP3170B V <sub>IN</sub> = 12 V	6.0 4.0	– –	11 11.5	%
VIN Soft Start Ramp Time	V <sub>FB</sub> = V <sub>COMP</sub>	3.5	4.6	6.0	ms
<b>OVER CURRENT</b>					
Current Limit	(Note 4)	4.0	–	6.0	A
<b>PWM COMPENSATION</b>					
VFB Feedback Voltage	T <sub>A</sub> = 25°C	0.792	0.8	0.808	V
Line Regulation	(Note 4)	–	1	–	%
GM		–	201	–	$\mu\text{S}$
AOL DC gain	(Note 4)	40	55	–	dB
Unity Gain BW (C <sub>OUT</sub> = 10 pF)	(Note 4)	2.0	–	–	MHz
Input Bias Current (Current Out of FB IB Pin)	(Note 4)	–	–	286	nA
IEAOP Output Source Current	V <sub>FB</sub> = 0 V	–	20.1	–	$\mu\text{A}$
IEAOM Output Sink Current	V <sub>FB</sub> = 2 V	–	21.3	–	$\mu\text{A}$
<b>ENABLE</b>					
Enable Threshold	(Note 5)	–	1.41	–	V
<b>POWER GOOD</b>					
Power Good High On Threshold		–	875	–	mV
Power Good High Off Threshold		–	859	–	mV
Power Good Low On Threshold		–	712	–	mV
Power Good Low Off Threshold		–	728	–	mV
Over Voltage Protection Threshold		–	998	–	mV
Power Good Low Voltage	V <sub>IN</sub> = 12 V, IPG = 500 $\mu\text{A}$	–	0.195	–	V
<b>PWM OUTPUT STAGE</b>					
High-Side Switch On-Resistance	V <sub>IN</sub> = 12 V V <sub>IN</sub> = 4.5 V	– –	90 100	130 150	m $\Omega$
Low-Side Switch On-Resistance	V <sub>IN</sub> = 12 V V <sub>IN</sub> = 4.5 V	– –	25 29	35 39	m $\Omega$
<b>THERMAL SHUTDOWN</b>					
Thermal Shutdown	(Notes 4 and 6)	–	164	–	°C
Hysteresis		–	43	–	°C

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.

(参考訳)

製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

4. Guaranteed by design

5. Ambient temperature range of  $-40^\circ\text{C}$  to  $+85^\circ\text{C}$ .

6. This is not a protection feature.

7. The device is not guaranteed to operate beyond the maximum operating ratings.

# NCP3170

## TYPICAL PERFORMANCE CHARACTERISTICS

(Circuit from Figure 1,  $T_A = 25^\circ\text{C}$ ,  $V_{IN} = V_{EN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$  unless otherwise specified)

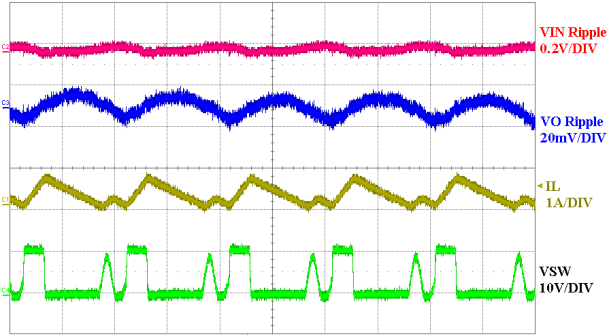


Figure 3. Light Load (DCM) Operation 1  $\mu\text{s}/\text{DIV}$

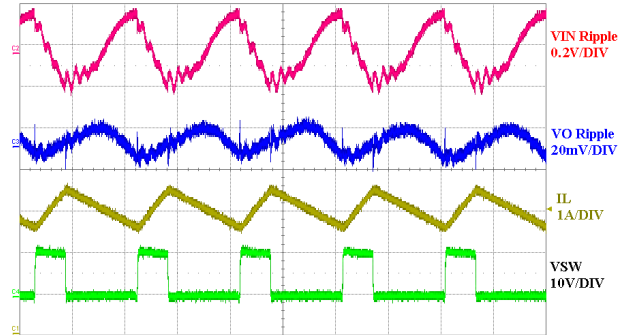


Figure 4. Full Load (CCM) Operation 1  $\mu\text{s}/\text{DIV}$

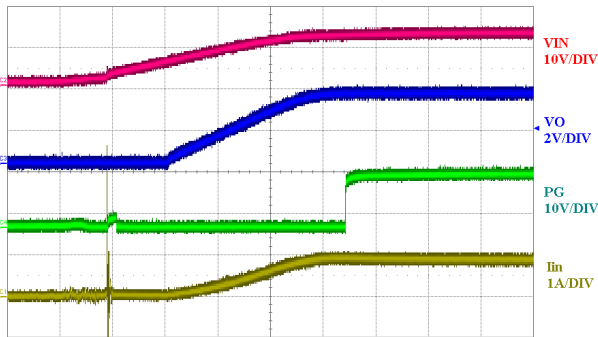


Figure 5. Start-Up into Full Load 1 ms/DIV

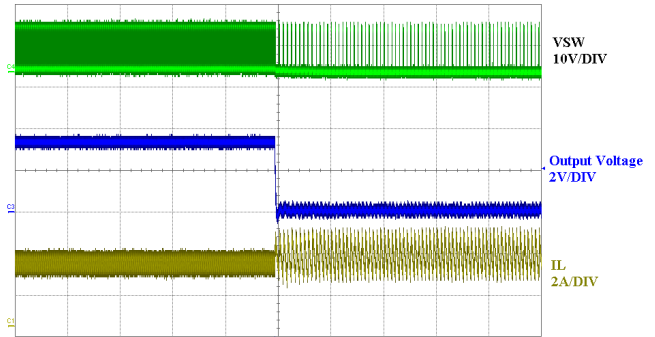


Figure 6. Short-Circuit Protection 200  $\mu\text{s}/\text{DIV}$

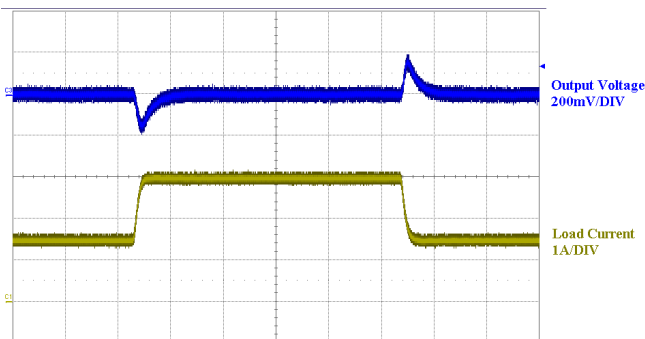


Figure 7. 50% to 100% Load Transient 100  $\mu\text{s}/\text{DIV}$

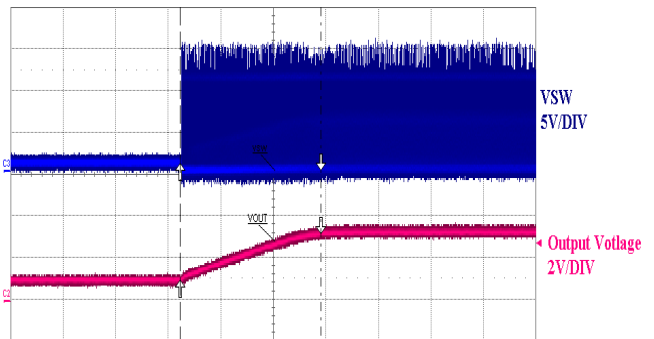
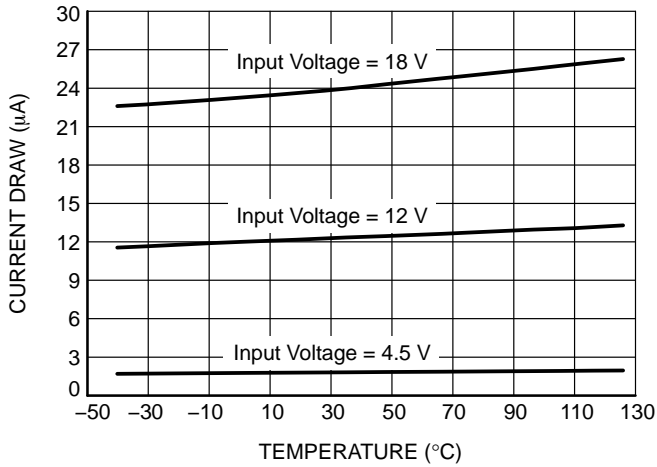


Figure 8. 3.3 V Turn on into 1 V Pre-Bias 1 ms /DIV

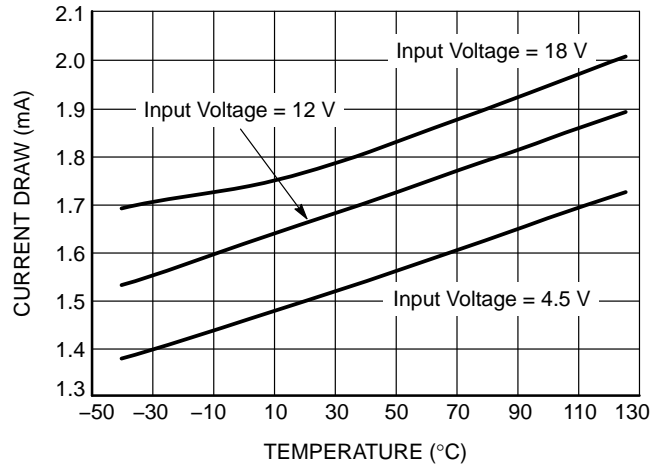
# NCP3170

## TYPICAL PERFORMANCE CHARACTERISTICS

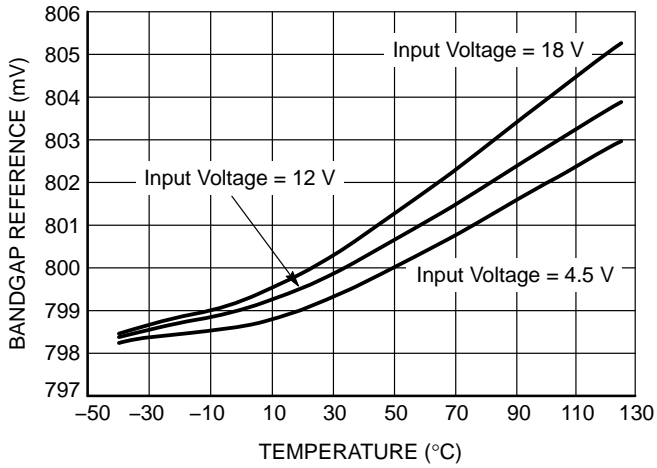
(Circuit from Figure 1,  $T_A = 25^\circ\text{C}$ ,  $V_{IN} = V_{EN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$  unless otherwise specified)



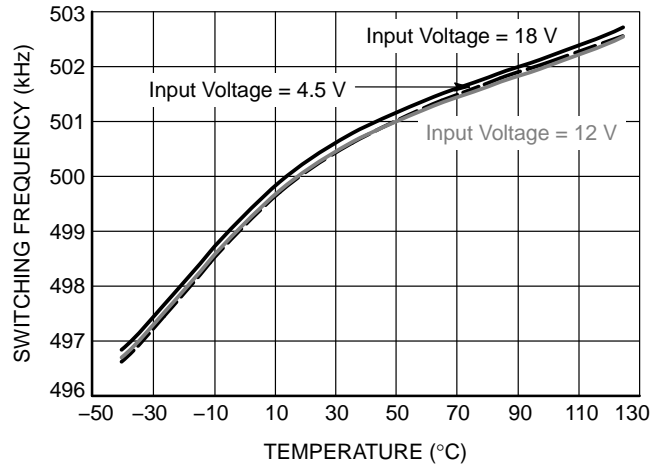
**Figure 9. ICC Shut Down Current vs. Temperature**



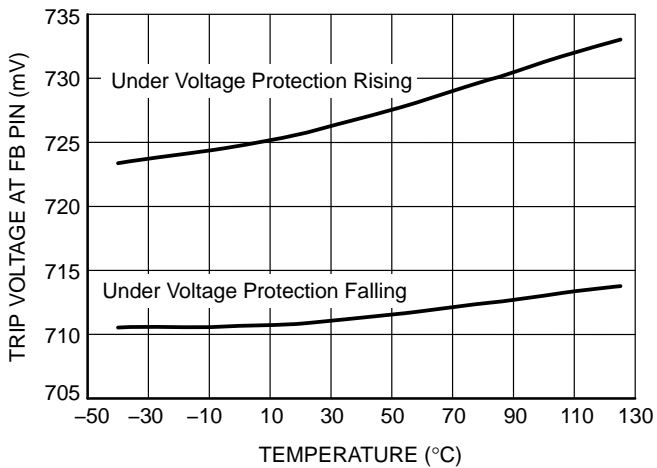
**Figure 10. NCP3170 Enabled Current vs. Temperature**



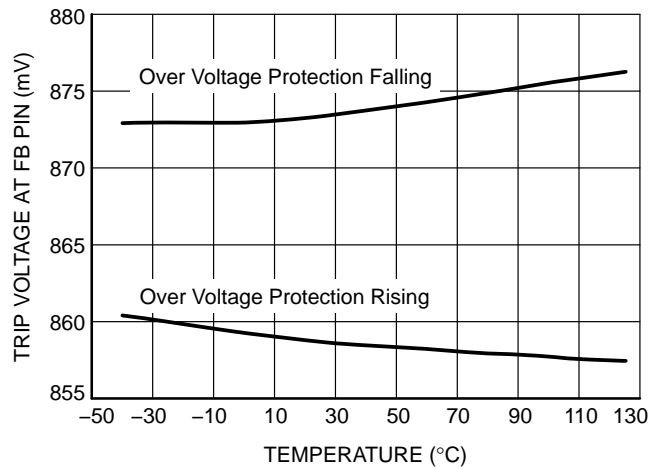
**Figure 11. Bandgap Reference Voltage vs. Temperature**



**Figure 12. Switching Frequency vs. Temperature**



**Figure 13. Input Under Voltage Protection at 12 V vs. Temperature**

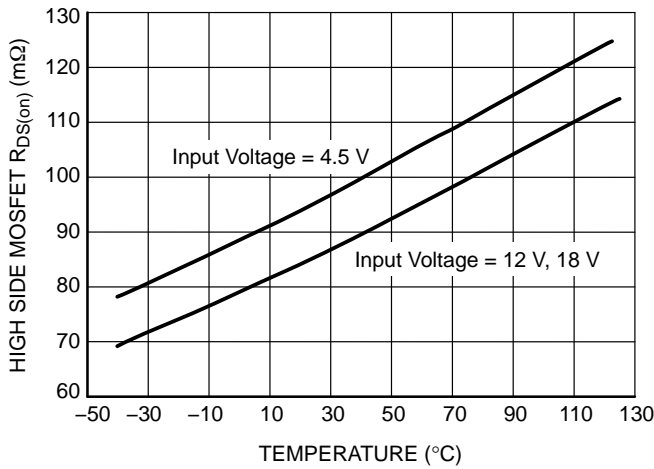


**Figure 14. Input Over Voltage Protection at 12 V vs. Temperature**

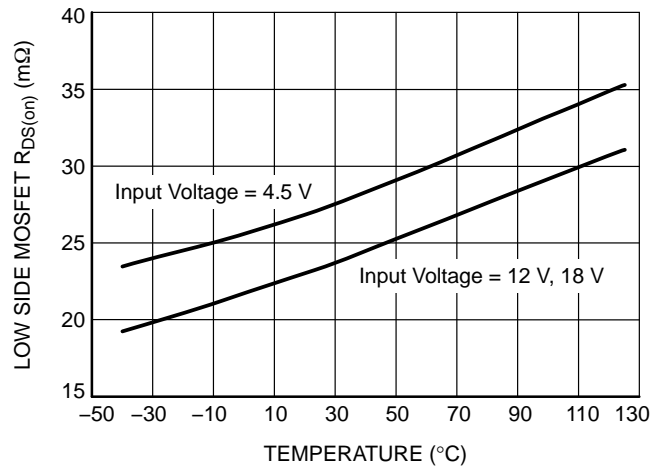
# NCP3170

## TYPICAL PERFORMANCE CHARACTERISTICS

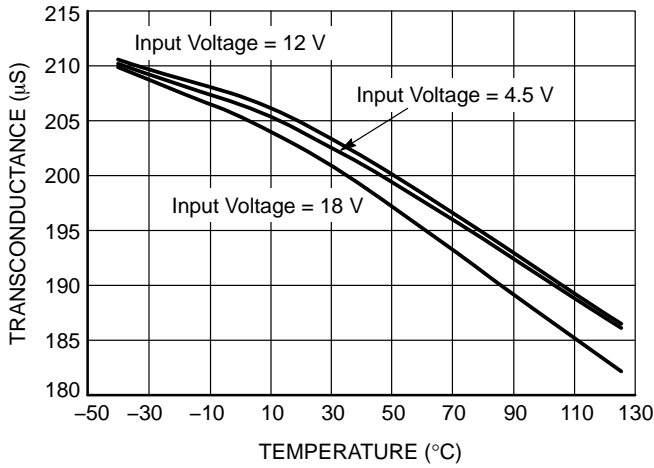
(Circuit from Figure 1,  $T_A = 25^\circ\text{C}$ ,  $V_{IN} = V_{EN} = 12\text{ V}$ ,  $V_{OUT} = 3.3\text{ V}$  unless otherwise specified)



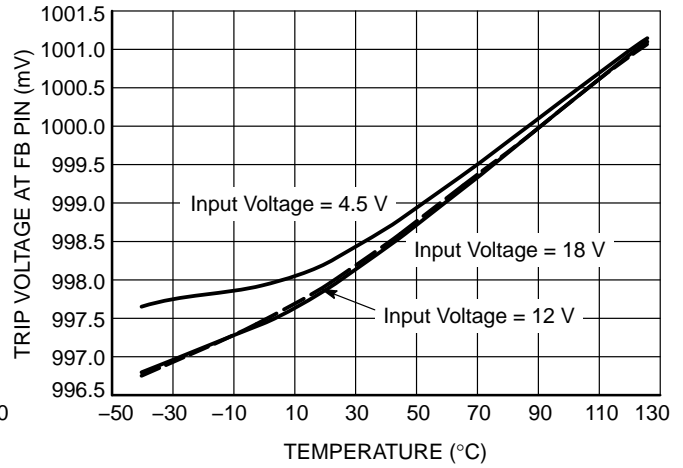
**Figure 15. High Side MOSFET  $R_{DS(on)}$  vs. Temperature**



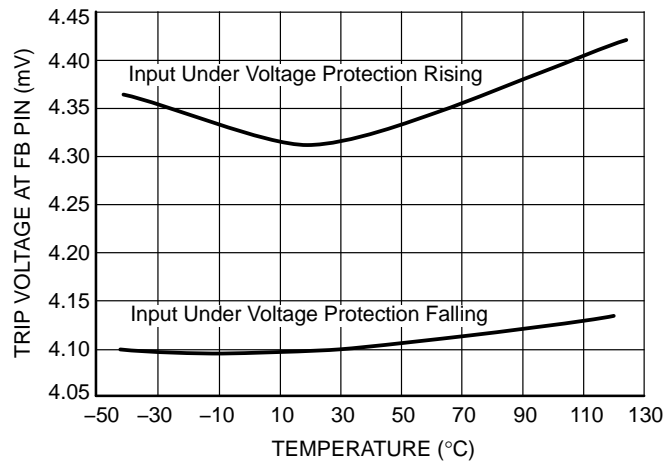
**Figure 16. Low Side MOSFET  $R_{DS(on)}$  vs. Temperature**



**Figure 17. Transconductance vs. Temperature**



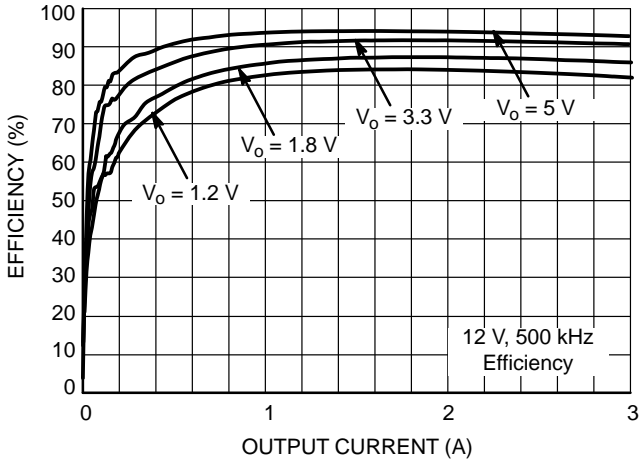
**Figure 18. Over Voltage Protection vs. Temperature**



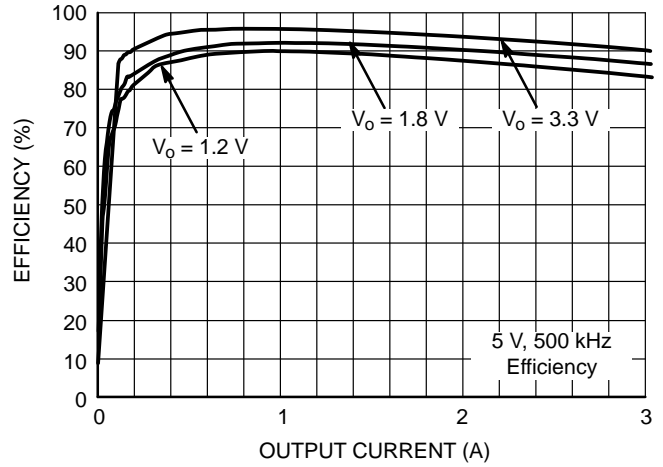
**Figure 19. Input Under Voltage Protection vs. Temperature**

# NCP3170

## NCP3170A Efficiency and Thermal Derating

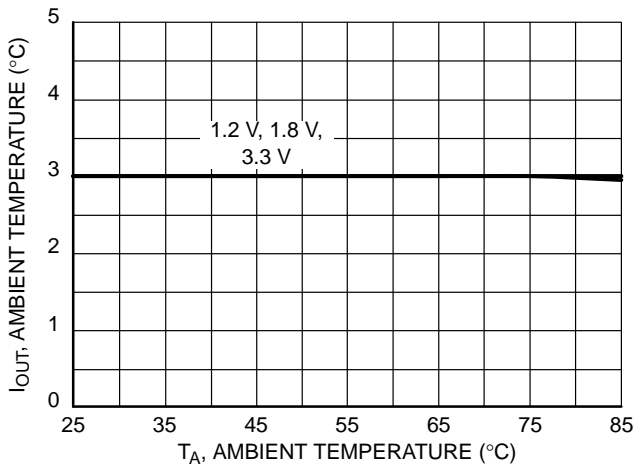


**Figure 20. Efficiency ( $V_{IN} = 12\text{ V}$ ) vs. Load Current**

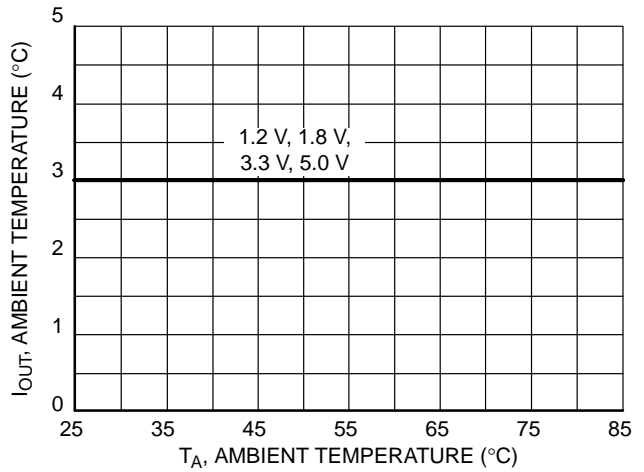


**Figure 21. Efficiency ( $V_{IN} = 5\text{ V}$ ) vs. Load Current**

Thermal derating curves for the SOIC–8 package part under typical input and output conditions based on the evaluation board. The ambient temperature is 25°C with natural convection (air speed < 50 LFM) unless otherwise specified.



**Figure 22. 500 kHz Derating Curves at 5 V**

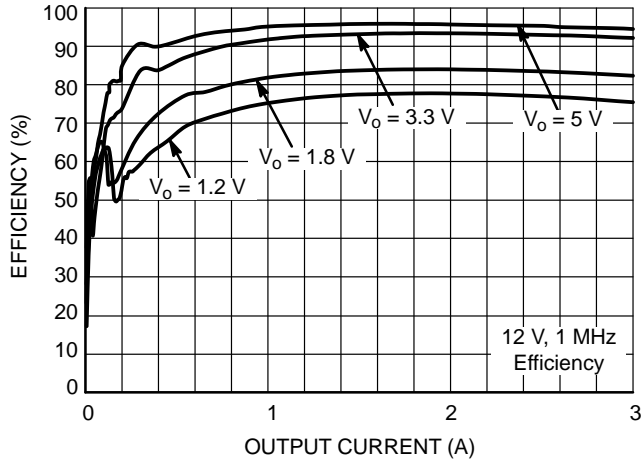


**Figure 23. 500 kHz Derating Curves at 12 V**

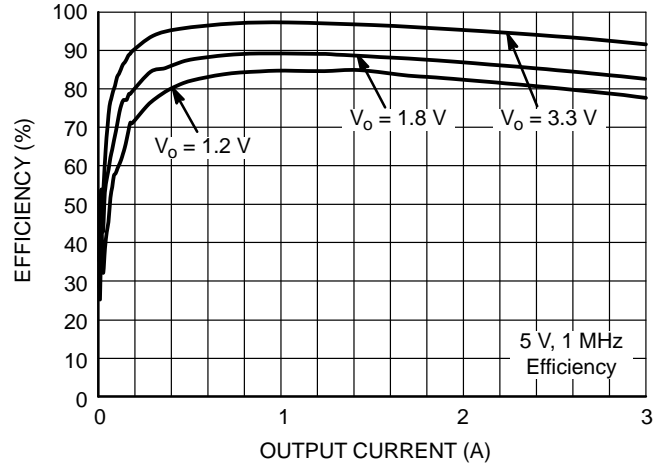


# NCP3170

## NCP3170B Efficiency and Thermal Derating

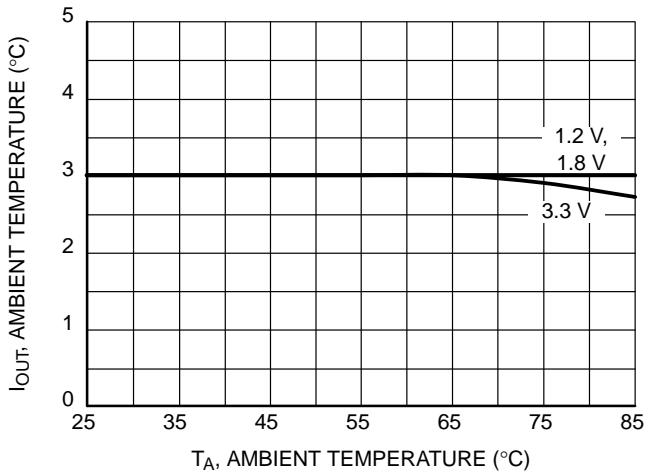


**Figure 24. 12 V, 1 MHz Efficiency**

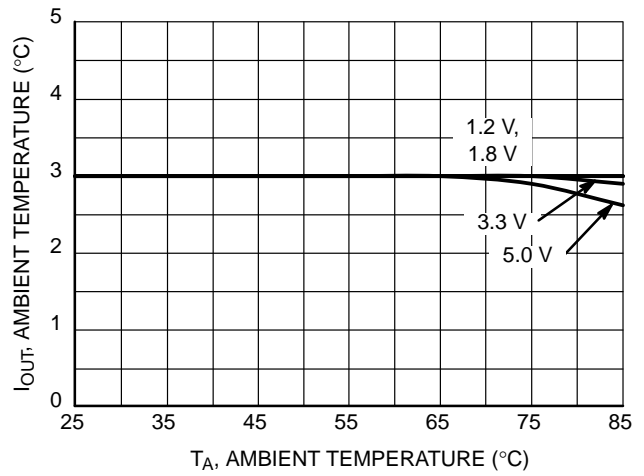


**Figure 25. 5 V, 1 MHz Efficiency**

Thermal derating curves for the SOIC–8 package part under typical input and output conditions based on the evaluation board. The ambient temperature is 25°C with natural convection (air speed < 50 LFM) unless otherwise specified.



**Figure 26. 1 MHz Derating Curves at 5 V Input**



**Figure 27. 1 MHz Derating Curves at 12 V Input**

NCP3170は、ハイサイドPMOSスイッチとローサイドNMOSスイッチを集積した電流モード降圧レギュレータです。4.5 V~18 Vの入力電圧範囲で動作し、最大3 Aの負荷電流を供給します。デューティ比は8~92%の範囲で調整でき、幅広い出力電圧範囲が可能になります。イネーブル・コントロール、パワーオン・リセット(POR)、入力低電圧ロックアウト、固定内部ソフト・スタート、電源正常表示、過電圧保護、およびサーマル・シャットダウンなどの機能を備えています。

**イネーブルおよびソフトスタート**

Figure 28に示していない内部入力電圧コンパレータが、最小入力電圧4.13 V未満でデバイスを強制的にディセーブルします。入力低電圧ディセーブル機能を使用して、不足電圧によるコンバータの誤動作を防止します。イネーブル・ピンを滴に接続するとコンバータをターンオンでき、デバイスはデフォルトで入力電圧がイネーブルされた状態になります。イネーブル・ピンはフロート状態にしないでください。

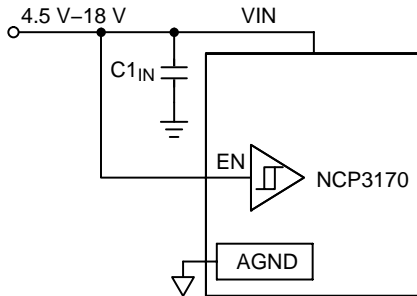


Figure 28. Input Voltage Enable

調整可能な低電圧ロックアウト(UVLO)のスレッシュホールドが必要な場合は、ENピンを使用できます。ENピン・コンパレータのトリップ電圧は1.38 V(標準)です。入力電圧が4.14 Vを超える電圧を印加すると、VIN UVLOが解放され、スイッチングを開始可能かどうかを判定するためにイネーブルがチェックされます。トリップ電圧1.38 Vを交差すると、デバイスはイネーブルになり、ソフト・スタート・シーケンスが始まります。高い抵抗値を使用する場合は、スイッチング・ノードとの結合問題を回避するために、1 nFコンデンサでENピンをバイパスしなければなりません。

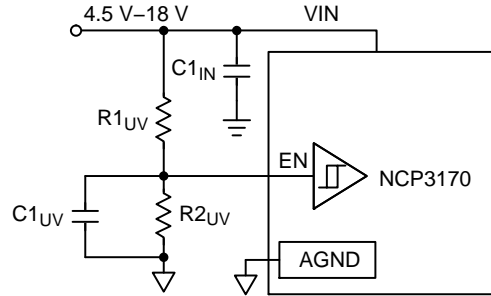


Figure 29. Input Under Voltage Lockout Enable

Figure 30に示すとおり、コンデンサを接続することにより、イネーブル・ピンを使用してターンオンを遅くすることができます。

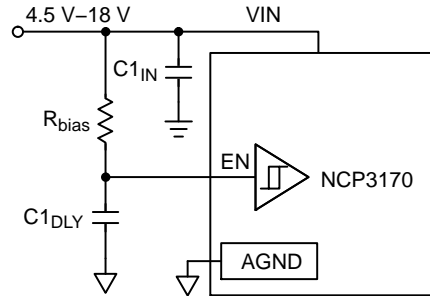


Figure 30. Delay Enable

イネーブル・スレッシュホールドにヒステリシスを追加したい場合は、出力にバイアス抵抗を使用して追加できます。ソフト・スタートが始動すると、ヒステリシスが作成されます。出力電圧が上昇すると、イネーブル・ノードに電流が流れ込んで電圧が上昇します。イネーブルおよびヒステリシスのスレッシュホールドは、式1を使用して計算することができます。

$$VIN_{HYS} = VIN_{Start} - EN_{TH} + R1_{UV} \times \left[ \frac{V_{OUT} - EN_{TH}}{R3_{UV}} - \frac{EN_{TH}}{R2_{UV}} \right] \quad (eq. 1)$$

$$VIN_{Start} = EN_{TH} \times \left[ 1 + \frac{R1_{UV} \times (R2_{UV} + R3_{UV})}{R2_{UV} \times R3_{UV}} \right] \quad (eq. 2)$$

ここで、

- EN<sub>TH</sub> = イネーブル・スレッシュホールド
- VIN<sub>START</sub> = 入力電圧開始スレッシュホールド
- R1<sub>UV</sub> = ハイサイド抵抗
- R2<sub>UV</sub> = ローサイド抵抗
- R3<sub>UV</sub> = ヒステリシス・バイアス抵抗
- V<sub>OUT</sub> = 安定化出力電圧

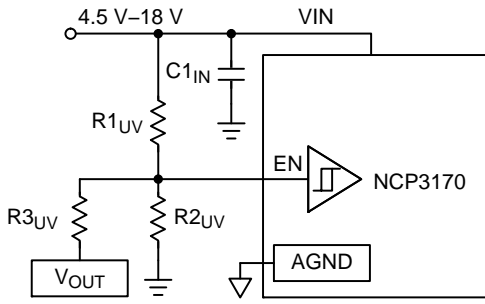


Figure 31. Added Hysteresis to the Enable UVLO

デバイスは以下の構成を使用して、標準TTLまたは高電圧ロジックでイネーブルすることができます。

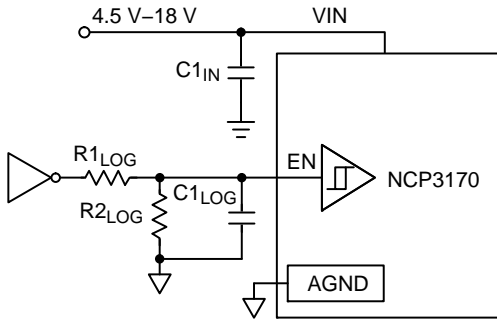


Figure 32. Logic Turn-on

Figure 33に示すとおり、イネーブルはパワー・グッド(PG)ピンと併用して、パワー・シーケンスに使用することもできます。イネーブル・ピンはマスタ電圧の出力電圧に接続するか、マスタ・レギュレータのPGピンへの抵抗を使用して入力電圧に接続することができます。

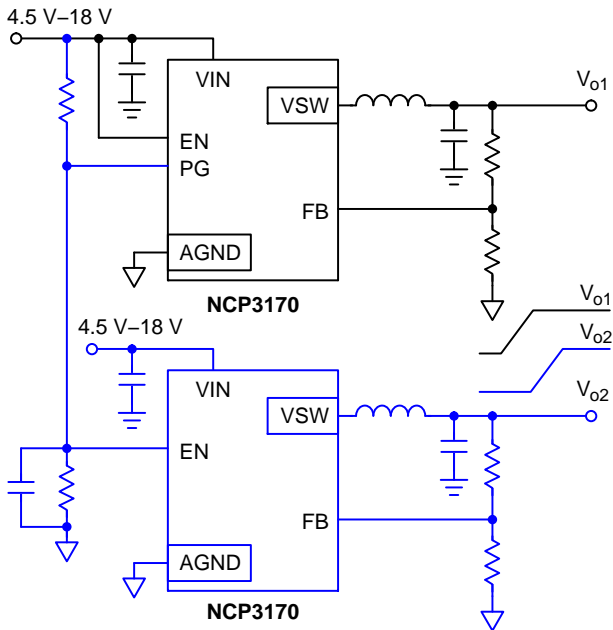


Figure 33. Enable Two Converter Power Sequencing

デバイスがイネーブルされると、内部リファレンス電圧がグランドから800 mVの設定ポイントまで急上昇します。この変化プロセスは、4.5 msの期間にわたって発生し、上流の電源ソースからの電流を低減し、内部MOSFETでのストレスを低下させて、スタートアップ中に出力インダクタが飽和しないようにします。

**プリバイアス・スタートアップ**

NCP3170はプリバイアス負荷の状態で起動するときは、出力コンデンサを放電しません。ソフト・スタートは内部リファレンスがグランド電位の状態で開始します。ハイサイド・スイッチとロー・サイド・スイッチの両方がターンオフします。内部リファレンスはゆっくり上昇し、OTAが出力電圧を分割されたリファレンス電圧に安定化します。プリバイアス状態では、FBピンの電圧は内部リファレンス電圧よりも高いため、OTAはCOMP電圧をグランド電位に維持します。内部リファレンスが上昇すると、FBピン電圧が内部リファレンス電圧を超えるまで、COMPピンはローに維持されます。内部リファレンス電圧を超えると、任OMPピンはOTAエラー信号に応答できます。PWMランプの底が0.6 Vであるため、内部リファレンス電圧がFB電圧を超えてからデバイスがスイッチングを開始するまでわずかな遅延が存在します。COMPエラー信号がランプの底と交差すると、ハイサイド・スイッチ、続いてローサイド・スイッチがターンオンします。内部リファレンス電圧がFB電圧を超えた後は、出力電圧が放電することなく、ソフト・スタートが正常に進行します。

**パワー・グッド(電源正常)**

降圧コンバータの出力電圧は、出力電力段の帰還ピンでモニタされます。Figure 34に示すとおり、OTAの帰還ノードに2個のコンパレータが配置されており、帰還電圧の動作ウィンドウをモニタします。誤トリップが発生する可能性があるためOTAでソフト・スタートが調整されるため、ソフト・スタート・シーケンス中は、すべてのコンパレータ出力が無視されます。さらに、コンパレータが評価されるまで、Pgピンはローに保持されます。PGの状態がコンバータのスイッチングに影響を与えることはありません。ソフト・スタート期間終了後、帰還がコンパレータ1のリファレンス電圧より低い場合 ( $V_{FB} < 0.726$ )、出力は動作低電圧(OUV)とみなされません。デバイスは、100 kΩのプルアップ抵抗でローになっているPGピンで低電圧状況を示します。帰還ピン電圧がコンパレータ1とコンパレータ2のリファレンス電圧の間 ( $0.726 < V_{FB} < 0.862$ )まで上昇すると、出力電圧は電源正常とみなされ、PGピンが解放されます。最後に、帰還電圧がコンパレータ2より大きい場合 ( $V_{FB} > 0.862$ )、出力電圧は動作過電圧(OOV)とみなされます。OOVおよびOUV機能のブロック図とPGピン機能のグラフィカル表現をFigures 34~36に示します。

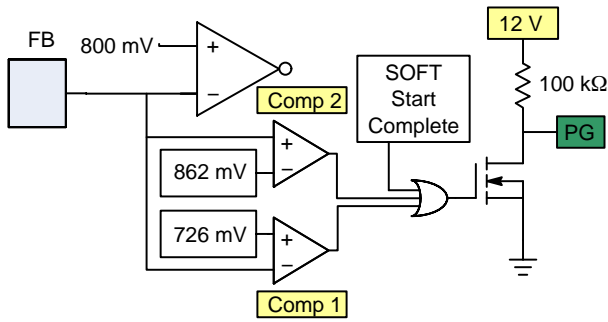


Figure 34. OOV and OUV System

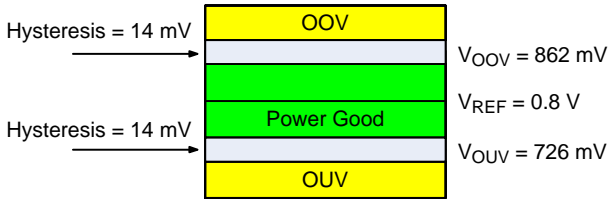


Figure 35. OOV and OUV Window

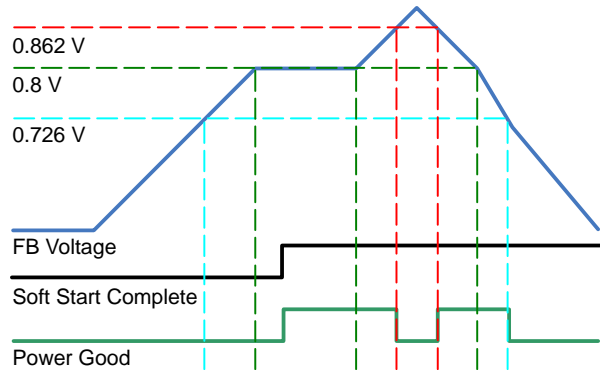


Figure 36. OOV and OUV Diagram

パワー・グッド機能を使用しない場合、VSWノードに接続して熱抵抗を下げるすることができます。アプリケーションがプリバイアス状態で起動される場合は、PGをVSWノードに接続しないでください。

スイッチング周波数

NCP3170のスイッチング周波数は固定されており、内部発振器で設定されます。実際のスイッチング周波数はデバイスでのバラツキのために、NCP3170Aで450~550 kHz、NCP3170Bで900 kHz~1.1 MHzです。

軽負荷動作

軽負荷動作は一般に、負荷がスタンバイ・モードにあり、ほとんど電力を必要としない1~300 mAの負荷での動作です。軽負荷動作中、レギュレータは非同期降圧コンバータの動作をエミュレートし、レギュレータはパルスをスキップできます。非同期降圧エミュレーションは、インダクタを流れる電流がゼロになりローサイド・スイッチをオフにするポイントを検出して実行されます。電流がゼロになるポイントで、ローサイド・スイッチがターンオフしない場合、電流は逆転し、出力コンデンサを放電します。ローサイド・スイッチが切断されるため、伝導経路はバック・バイアスされたローサイドMOSFETのボディ・ダイオードだけです。従来の同期式降圧コンバータと異なり、インダクタの電流は不連続になります。結果として、スイッチ・ノードは寄生インダクタンスとスイッチ・ノードに接続されたコンデンサで発振します。OTAは継続して出力電圧を安定化しますが、Figure 37に示す出力負荷に基づいてパルスをスキップします。

NCP3170の静止電源電流は、標準の1.7 mAから最大の2 mAまで変化します。インダクタンス、電気容量及び抵抗における変化、及び電源電流は、標準的に3%の軽負荷効率変化をもたらします。

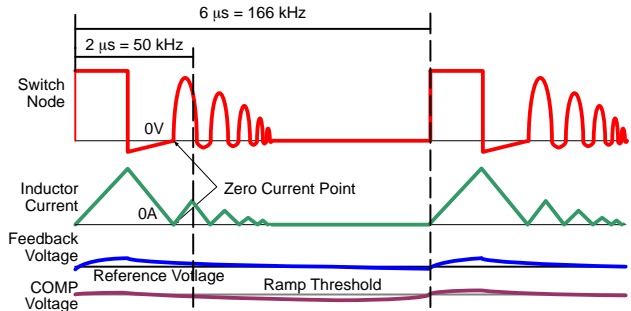


Figure 37. Light Load Operation

保護機能

過電流保護

電流は負荷に対してパルス単位で制限されます。ハイサイドの各オン期間中に、電流が内部で設定された制限値と比較されます。電流制限を超えた場合、ハイサイドおよびローサイドMOSFETはシャットオフし、13.5 μsの間パルスは出力されません。その期間中に、出力電圧が低下し、インダクタ電流が放電します。放電期間の後、コンバータはソフト・スタートを開始します。負荷が解放されない場合、電流制限を超えるまでインダクタでの電流が増加します。電流制限を超えると、ハイサイドおよびローサイドMOSFETがシャットオフして、プロセスが継

続します。負荷が解放された場合、正常なソフト・スタートが始まり、デバイスは電流制限を超えるまで通常どおりスイッチングを継続します。

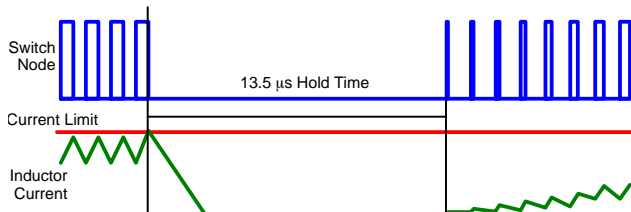


Figure 38. Over Current Protection

その電流制限は正方向の電圧影響を与え、ピーク電流トリップレベルが、5 Vのトリップレベルから0.2%/V上昇させます。

**サーマル・シャットダウン**

サーマル・リミットは、保護機能ではありませんが、熱暴走が生じた場合は150°Cで作動します。サーマル・コンパレータが150°Cのダイ温度でトリップした場合、デバイスは120°Cまで冷えないと再スタートできません。サーマル・トリップが作動すると、スイッチングが止まり、ハイサイドおよびローサイドMOSFETはオフにドライブされます。さらに、電源正常インジケータはサーマル・トリップが解放されるまでローにプルされます。ダイ温度が120°Cになると、デバイスはソフト・スタートを再始動して通常動作を開始します。

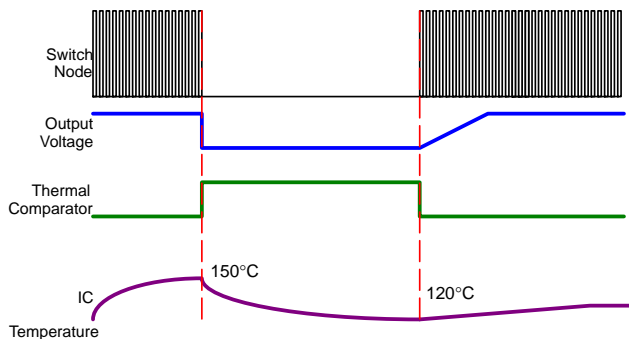


Figure 39. Over Temperature Shutdown

**過電圧保護**

ソフト・スタートが終了すると、降圧コンバータの出力電圧は出力電力段のFBピンでモニタされます。帰還ノードに1個のコンパレータが配置され、過電圧保護を提供します。過電圧が検出された場合、帰還電圧がOVVスレッシュホールドより低くなるまで、ハイサイド・スイッチはターンオフし、ローサイド・スイッチはターンオンします。Figure 40に示すとおり、電圧がOOVスレッシュホールドより下がると、スイッチングが通常どおり続きます。

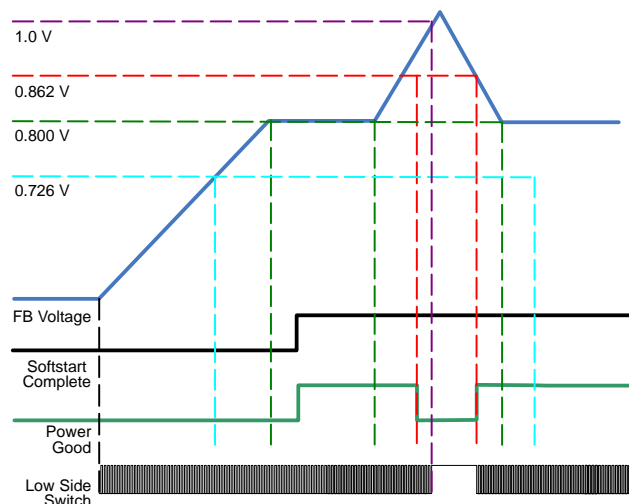


Figure 40. Over Voltage Low Side Switch Behavior

**デューティ比**

デューティ比は8~92%の範囲で調整でき、幅広い出力電圧範囲が可能になります。8%のデューティ比制限がPWM動作を制限します。例えば、アプリケーションが1.2 Vに変換している場合、コンバータは入力電圧が15.5 V未満のときに正常に動作します。1.2 Vの出力電圧を供給しているときに、入力電圧が15.5 Vを超えた場合、コンバータは動作中にパルススキップすることあります。パルス・スキップ動作では、PWMモードでの動作時に比べてリップル電圧が高くなります。以下のFigure 41および42に、NCP3170AおよびBの安全動作領域を示します。安全動作領域のグラフには示してありませんが、出力電圧は93%のデューティ比の制限まで上昇でき、16 Vといった高い出力電圧を供給できます。アプリケーションで14 Vから10 Vへの変換など、高いデューティ比が要求される場合、コンバータは最大デューティ比に達するまで正常に動作します。例えば、入力電圧が16 Vでユーザが全負荷時に可能な最大出力電圧を生成したい場合、経験則は80%のデューティ比を使用することです。有効なデューティ比と実際のデューティ比の違いは、システムでの電圧降下により最大出力電圧が14.8 Vではなくて12.8 Vになるためです。実際に達成可能な出力/入力電圧比は、レイアウト、部品の選択、および受け入れ可能な出力電圧許容差によって異なります。

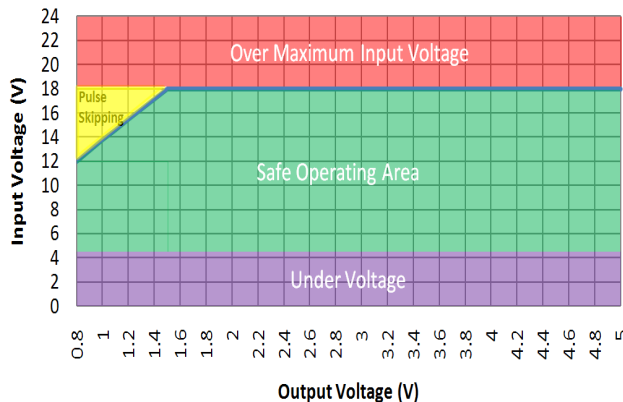


Figure 41. NCP3170A Safe Operating Area

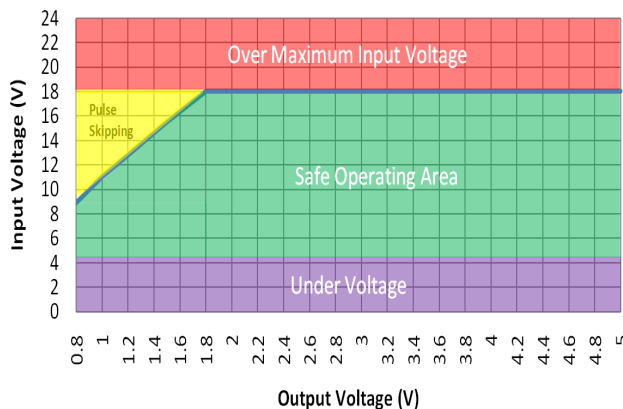


Figure 42. NCP3170B Safe Operating Area



設計手順

降圧レギュレータの設計を開始する際は、設計前に入力および出力の挙動に関して可能な限り多くの情報を集めることが大切です。

オン・セミコンダクターはNCP3170製品ページの設計ツール・セクションに、オンラインで使用できるMicrosoft Excel®ベースの設計ツールを用意しています。このツールにより、設計ポイントをキャプチャし、自分の設計基準に基づいてレギュレータの性能を最適化することができます。

Table 5. DESIGN PARAMETERS

Design Parameter	Example Value
Input Voltage (V <sub>IN</sub> )	9 V to 16 V
Output Voltage (V <sub>OUT</sub> )	3.3 V
Input Ripple Voltage (V <sub>CCRIPPLE</sub> )	200 mV
Output Ripple Voltage (V <sub>OUTRIPPLE</sub> )	20 mV
Output Current Rating (I <sub>OUT</sub> )	3 A
Operating Frequency (F <sub>SW</sub> )	500 kHz

降圧コンバータは入力電圧(V<sub>IN</sub>)パルスを生成します。このパルスはLCフィルタされて、より低いDC出力電圧(V<sub>OUT</sub>)を生成します。出力電圧は、スイッチング期間(T)またはスイッチング周波数に対するオン時間を変更して変えることができます。ハイサイド・スイッチのオン時間とスイッチング期間の比は、デューティ比(D)と呼ばれます。デューティ比も、V<sub>OUT</sub>、V<sub>IN</sub>、ローサイド・スイッチ電圧降下(V<sub>LSD</sub>)、およびハイサイド・スイッチ電圧降下(V<sub>HSD</sub>)を使用して計算することもできます。

$$F_{SW} = \frac{1}{T} \quad (\text{eq. 3})$$

$$D = \frac{T_{ON}}{T} (1 - D) = \frac{T_{OFF}}{T} \quad (\text{eq. 4})$$

$$D = \frac{V_{OUT} + V_{LSD}}{V_{IN} - V_{HSD} + V_{LSD}} \approx \quad (\text{eq. 5})$$

$$D = \frac{V_{OUT}}{V_{IN}} \rightarrow 27.5\% = \frac{3.3 \text{ V}}{12 \text{ V}}$$

ここで、

- D = デューティ比
- FSW = スwitching周波数
- T = スwitching期間
- TOFF = ハイサイド・スイッチ・オフ時間
- TON = ハイサイド・スイッチ・オン時間
- V<sub>IN</sub> = 入力電圧
- V<sub>HSD</sub> = ハイサイド・スイッチ電圧降下
- V<sub>LSD</sub> = ローサイド・スイッチ電圧降下
- V<sub>OUT</sub> = 出力電圧

インダクタの選択

インダクタを選択するときは、インダクタでのリップル電流の割合が10~40%の設計に対して経験則を

適用することができます。セラミック出力コンデンサを使用すると、出力コンデンサのESRが小さいためリップル電流が大きくなることがあります。そのためユーザは高いリップル電流を選択することがあります。しかし、電解コンデンサを使用した場合は、リップル電流が小さいため、電解コンデンサの高いESRが原因で出力リップルが小さくなります。リップル電流と最大出力電流の比は、式6で与えられます。

$$ra = \frac{\Delta I}{I_{OUT}} \quad (\text{eq. 6})$$

ここで、

- ΔI = リップル電流
- I<sub>OUT</sub> = 出力電流
- ra = リップル電流比

ユーザはリップル電流の経験則を用い、式6を使用して、設計に対して許容可能なインダクタンス値を決定することができます。

$$L_{OUT} = \frac{V_{OUT}}{I_{OUT} \times ra \times F_{SW}} \times (1 - D) \rightarrow \quad (\text{eq. 7})$$

$$4.7 \mu\text{H} = \frac{3.3 \text{ V}}{3.0 \text{ A} \times 34\% \times 500 \text{ kHz}} \times (1 - 27.5\%)$$

ここで、

- D = デューティ比
- FSW = スwitching周波数
- I<sub>OUT</sub> = 出力電流
- L<sub>OUT</sub> = 出力インダクタンス
- ra = リップル電流比

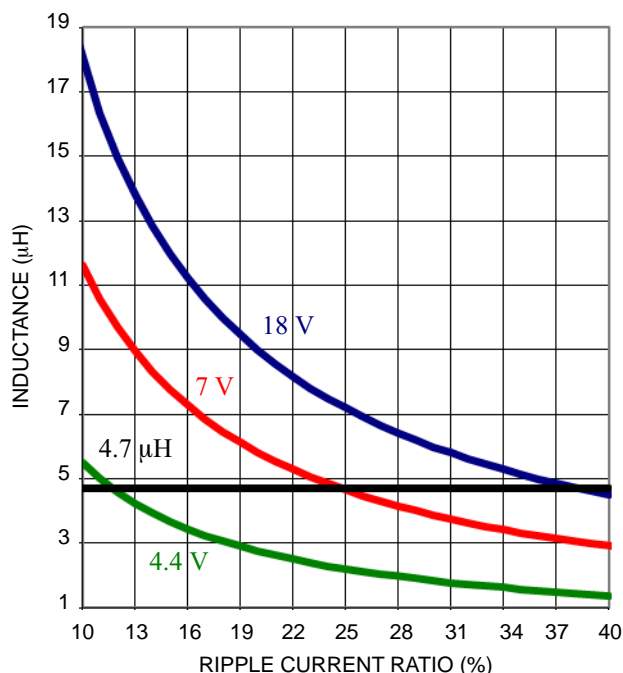


Figure 43. Inductance vs. Current Ripple Ratio

インダクタの選択時に、デバイスの電流定格を超えてはなりません。デバイスの最大定格の範囲内に維持するには、RMS電流およびピーク電流の計算が必要です。

$$I_{RMS} = I_{OUT} \times \sqrt{1 + \frac{ra^2}{12}} \rightarrow \quad (\text{eq. 8})$$

$$3.01 \text{ A} = 3 \text{ A} \times \sqrt{1 + \frac{34\%^2}{12}}$$

ここで、

$I_{OUT}$  = 出力電流  
 $I_{RMS}$  = インダクタRMS電流  
 $ra$  = リップル電流比

$$I_{PK} = I_{OUT} \times \left(1 + \frac{ra}{2}\right) \rightarrow \quad (\text{eq. 9})$$

$$3.51 \text{ A} = 3 \text{ A} \times \left(1 + \frac{34\%}{2}\right)$$

ここで、

$I_{OUT}$  = 出力電流  
 $I_{PK}$  = インダクタ・ピーク電流  
 $ra$  = リップル電流比

インダクタンスが4.7  $\mu\text{H}$ になるような標準インダクタを見つける必要があります。インダクタは3.01 AのRMS電流および3.51 Aのピーク電流をサポートする必要があります。適切な設計方法は、飽和電流がある程度のマージンをもって最大電流制限を超えるインダクタを選択することです。

出力インダクタの最終的な選択には、数学的および電氣的考察の両方が必要です。機械的な観点からは、一般にインダクタ値が小さいほど物理的サイズが小さくなります。インダクタはレギュレーション・システムで最も大きな部品の1つであることが多いため、スペースが制約されたアプリケーションでは最小インダクタ値が特に重要です。電氣的観点からは、降圧レギュレータ用出力インダクタでの最大電流スルー・レートは式10で与えられます。

$$\text{SlewRate}_{L_{OUT}} = \frac{V_{IN} - V_{OUT}}{L_{OUT}} \rightarrow \quad (\text{eq. 10})$$

$$1.85 \frac{\text{A}}{\mu\text{S}} = \frac{12 \text{ V} - 3.3 \text{ V}}{4.7 \mu\text{H}}$$

ここで、

$L_{OUT}$  = 出力インダクタンス  
 $V_{IN}$  = 入力電圧  
 $V_{OUT}$  = 出力電圧

式10は、インダクタ値が大きいほど、出力負荷トランジェントに反応して出力インダクタに電流を流すレギュレータの能力が制限されることを示しています。したがって、出力コンデンサはインダクタ電流が出力負荷電流レベルに達するまで、負荷電流を供給しなければなりません。スルー・レートを高くするためにインダクタンスを小さくすると、厳密な出力電圧レギュレーションを維持するための出力容

量が大きくなります。一方、インダクタンス値を小さくするとレギュレータで達成可能な最大スルー・レートが高くなって、リップル電流が増加しますが必要な容量は減少します。NCP3170でのピーク・ツー・ピーク・リップル電流は、次式で与えられます。

$$I_{PP} = \frac{V_{OUT} \times (1 - D)}{L_{OUT} \times F_{SW}} \rightarrow \quad (\text{eq. 11})$$

$$1.02 \text{ A} = \frac{3.3 \text{ V} \times (1 - 27.5\%)}{4.7 \mu\text{H} \times 500 \text{ kHz}}$$

ここで、

$D$  = デューティ比  
 $F_{SW}$  = スイッチング周波数  
 $I_{PP}$  = インダクタのピーク-ピーク電流  
 $L_{OUT}$  = 出力インダクタンス  
 $V_{OUT}$  = 出力電圧

式11から、 $L_{OUT}$ が減少するとリップル電流が増加し、ダイナミック応答とリップル電流間のトレードオフが強調されていることが明らかです。

インダクタの消費電力は、銅損とコア損失の2つのカテゴリに分類されます。銅損はさらにDC損失とAC損失に分類できます。インダクタ損失の適当な第一次近似は、以下に示すとおりDC抵抗を使用して行うことができます。

$$LP_{CU\_DC} = I_{RMS}^2 \times DCR \rightarrow \quad (\text{eq. 12})$$

$$61 \text{ mW} = 3.01^2 \times 6.73 \text{ m}\Omega$$

ここで、

$DCR$  = インダクタDC抵抗  
 $I_{RMS}$  = インダクタRMS電流  
 $LP_{CU\_DC}$  = インダクタDC消費電力

コア損失およびAC銅損は、選択したコアの形状、コア材質、および使用する巻線によって異なります。大部分のベンダが、消費電力を正確に計算するための適切な情報を提供しています。この場合の総インダクタ損失は、以下の等式でキャプチャできます。

$$LP_{tot} = LP_{CU\_DC} + LP_{CU\_AC} + LP_{Core} \rightarrow \quad (\text{eq. 13})$$

$$67 \text{ mW} = 61 \text{ mW} + 5 \text{ mW} + 1 \text{ mW}$$

ここで、

$LP_{Core}$  = インダクタ・コア消費電力  
 $LP_{CU\_AC}$  = インダクタAC消費電力  
 $LP_{CU\_DC}$  = インダクタDC消費電力  
 $LP_{tot}$  = 全インダクタ損失

### 出力コンデンサの選択

出力コンデンサを選択する際に考慮すべき重要な要素は、DC電圧定格、リップル電流定格、出力リップル電圧要件、および過渡応答要件です。

出力コンデンサは製品寿命の期間、正しく動作できなければなりません。コンデンサを選択するときには、製品の保証動作寿命期間に合わせてディレー

ティングされた電圧定格を選択することが重要です。さらに、セラミック・コンデンサを使用するときには、印加される電圧が高いほど容量が低下することに注意してください。したがって、選択したコンデンサのタイプにより、100  $\mu\text{F}$ 、6.3 V定格のセラミック・コンデンサは0 V時には100  $\mu\text{F}$ ですが、3.3 V電圧印加時には20  $\mu\text{F}$ になります。

出力コンデンサは、適切なディレーティングを行った状態で、全負荷時のリップル電流を処理するように定格が規定されている必要があります。データシートに記載されるコンデンサのRMS定格は、一般にスイッチ・モード電源で使用するより低いスイッチング周波数に対応していますが、高い周波数動作に乘算器が用意されています。出力コンデンサのRMS電流は、以下のとおり計算できます。

$$C_{O_{RMS}} = I_{OUT} \frac{ra}{\sqrt{12}} \rightarrow$$

$$0.294 \text{ A} = 3.0 \text{ A} \frac{34\%}{\sqrt{12}} \quad (\text{eq. 14})$$

ここで、

$C_{O_{RMS}}$  = 出力コンデンサRMS電流  
 $I_{OUT}$  = 出力電流  
 $ra$  = リップル電流比

最大許容出力電圧リップルは、選択されたリップル電流、選択された出力コンデンサ、等価直列インダクタンス(ESL)、および等価直列抵抗(ESR)の組み合わせです。

リップル電圧の主成分は通常、出力コンデンサで選択されたコンデンサのESRに起因して発生し、式14に示すとおり計算できます。

$$V_{ESR\_C} = I_{OUT} \times ra \times \left( CO_{ESR} + \frac{1}{8 \times F_{SW} \times C_{OUT}} \right) \rightarrow$$

$$10.89 \text{ mV} = 3 \times 34\% \times \left( 5 \text{ m}\Omega + \frac{1}{8 \times 500 \text{ kHz} \times 44 \mu\text{F}} \right) \quad (\text{eq. 15})$$

ここで、

$CO_{ESR}$  = 出力コンデンサのESR  
 $C_{OUT}$  = 出力容量  
 $F_{SW}$  = スイッチング周波数  
 $I_{OUT}$  = 出力電流  
 $ra$  = リップル電流比  
 $V_{ESR\_C}$  = コンデンサからのリップル電圧

コンデンサのインピーダンスは動作周波数に関係します。セラミック・コンデンサを使用するとき、コンデンサのESRは共振周波数に達するまで減少し、共振周波数に達するとESRは増加に転じます。したがって、リップル電圧はスイッチング周波数のために予測した値ではない可能性があります。さらに、レイアウト方法によっては、コンデンサと直列に抵抗が加わり、リップル電圧が増加する可能性があります。

コンデンサのESLは選択したテクノロジーに依存しますが、1~20 nHの範囲になる傾向があります。この場合、セラミック・コンデンサのインダクタンスが最も小さく、電解コンデンサが最も大きくなります。計算されたESLからの寄与電圧リップルを以下のとおり、スイッチ・オンおよびスイッチ・オフに対して示します。

$$V_{ESLON} = \frac{ESL \times I_{PP} \times F_{SW}}{D} \rightarrow$$

$$1.84 \text{ mV} = \frac{1 \text{ nH} \cdot 1.01 \text{ A} \cdot 500 \text{ kHz}}{27.5\%} \quad (\text{eq. 16})$$

$$V_{ESLOFF} = \frac{ESL \times I_{PP} \times F_{SW}}{(1 - D)} \rightarrow$$

$$0.7 \text{ mV} = \frac{1 \text{ nH} \times 1.1 \text{ A} \times 500 \text{ kHz}}{(1 - 27.5\%)} \quad (\text{eq. 17})$$

ここで、

$D$  = デューティ比  
 $ESL$  = コンデンサのインダクタンス  
 $F_{SW}$  = スイッチング周波数  
 $I_{PP}$  = ピーク-ピーク電流

出力コンデンサは電源の高速応答のための基本部品です。負荷トランジェントの最初の数マイクロ秒の間、出力コンデンサが負荷に電流を供給します。レギュレータは負荷トランジェントを認識すると、デューティ比を調整しますが、電流傾斜はインダクタ値によって制限されます。

負荷のステップ・トランジェント期間中、コンデンサ内部の電流変動とESR(ESLの影響は無視)のために、最初のうちは出力電圧が低下します。

$$\Delta V_{OUT-ESR} = I_{TRAN} \times CO_{ESR} \rightarrow$$

$$7.5 \text{ mV} = 1.5 \text{ A} \times 5 \text{ m}\Omega \quad (\text{eq. 18})$$

ここで、

$CO_{ESR}$  = 出力コンデンサ等価直列抵抗  
 $I_{TRAN}$  = 出力過渡電流  
 $\Delta V_{OUT-ESR}$  = ESRの影響による $V_{OUT}$ の電圧変動

負荷トランジェント中に放電しないで電流を維持するために、最小のコンデンサ値が要求されます。出力コンデンサの放電による電圧降下は、次式から得られます。

$$\Delta V_{OUT-DIS} = \frac{(I_{TRAN})^2 \times L_{OUT} \times F_{SW}}{2 \times F_{CROSS} \times C_{OUT} \times (V_{IN} - V_{OUT})} \rightarrow$$

$$138.1 \text{ mV} = \frac{(1.5)^2 \times 4.7 \mu\text{H} \times 500 \text{ kHz}}{2 \times 50 \text{ kHz} \times 44 \mu\text{F} \times (12 \text{ V} - 3.3 \text{ V})} \quad (\text{eq. 19})$$

ここで、

$C_{OUT}$  = 出力容量  
 $D$  = デューティ比  
 $F_{SW}$  = スイッチング周波数  
 $F_{CROSS}$  = ループ・クロスオーバ周波数  
 $I_{TRAN}$  = 出力過渡電流  
 $L_{OUT}$  = 出力インダクタ値



$V_{IN}$  = 入力電圧  
 $V_{OUT}$  = 出力電圧  
 $\Delta V_{OUT\_DIS}$  = コンデンサ放電の影響による  
 $V_{OUT}$ の電圧偏差

標準的なコンバータ設計では、出力コンデンサ・バンクのESRが過渡応答を支配します。 $\Delta V_{OUT\_DIS}$ および $\Delta V_{OUT\_ESR}$ は、互いに位相が外れており、この2つの電圧のうち高い方が出力電圧の最大偏差を決定します(ESLの影響は無視)。NCP3170が同期モードまたは非同期モードで動作しているとき、CCMからDCMへのプラント応答の変化のために、コンバータの周波数応答が変化することに注意してください。その影響は、無負荷状態から全負荷状態に急に移行するときに、大きな過渡電圧振幅となって現れます。

## 入力コンデンサの選択

入力コンデンサは、上側MOSFETのオンタイム中に生成されるリップル電流を処理する必要があるため、ESRを低くして損失と入力電圧リップルを小さくしなければなりません。入力リップル電流のRMS値は、以下のとおりです。

$$i_{in\_RMS} = I_{OUT} \times \sqrt{D \times (1 - D)} \rightarrow \quad (\text{eq. 20})$$

$$1.34 \text{ A} = 3 \text{ A} \times \sqrt{27.5\% \times (1 - 27.5\%)}$$

## パワーMOSFETの消費電力

消費電力、パッケージ・サイズ、および熱的環境によって電源設計が決まります。消費電力が分かれば、最高周囲温度において規定最大接合部温度を超えないようにサーマル・インピーダンスを計算することができます。

消費電力には、導通損失とスイッチング損失の2つの主な要因があります。ハイサイドMOSFETは、スイッチング損失と導通損失の両方を示します。ローサイドMOSFETは、ゼロに近い電圧に切り替わり損失は小さいため、スイッチング損失は計算しません。ただし、ローサイドMOSFETのボディ・ダイオードでは、ゲート・ドライバの非オーバーラップ時間中にダイオード損失が発生します。

まずハイサイドMOSFETでは、消費電力は次の式で近似できます。

$$P_{D\_HS} = P_{COND} + P_{SW\_TOT} \quad (\text{eq. 22})$$

ここで、  
 $P_{COND}$  = 導通損失  
 $P_{D\_HS}$  = ハイサイドMOSFETでの電力損失  
 $P_{SW\_TOT}$  = 全スイッチング損失

式21の最初の項は、オンのときのハイサイドMOSFETの導通損失です。

$$P_{COND} = (I_{RMS\_HS})^2 \times R_{DS(on)\_HS} \quad (\text{eq. 23})$$

ここで、  
 $D$  = デューティ比  
 $i_{in\_RMS}$  = 入力容量RMS電流  
 $I_{OUT}$  = 負荷電流

この式は、 $D = 0.5$ で最大値に達します。そのポイントで入力容量のRMS電流は出力電流の半分です。入力コンデンサでの損失は、次式で計算できます。

$$P_{CIN} = C_{IN\_ESR} \times (i_{in\_RMS})^2 \quad (\text{eq. 21})$$

$$18 \text{ mW} = 10 \text{ m}\Omega \times (1.34 \text{ A})^2$$

ここで、  
 $C_{IN\_ESR}$  = 入力容量等価直列抵抗  
 $i_{in\_RMS}$  = 入力容量RMS電流  
 $P_{CIN}$  = 入力コンデンサでの電力損失

入力コンデンサでの $di/dt$ が大きいため、電解コンデンサまたはセラミック・コンデンサを使用しなければなりません。タンタル・コンデンサを使用する場合は、サージ保護付きのものを使用してください。そうしないと、コンデンサが壊れるおそれがあります。

ここで、  
 $I_{RMS\_HS}$  = ハイサイドMOSFETでのRMS電流  
 $R_{DS(ON)\_HS}$  = ハイサイドMOSFETのオン抵抗  
 $P_{COND}$  = 導通電力損失

式6の $r_a$ 項を使用して、 $I_{RMS}$ は次式のようにになります。

$$I_{RMS\_HS} = I_{OUT} \times \sqrt{D \times \left(1 + \frac{r_a^2}{12}\right)} \quad (\text{eq. 24})$$

ここで、  
 $D$  = デューティ比  
 $r_a$  = リップル電流比  
 $I_{OUT}$  = 出力電流  
 $I_{RMS\_HS}$  = ハイサイドMOSFET RMS電流

式22の第2項は総スイッチング損失で、次式で近似できます。

$$P_{SW\_TOT} = P_{SW} + P_{DS} + P_{RR} \quad (\text{eq. 25})$$

ここで、  
 $P_{DS}$  = ハイサイドMOSFETドレイン-ソース損失  
 $P_{RR}$  = ハイサイドMOSFET逆回復損失  
 $P_{SW}$  = ハイサイドMOSFETスイッチング損失  
 $P_{SW\_TOT}$  = ハイサイドMOSFET全スイッチング損失

式25の総スイッチング損失の第1項は、ハイサイドMOSFETをオンおよびオフにすること、そしてドレイン電圧および電流での対応するオーバーラップに関連した損失です。

$$P_{SW} = P_{TON} + P_{TOFF} = \frac{1}{2} \times (I_{OUT} \times V_{IN} \times F_{SW}) \times (t_{RISE} + t_{FALL}) \quad (\text{eq. 26})$$

ここで、

- $F_{SW}$  = スwitchング周波数
- $I_{OUT}$  = 負荷電流
- $P_{SW}$  = ハイサイドMOSFETスイッチング損失
- $P_{TON}$  = ターンオン電力損失
- $P_{TOFF}$  = ターンオフ電力損失
- $t_{FALL}$  = MOSFET立ち下がり時間
- $t_{RISE}$  = MOSFET立ち上がり時間
- $V_{IN}$  = 入力電圧

ハイサイドMOSFETの立ち上がり時間と立ち下り時間を計算する際は、Figure 44に示す充電特性が分かっていることが重要です。

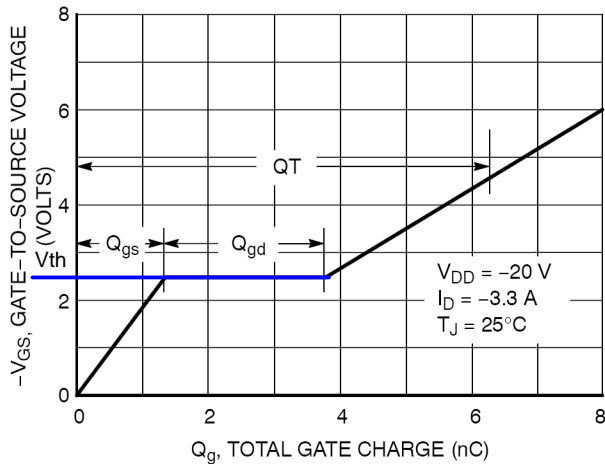


Figure 44. High Side MOSFET Total Charge

$$t_{RISE} = \frac{Q_{GD}}{I_{G1}} = \frac{Q_{GD}}{(V_{CL} - V_{TH}) / (R_{HSPU} + R_G)} \quad (\text{eq. 27})$$

ここで、

- $I_{G1}$  = ハイサイド・ゲート・ドライブからの出力電流
- $Q_{GD}$  = MOSFETゲート-ドレイン・ゲート電荷
- $R_{HSPU}$  = ドライブ・プルアップ抵抗
- $R_G$  = MOSFETゲート抵抗
- $t_{RISE}$  = MOSFET立ち上がり時間
- $V_{CL}$  = クランプ電圧
- $V_{TH}$  = MOSFETゲート・スレッシュホールド電圧

$$t_{FALL} = \frac{Q_{GD}}{I_{G2}} = \frac{Q_{GD}}{(V_{CL} - V_{TH}) / (R_{HSPD} + R_G)} \quad (\text{eq. 28})$$

ここで、

- $I_{G2}$  = ローサイド・ゲート・ドライブからの出力電流
- $Q_{GD}$  = MOSFETゲート-ドレイン・ゲート電荷
- $R_G$  = MOSFETゲート抵抗
- $R_{HSPD}$  = ドライブ・プルダウン抵抗
- $t_{FALL}$  = MOSFET立ち下がり時間
- $V_{CL}$  = クランプ電圧
- $V_{TH}$  = MOSFETゲート・スレッシュホールド電圧

次に、MOSFET出力容量損失は、ハイサイドMOSFETとローサイドMOSFETの両方で発生しますが、ハイサイドMOSFETでのみ放散されます。

$$P_{DS} = \frac{1}{2} \times C_{OSS} \times V_{IN}^2 \times F_{SW} \quad (\text{eq. 29})$$

ここで、

- $C_{OSS}$  = 0 V時のMOSFET出力容量
- $F_{SW}$  = スwitchング周波数
- $P_{DS}$  = MOSFETゲート-ドレイン・ゲート電荷損失
- $V_{IN}$  = 入力電圧

最後に、ローサイドMOSFETでのボディ・ダイオードの逆回復時間による損失を以下に示します。

$$P_{RR} = Q_{RR} \times V_{IN} \times F_{SW} \quad (\text{eq. 30})$$

ここで、

- $F_{SW}$  = スwitchング周波数
- $P_{RR}$  = ハイサイドMOSFET逆回復損失
- $Q_{RR}$  = 逆回復電荷
- $V_{IN}$  = 入力電圧

ローサイドMOSFETがターンオンして小さな負電圧を生じるため、スイッチング損失は無視できます。ローサイドMOSFETの消費電力は、非オーバーラップ期間中の $R_{DS(on)}$ およびボディ・ダイオード損失による導通損失のみから成ります。

$$P_{D,LS} = P_{COND} + P_{BODY} \quad (\text{eq. 31})$$

ここで、

- $P_{BODY}$  = ローサイドMOSFETボディ・ダイオード損失
- $P_{COND}$  = ローサイドMOSFET導通損失
- $P_{D,LS}$  = ローサイドMOSFET損失

ローサイドMOSFETでの導通損失を以下に記載します。

$$P_{COND} = (I_{RMS,LS})^2 \times R_{DS(on),LS} \quad (\text{eq. 32})$$

ここで、

- $I_{RMS,LS}$  = ローサイドでのRMS電流
- $R_{DS(ON),LS}$  = ローサイドMOSFETオン抵抗
- $P_{COND}$  = ハイサイドMOSFET導通損失

$$I_{RMS,LS} = I_{OUT} \times \sqrt{(1-D) \times \left(1 + \frac{ra^2}{12}\right)} \quad (\text{eq. 33})$$

ここで、

- D = デューティ比
- I<sub>OUT</sub> = 負荷電流
- I<sub>RMS\_LS</sub> = ローサイドでのRMS電流
- r<sub>a</sub> = リプル電流比

ボディ・ダイオード損失は、以下のとおり近似できます。

$$P_{BODY} = V_{FD} \times I_{OUT} \times F_{SW} \times (NOL_{LH} + NOL_{HL}) \quad (\text{eq. 34})$$

ここで、

- F<sub>SW</sub> = スイッチング周波数
- I<sub>OUT</sub> = 負荷電流
- NOL<sub>HL</sub> = ハイサイドMOSFETのターン・オフとローサイドMOSFETのターン・オン間のデッド・タイム、通常30 ns
- NOLLH = ローサイドMOSFETのターン・オフとハイサイドMOSFETのターン・オン間のデッド・タイム、通常は30 ns
- P<sub>BODY</sub> = ローサイドMOSFETボディ・ダイオード損失
- V<sub>FD</sub> = ボディ・ダイオード順方向電圧降下、通常0.92 V

### 補償ネットワーク

安定電源を構築するには、トランスコンダクタンス・アンプ周囲の補償回路を、PWM発生器および電源ステージと併せて使用する必要があります。電源ステージの設計基準はアプリケーションによって設定されるため、補償ネットワークで全体的な出力を是正して、安定性を確保する必要があります。NCP3170は電流モード・レギュレータなので、電圧ループと電流ループが存在します。電流ループによって、インダクタは電流ソースのような働きをし、電流モード制御の特性の大部分を支配します。電力ステージの出カインダクタおよびコンデンサは、2つの極を形成しますが閉ループでインダクタが電流ソースのように扱われるため、1極のシステムになります。電力ステージの出カインダクタおよびコンデンサは、2つの極を形成しますが閉ループでインダクタが電流ソースのように扱われるため、1極のシステムになります。2個の22 μFセラミック・コンデンサでの500 kHzおよび1 MHzに対する補償値の表を以下に示します。この表には、定義された動作点でのCompCalcに対する抵抗値も記載されています。

Table 6. COMPENSATION VALUES

	V <sub>IN</sub> (V)	V <sub>out</sub> (V)	L <sub>out</sub> (μF)	R1 (kΩ)	R2 (kΩ)	Rf (kΩ)	Cf (pF)	Cc (nF)	Rc (kΩ)	Cp (pF)	Resistance for Current Gain	
NCP3170A	12	0.8	1.8	24.9	NI	NI	NI	NI	NI	15	3.6	
	12	1.0	2.5	24.9	100	1	150	15	0.825	NI	4	
	12	1.1	2.5	24.9	66.5	1	150	10	2	NI	20	
	12	1.2	2.5	24.9	49.9	1	150	10	2	NI	20	
	12	1.5	3.6	24.9	28.7	1	150	10	2.49	NI	20	
	12	1.8	3.6	24.9	20	1	150	10	2.49	NI	20	
	12	2.5	4.7	24.9	11.8	1	150	8.2	3.74	NI	25	
	12	3.3	4.7	24.9	7.87	1	150	6.8	4.99	NI	27	
	12	5.0	7.2	24.9	4.75	1	150	3.9	10	NI	27	
	12	10.68	7.2	24.9	2.05	1	150	3.9	10	NI	30	
	18	14.8	7.2	24.9	1.43	1	150	6.8	6.98	NI	30	
	5	0.8	1.8	24.9	NI	NI	NI	NI	NI	NI	15	15
	5	1.0	2.5	24.9	100	1	150	15	0.825	NI	28	
	5	1.1	2.5	24.9	66.5	1	150	10	2	NI	30	
	5	1.2	2.5	24.9	49.9	1	150	10	2	NI	30	
	5	1.5	3.6	24.9	28.7	1	150	10	2.49	NI	30	
	5	1.8	3.6	24.9	20	1	150	10	2.49	NI	30	
	5	2.5	3.6	24.9	11.8	1	150	6.8	4.99	NI	50	
5	3.3	3.6	24.9	7.87	1	150	6.8	4.99	NI	50		

# NCP3170

Table 6. COMPENSATION VALUES (continued)

	V <sub>IN</sub> (V)	V <sub>OUT</sub> (V)	L <sub>OUT</sub> (μF)	R1 (kΩ)	R2 (kΩ)	R <sub>f</sub> (kΩ)	C <sub>f</sub> (pF)	C <sub>c</sub> (nF)	R <sub>c</sub> (kΩ)	C <sub>p</sub> (pF)	Resistance for Current Gain
NCP3170B	12	1.2	1.5	24.9	49.9	1	82	2.7	6.04	NI	20
	12	1.5	1.8	24.9	28.7	1	82	2.7	6.04	NI	22
	12	1.8	1.8	24.9	20	1	82	2.7	6.04	NI	22
	12	2.5	2.7	24.9	11.8	1	82	1.8	10	NI	32
	12	3.3	3.3	24.9	7.87	1	82	1.5	12.1	NI	52
	12	5.0	3.3	24.9	4.75	1	82	2.2	8.25	NI	52
	12	10.68	1.5	24.9	2.05	1	82	2.2	5.1	NI	52
	18	14.8	3.3	24.9	1.43	1	82	2.2	5.1	NI	52
	5	0.8	1.0	24.9	NI	NI	NI	15	0.499	NI	20
	5	1.0	1.0	24.9	100	NI	NI	6.8	1.69	NI	28
	5	1.1	1.0	24.9	66.5	NI	NI	3.9	3.61	NI	42
	5	1.2	1.5	24.9	49.9	1	82	2.7	6.04	NI	55
	5	1.5	1.5	24.9	28.7	1	82	2.7	6.04	NI	55
	5	1.8	1.5	24.9	20	1	82	1.8	10	NI	55
	5	2.5	1.8	24.9	11.8	1	82	1.8	10	NI	55
	5	3.3	1.8	24.9	7.87	1	82	1.8	10	NI	55

コンバータを補償するには、最初に電流帰還を計算する必要があります。

$$M = \frac{F_{SW} \times L_{OUT} \times V_{RAMP}}{R_{MAP} \times V_{IN}} + 1 \rightarrow \quad (\text{eq. 35})$$

$$6.299 = \frac{500 \text{ kHz} \times 4.7 \mu\text{H} \times 0.33 \text{ V}}{\left(32 \times \frac{3.3 \text{ V}}{12 \text{ V}} + 1.46\right) \Omega \times 12 \text{ V}} + 1$$

ここで、

- F<sub>SW</sub> = スイッチング周波数
- L<sub>OUT</sub> = 出力インダクタ値
- M = 電流帰還
- V<sub>IN</sub> = 入力電圧
- V<sub>OUT</sub> = 出力電圧
- V<sub>RAMP</sub> = スロープ補償ランプ
- R<sub>MAP</sub> = 電流検出抵抗

以下のとおりに、コンバータのスケールされないゲインも計算する必要があります。

$$A = \frac{1}{\frac{I_{OUT}}{V_{OUT}} + \frac{M - 0.5 - M \times \frac{V_{OUT}}{V_{IN}}}{L_{OUT} \times F_{SW}}} \quad (\text{eq. 36})$$

$$0.379 \Omega = \frac{1}{\frac{3.0 \text{ A}}{3.3 \text{ V}} + \frac{6.299 - 0.5 - 6.299 \times \frac{3.3 \text{ V}}{12 \text{ V}}}{4.7 \mu\text{H} \times 500 \text{ kHz}}}$$

ここで、

- A = スケールされないゲイン
- F<sub>SW</sub> = スイッチング周波数
- I<sub>OUT</sub> = 出力電流
- L<sub>OUT</sub> = 出力インダクタ値
- M = 電流帰還
- V<sub>IN</sub> = 入力電圧
- V<sub>OUT</sub> = 出力電圧

次に、プラントのDCゲインを計算します。

$$G = \frac{A}{R_{MAP}} \rightarrow \quad (\text{eq. 37})$$

$$36.925 = \frac{0.379 \Omega}{\left(32 \times \frac{3.3 \text{ V}}{12 \text{ V}} + 1.46\right) \Omega}$$

ここで、

- G = プラントのDCゲイン
- A = スケールされないゲイン

振幅比は、次式で計算できます。

$$Y = \frac{V_{REF}}{V_{OUT}} \rightarrow 0.242 = \frac{0.8 \text{ V}}{3.3 \text{ V}} \quad (\text{eq. 38})$$

ここで、

- V<sub>o</sub> = 出力電圧
- V<sub>REF</sub> = レギュレータ・リファレンス電圧
- Y = 振幅比

出力コンデンサのESRは、次の式39で示す周波数で「ゼロ」を生成します。

$$F_{Z_{ESR}} = \frac{1}{2\pi \times CO_{ESR} \times C_{OUT}} \rightarrow \quad (eq. 39)$$

$$723 \text{ kHz} = \frac{1}{2\pi \times 5 \text{ m}\Omega \times 44 \mu\text{F}}$$

ここで、  
 $CO_{ESR}$  = 出力コンデンサのESR  
 $C_{OUT}$  = 出力コンデンサ  
 $F_{Z_{ESR}}$  = 出力コンデンサのゼロESR周波数

$$F_P = \frac{1}{2\pi \times A \times C_{OUT}} \rightarrow \quad (eq. 40)$$

$$9.548 \text{ kHz} = \frac{1}{2\pi \times 0.379 \Omega \times 44 \mu\text{F}}$$

ここで、  
 $A$  = スケールされないゲイン  
 $C_{OUT}$  = 出力コンデンサ  
 $F_P$  = 電流モードの極周波数

上記の2つの式は、電力ステージで生成したボード線図またはシステムの開ループ応答を定義しています。次のステップは、帰還値を考慮してループを閉じることです。閉ループのクロスオーバー周波数は、スイッチング周波数の1/10以下でなければなりません。したがって、50 kHzが最大クロスオーバー周波数となります。

Figure 45に疑似Type IIIトランスコンダクタンス・エラー・アンプを示します。

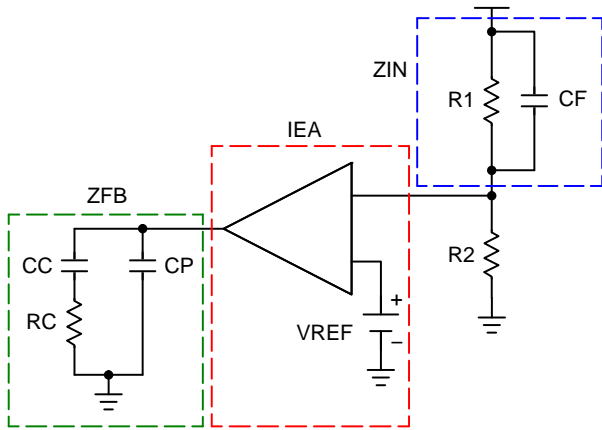


Figure 45. Pseudo Type III Transconductance Error Amplifier

補償回路は、内部エラー・アンプおよびインピーダンス回路 $Z_{IN}$  ( $R_1$ 、 $R_2$ 、 $C_F$ )、外部 $Z_{FB}$  ( $R_C$ 、 $C_C$ 、 $C_P$ )で構成されます。補償回路によって、負荷レギュレーション問題を最小化するために、最も高い0 dB交差周波数を持つ閉ループ伝達関数で、DC状態における高速応答と最大ゲインが得られるようにする必要があります。安定した制御ループは、-20 dB/decadeの傾きでゲインが交差し、位相マージンが45°以上です。位相マージンを求めるときは、ワーストケースの部品のバラツ

きを考慮してください。設計では最初に $R_1$ の抵抗値を選択し、これから他のすべての部品を選択することができます。まず、24.9 kΩ程度から始めてください。

NCP3170を使用すると、外付け抵抗分割回路により、DC-DCレギュレータの出力を最小0.8 Vまで調整することができます。レギュレータは帰還ピンの電圧を0.8 Vに維持します。これにより、帰還ピンから $V_{OUT}$ に抵抗分割回路が配置されている場合、レギュレータはFBピンで0.8 Vを維持するために、抵抗分割回路に比例して出力電圧をレギュレートします。

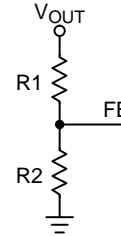


Figure 46. Feedback Resistor Divider

上記の抵抗分割回路と出力電圧の関係を次の式41に示します。

$$R_2 = R_1 \times \left( \frac{V_{REF}}{V_{OUT} - V_{REF}} \right) \quad (eq. 41)$$

ここで、  
 $R_1$  = トップ抵抗分割器  
 $R_2$  = ボトム抵抗分割器  
 $V_{OUT}$  = 出力電圧  
 $V_{REF}$  = レギュレータ・リファレンス電圧

最も頻繁に使用される出力電圧と関連する標準 $R_1$ および $R_2$ 値を下表に示します。

Table 7. OUTPUT VOLTAGE SETTINGS

$V_O$ (V)	$R_1$ (kΩ)	$R_2$ (kΩ)
0.8	24.9	Open
1.0	24.9	100
1.1	24.9	66.5
1.2	24.9	49.9
1.5	24.9	28.7
1.8	24.9	20
2.5	24.9	11.8
3.3	24.9	8.06
5.0	24.9	4.64

以下で説明する方法を使用して、Pseudo Type IIIトランスコンダクタンス・エラー・アンプの補償部品を計算できます。この方法は電源補償で最初に行うのによい方法です。これらの値は、補償ツールComp Calc [http://www.onsemi.com/pub/Collateral/COMPCALC\\_ZIP](http://www.onsemi.com/pub/Collateral/COMPCALC_ZIP)を使用して、リアルタイムで調整できます。

希望の周波数でクロスオーバーする最初の極は、  
-20 dB/decadeで減少するようにFPOで設定する必要があります。

$$F_{PO} = \frac{F_{CROSS}}{G} \rightarrow \text{(eq. 42)}$$

$$1.354 \text{ kHz} = \frac{50 \text{ kHz}}{36.925}$$

ここで、  
 $F_{cross}$  = クロスオーバー周波数  
 $F_{PO}$  = クロスオーバー周波数に適合する極周波数  
 $G$  = プラントのDCゲイン

次に示すとおり、クロスオーバー複合補償回路を使用して、トランス・コンダクタンス出力補償回路を計算できます。

$$C_C = \frac{y \times gm}{2 \times \pi \times F_{PO}} \rightarrow \text{(eq. 43)}$$

$$5.70 \text{ nF} = \frac{0.242 \times 200 \mu s}{2\pi \times 1.354 \text{ kHz}}$$

ここで、  
 $C_C$  = 補償コンデンサ  
 $F_{PO}$  = 極周波数  
 $gm$  = アンプのトランスコンダクタンス  
 $y$  = 振幅比

$$C_F = \frac{R1 + R2}{2\pi \times (R1 * RF + R2 * RF + R2 * R1) \times F_{cross}} \rightarrow \text{(eq. 46)}$$

$$456 \text{ pF} = \frac{24.9 \text{ k}\Omega + 7.87 \text{ k}\Omega}{2\pi \times (24.9 \text{ k}\Omega * 1 \text{ k}\Omega + 7.87 \text{ k}\Omega * 1 \text{ k}\Omega + 7.87 \text{ k}\Omega * 24.9 \text{ k}\Omega) \times 50 \text{ kHz}}$$

ここで、  
 $C_F$  = 補償極コンデンサ  
 $F_{cross}$  = クロスオーバー周波数  
 $gm$  = アンプのトランスコンダクタンス  
 $R_1$  = トップ抵抗分割器  
 $R_2$  = ボトム抵抗分割器  
 $R_F$  = フィード抵抗

**入力突入電流の計算**

入力突入電流には、入力充電と出力充電の2つの明確に区別できるステージがあります。通常はバック・ステージの入力充電が制御されますが、制御されていない時間があり、これは入力RC回路および上流の電力ステージの出力インピーダンスでのみ制限されます。上流の電力ステージが完全な電圧源で瞬時にオンに切り替わる場合、入力突入電流はFigure 47のようになり、次のとおり計算できます。

$$R_C = \frac{1}{2\pi \times C_C \times F_P} \rightarrow \text{(eq. 44)}$$

$$2.925 \text{ k}\Omega = \frac{1}{2\pi \times 5.70 \text{ nF} \times 1.354 \text{ kHz}}$$

ここで、  
 $C_C$  = 補償容量  
 $C_{OUT}$  = 出力容量  
 $F_P$  = 電流モードの極周波数  
 $R_C$  = 補償抵抗

$$C_P = \frac{1}{2\pi \times R_C \times F_{ESR}} \rightarrow \text{(eq. 45)}$$

$$75.2 \text{ pF} = \frac{1}{2\pi \times 2.925 \text{ k}\Omega \times 723 \text{ kHz}}$$

ここで、  
 $C_P$  = 補償極コンデンサ  
 $F_{ESR}$  = コンデンサESRゼロ周波数  
 $R_C$  = 補償抵抗

ESR周波数がスイッチング周波数より高い場合、安定動作のためにCF補償コンデンサが必要な場合があります。これは出力LCフィルタが高Qと考えられ、クロスオーバー周波数で位相ブーストを提供しないためです。

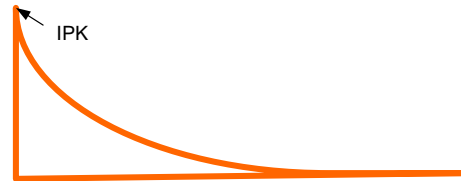


Figure 47. Input Charge Inrush Current

$$I_{Cinrush\_PK}^1 = \frac{V_{IN}}{CIN_{ESR}} \rightarrow \text{(eq. 47)}$$

$$1.2 \text{ kA} = \frac{12}{0.01}$$

$$I_{Cinrush\_RMS}^1 = \frac{V_{IN}}{CIN_{ESR}} \times 0.316 \times \sqrt{\frac{5 \times CIN_{ESR} \times C_{IN}}{t_{DELAY\_TOTAL}}} \rightarrow \text{(eq. 48)}$$

$$12.58 \text{ A} = \frac{12 \text{ V}}{0.01} \times 0.316 \times \sqrt{\frac{5 \times 0.01 \Omega \times 22 \mu\text{F}}{1 \text{ ms}}}$$



ここで、

- $C_{IN}$  = 出力コンデンサ
- $C_{IN_{ESR}}$  = 出力コンデンサのESR
- $t_{DELAY\_TOTAL}$  = 全遅延間隔
- $V_{IN}$  = 入力電圧

$t_{DELAY\_TOTAL}$ が経過すると、降圧コンバータはスイッチングを開始し、次のとおり第2突入電流を計算できます。

$$I_{OCinrush\_RMS} = \frac{(C_{OUT} + C_{LOAD}) \times V_{OUT} D}{t_{SS} \sqrt{3}} + I_{CL} \times D \quad (\text{eq. 49})$$

ここで、

- $C_{OUT}$  = 全コンバータ出力容量
- $C_{LOAD}$  = 全負荷容量
- $D$  = 負荷のデューティ比
- $I_{CL}$  = 出力に接続される負荷
- $I_{OCinrush\_RMS}$  = 起動時のRMS突入電流
- $t_{SS}$  = ソフト・スタート間隔
- $V_{OUT}$  = 出力電圧

上式から、突入電流は出力に接続される負荷タイプに依存することが明らかです。Figure 48では、抵抗負荷とステップ電流負荷の2種類の負荷について考察しています。

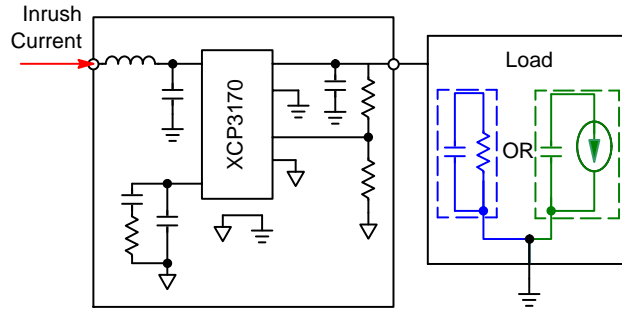


Figure 48. Load Connected to the Output Stage

$$I_{CLR\_RMS} = \frac{1}{\sqrt{3}} \times \frac{V_{OUT}}{R_{OUT}} \quad I_{CR\_PK} = \frac{V_{OUT}}{R_{OUT}} \quad (\text{eq. 50})$$

$$191 \text{ mA} = \frac{1}{\sqrt{3}} \times \frac{3.3 \text{ V}}{10 \Omega} \quad 300 \text{ mA} = \frac{3.3 \text{ V}}{10 \Omega}$$

ここで、

- $I_{CLR\_RMS}$  = RMS抵抗電流
- $I_{CR\_PK}$  = ピーク抵抗電流
- $R_{OUT}$  = 出力抵抗
- $V_{OUT}$  = 出力電圧

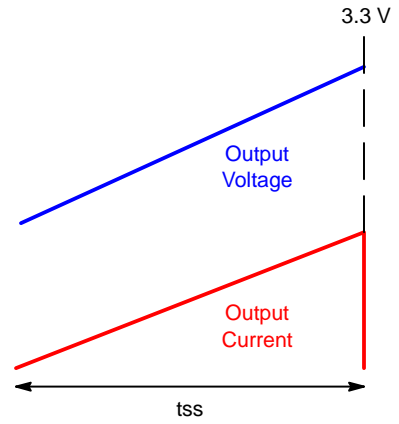


Figure 49. Resistive Load Current

あるいは、出力負荷に低電圧ロックアウトがあり、定義された電圧レベルでターンオンし、一定電流を流す場合、RMS接続負荷電流は次のようになります。

$$I_{CL1} = \sqrt{\frac{V_{OUT} - V_{OUT\_TO}}{V_{OUT}}} \times I_{OUT} \quad (\text{eq. 51})$$

$$492 \text{ mA} = \sqrt{\frac{3.3 \text{ V} - 2.5 \text{ V}}{3.3 \text{ V}}} \times 1 \text{ A}$$

ここで、

- $I_{OUT}$  = 出力電流
- $V_{OUT}$  = 出力電圧
- $V_{OUT\_TO}$  = 出力電圧負荷ターン・オン

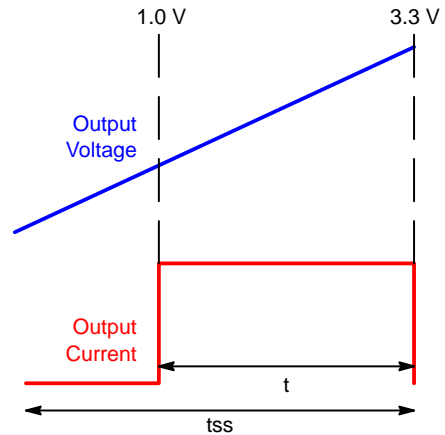


Figure 50. Voltage Enable Load Current

最大負荷時に突入電流が定常状態の入力電流より高い場合、状況に応じ $I^2t$ 手法を使用して入力ヒューズの定格を決定する必要があります。

# NCP3170

## 熱管理およびレイアウト

### 検討事項

次の図に示すとおり、NCP3170降圧レギュレータでは2つのループに大きなパルス電流が流れます。

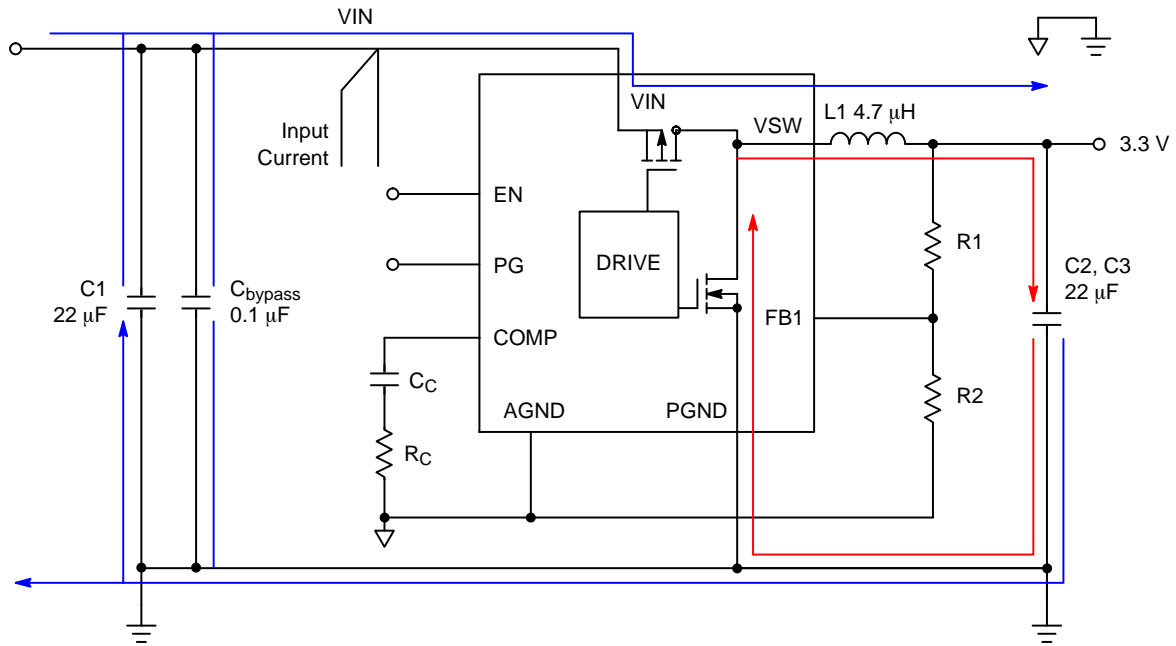


Figure 51. Buck Converter Current Paths

ハイサイド・スイッチがオンになると、青で示した第1ループがアクティブになります。スイッチがオンになると、バイパス・コンデンサによって電流波形のエッジが生じます。電流の残りの部分は入力コンデンサによって供給されます。ハイサイド・スイッチがオフになると、入力コンデンサを充電する上流電源によって、緩慢な電流が供給されます。電流がハイサイドMOSFETを出力に流れ、出力コンデンサを充電し、負荷に電流を供給します。電流は出力コンデンサが接続され、レギュレータが接地され入力コンデンサが接地されているPCBのグラウンド・トレースを通じて戻ります。第2ループは、インダクタから始まり出力コンデンサおよび負荷に至り、ローサイドMOSFETを通して戻ります。ローサイドNMOSFETがオンのとき、第2ループに電流が流れます。赤の線と青色の線がオーバーラップする位置があることに注意してください。これらの領域はDC電流が流れていると考えられます。青の線が1つだけある領域は、AC電流が流れ非常に早く遷移することを示しています。電源レイアウトの重要な要素は、AC電流が流れる接続に注意することです。

経験則から、PCBトレースの1インチごとに20 nHのインダクタンスが存在します。PCBレイアウト時に、ACループ面積を最小にすると、回路のノイズが減少し、効率が改善されます。入力コンデンサ、出力コンデンサ、NCP3170のPGNDピンの接続に、グラウンド・プレーンを強く推奨します。推奨レイアウトでの実際の高出力電流ラインを描くことが重要

で、これによって設計者は電流が流れる場所が分かります。

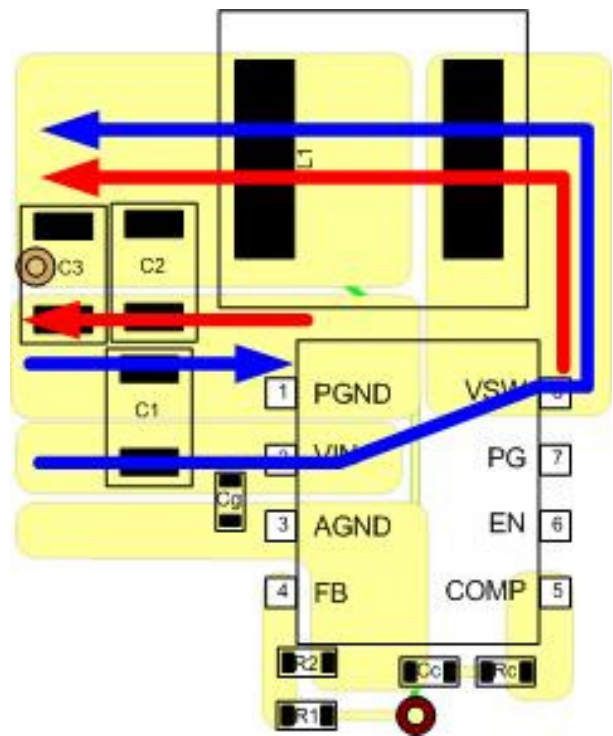


Figure 52. Recommended Signal Layout



NCP3170は、システムでの消費電力の主な発生源で、上記の式で損失メカニズムを詳細に説明しています。ICの制御部分の消費電力は、次式から求められます。

$$P_C = I_C \times V_{IN} \quad (\text{eq. 52})$$

ここで、

$I_{CC}$	= 制御回路の電流
$P_C$	= 制御消費電力
$V_{IN}$	= 入力電圧

ICの消費電力が求まると、設計者はワースト・ケースの周囲温度で、規定接合部温度を維持するのに必要なサーマル・インピーダンスを計算できます。自由大気中でのパッケージの接合部温度の計算式：

$$T_J = T_A + P_D \times R_{\theta JA} \quad (\text{eq. 53})$$

ここで、

$P_D$	= デバイスの消費電力
$R_{\theta JA}$	= レギュレータ・パッケージの接合部-周囲間の熱抵抗
$T_A$	= 周囲温度
$T_J$	= 接合部温度

NCP3170の熱性能は、PCBレイアウトによって大きな影響を受けます。ユーザは設計過程で十分に注意して、ICが推奨環境条件の下で動作することを保証しなければなりません。どの電源設計でも同じですが、適切な実験室での試験を実施して、設計がワースト・ケース動作条件下で求められる電力を放散することを保証しなければなりません。試験中に検討する変数には、最大周囲温度、最小空気流量、最大入力電圧、最大負荷、および部品のバラツキ(例えば、ワースト・ケース $R_{DS(on)}$ )が含まれている必要があります。次に、最良の電気的および熱的性能を達成するためのレイアウト・ヒントをいくつか示します。Figure 53は、NCP3170のPCBレイアウト例を示しています。

1. VSWピンは低抵抗のサーマル・パスである内部PFETおよびNFETドレインに接続されています。大きな銅プレーンをVSWピンに接続して、熱放散を助けます。設計でPGピンが使用されていない場合は、VSWプレーンに接続して、さらにサーマル・インピーダンスを低減できます。設計者は、VSWサーマル・プレーンの隅を丸くしてノイズを低減する必要があります。

2. ユーザは、VINピンおよびPGNDピンへのサーマル・リリース接続を使用してはなりません。PGNDピンおよびVINピンの周囲に大きなプレーンを作成して、熱放散を助けます。
3. 入力コンデンサはデバイスのできる限り近くで、VINピンおよびPGNDピンに接続しなければなりません。
4. PCBボードの最下部および最上部レイヤにグラウンド・プレーンを設けることを推奨します。グラウンド・プレーンを使用しない場合、PGNDをAGNDから分離し、それらを1点でのみ接続して、PGNDピンのノイズがAGNDピンに結合しないようにします。
5. VSWピンから出力インダクタ、出力インダクタから出力コンデンサ、負荷からPGNDまで、できるだけ短くなるように銅プレーンを作成します。
6. 未使用PCB領域のすべてに銅プレーンを作成し、それをVIN、GND、VOUTなどの安定したDCノードに接続します。
7. 敏感な信号トレースをVSWピンから遠く離しておくかシールドします。

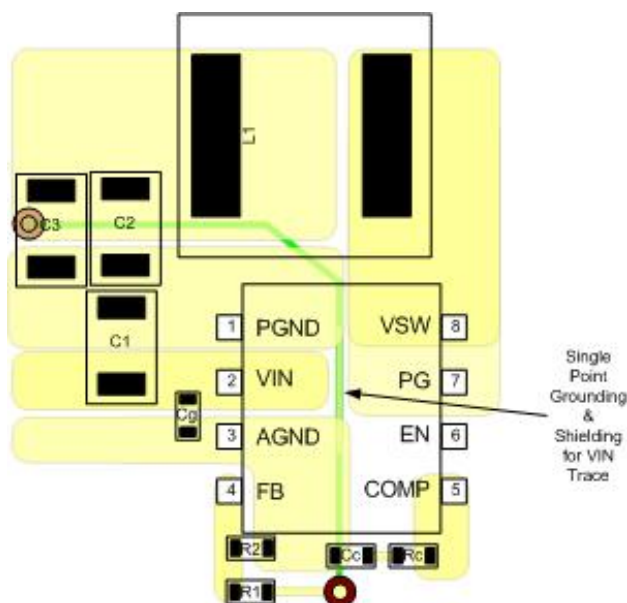


Figure 53. Recommend Thermal Layout

# MECHANICAL CASE OUTLINE PACKAGE DIMENSIONS

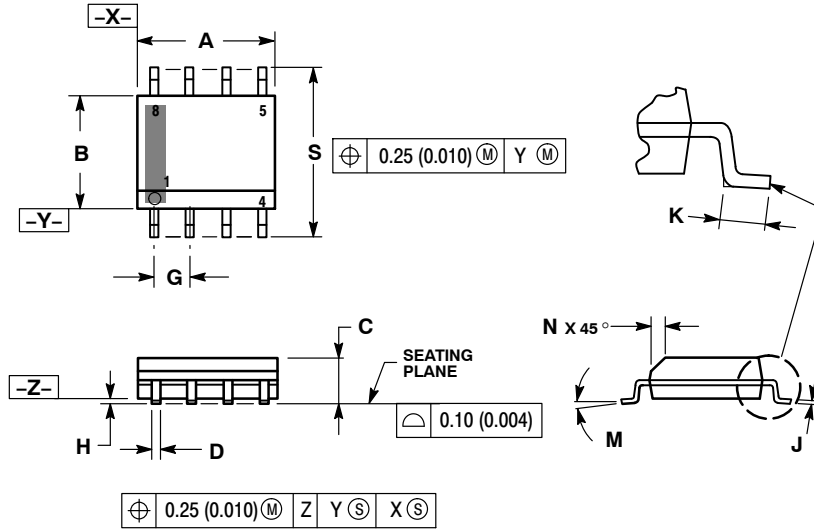
ON Semiconductor®



SCALE 1:1

SOIC-8 NB  
CASE 751-07  
ISSUE AK

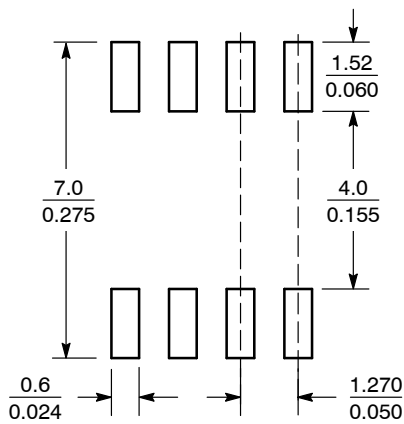
DATE 16 FEB 2011



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
  2. CONTROLLING DIMENSION: MILLIMETER.
  3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
  4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
  5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
  6. 751-01 THRU 751-06 ARE OBSOLETE. NEW STANDARD IS 751-07.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

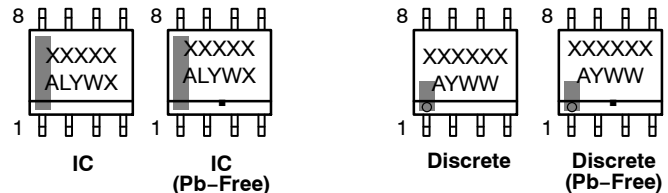
### SOLDERING FOOTPRINT\*



SCALE 6:1 (mm/inches)

\*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

### GENERIC MARKING DIAGRAM\*



- XXXXXX = Specific Device Code
- A = Assembly Location
- L = Wafer Lot
- Y = Year
- W = Work Week
- = Pb-Free Package

- XXXXXX = Specific Device Code
- A = Assembly Location
- Y = Year
- WW = Work Week
- = Pb-Free Package

\*This information is generic. Please refer to device data sheet for actual part marking. Pb-Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

STYLES ON PAGE 2

DOCUMENT NUMBER:	98ASB42564B	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
DESCRIPTION:	SOIC-8 NB	PAGE 1 OF 2

ON Semiconductor and ON are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

**SOIC-8 NB**  
**CASE 751-07**  
**ISSUE AK**

DATE 16 FEB 2011

- |  |   |   |   |
|--|---|---|---|
| <p><b>STYLE 1:</b><br/>         PIN 1. EMITTER<br/>         2. COLLECTOR<br/>         3. COLLECTOR<br/>         4. EMITTER<br/>         5. EMITTER<br/>         6. BASE<br/>         7. BASE<br/>         8. EMITTER</p>   | <p><b>STYLE 2:</b><br/>         PIN 1. COLLECTOR, DIE, #1<br/>         2. COLLECTOR, #1<br/>         3. COLLECTOR, #2<br/>         4. COLLECTOR, #2<br/>         5. BASE, #2<br/>         6. EMITTER, #2<br/>         7. BASE, #1<br/>         8. EMITTER, #1</p>               | <p><b>STYLE 3:</b><br/>         PIN 1. DRAIN, DIE #1<br/>         2. DRAIN, #1<br/>         3. DRAIN, #2<br/>         4. DRAIN, #2<br/>         5. GATE, #2<br/>         6. SOURCE, #2<br/>         7. GATE, #1<br/>         8. SOURCE, #1</p>                            | <p><b>STYLE 4:</b><br/>         PIN 1. ANODE<br/>         2. ANODE<br/>         3. ANODE<br/>         4. ANODE<br/>         5. ANODE<br/>         6. ANODE<br/>         7. ANODE<br/>         8. COMMON CATHODE</p>   |
| <p><b>STYLE 5:</b><br/>         PIN 1. DRAIN<br/>         2. DRAIN<br/>         3. DRAIN<br/>         4. DRAIN<br/>         5. GATE<br/>         6. GATE<br/>         7. SOURCE<br/>         8. SOURCE</p>   | <p><b>STYLE 6:</b><br/>         PIN 1. SOURCE<br/>         2. DRAIN<br/>         3. DRAIN<br/>         4. SOURCE<br/>         5. SOURCE<br/>         6. GATE<br/>         7. GATE<br/>         8. SOURCE</p>  | <p><b>STYLE 7:</b><br/>         PIN 1. INPUT<br/>         2. EXTERNAL BYPASS<br/>         3. THIRD STAGE SOURCE<br/>         4. GROUND<br/>         5. DRAIN<br/>         6. GATE 3<br/>         7. SECOND STAGE Vd<br/>         8. FIRST STAGE Vd</p>                    | <p><b>STYLE 8:</b><br/>         PIN 1. COLLECTOR, DIE #1<br/>         2. BASE, #1<br/>         3. BASE, #2<br/>         4. COLLECTOR, #2<br/>         5. COLLECTOR, #2<br/>         6. EMITTER, #2<br/>         7. EMITTER, #1<br/>         8. COLLECTOR, #1</p>                              |
| <p><b>STYLE 9:</b><br/>         PIN 1. EMITTER, COMMON<br/>         2. COLLECTOR, DIE #1<br/>         3. COLLECTOR, DIE #2<br/>         4. EMITTER, COMMON<br/>         5. EMITTER, COMMON<br/>         6. BASE, DIE #2<br/>         7. BASE, DIE #1<br/>         8. EMITTER, COMMON</p> | <p><b>STYLE 10:</b><br/>         PIN 1. GROUND<br/>         2. BIAS 1<br/>         3. OUTPUT<br/>         4. GROUND<br/>         5. GROUND<br/>         6. BIAS 2<br/>         7. INPUT<br/>         8. GROUND</p>  | <p><b>STYLE 11:</b><br/>         PIN 1. SOURCE 1<br/>         2. GATE 1<br/>         3. SOURCE 2<br/>         4. GATE 2<br/>         5. DRAIN 2<br/>         6. DRAIN 2<br/>         7. DRAIN 1<br/>         8. DRAIN 1</p>   | <p><b>STYLE 12:</b><br/>         PIN 1. SOURCE<br/>         2. SOURCE<br/>         3. SOURCE<br/>         4. GATE<br/>         5. DRAIN<br/>         6. DRAIN<br/>         7. DRAIN<br/>         8. DRAIN</p>   |
| <p><b>STYLE 13:</b><br/>         PIN 1. N.C.<br/>         2. SOURCE<br/>         3. SOURCE<br/>         4. GATE<br/>         5. DRAIN<br/>         6. DRAIN<br/>         7. DRAIN<br/>         8. DRAIN</p>  | <p><b>STYLE 14:</b><br/>         PIN 1. N-SOURCE<br/>         2. N-GATE<br/>         3. P-SOURCE<br/>         4. P-GATE<br/>         5. P-DRAIN<br/>         6. P-DRAIN<br/>         7. N-DRAIN<br/>         8. N-DRAIN</p>   | <p><b>STYLE 15:</b><br/>         PIN 1. ANODE 1<br/>         2. ANODE 1<br/>         3. ANODE 1<br/>         4. ANODE 1<br/>         5. CATHODE, COMMON<br/>         6. CATHODE, COMMON<br/>         7. CATHODE, COMMON<br/>         8. CATHODE, COMMON</p>               | <p><b>STYLE 16:</b><br/>         PIN 1. EMITTER, DIE #1<br/>         2. BASE, DIE #1<br/>         3. EMITTER, DIE #2<br/>         4. BASE, DIE #2<br/>         5. COLLECTOR, DIE #2<br/>         6. COLLECTOR, DIE #2<br/>         7. COLLECTOR, DIE #1<br/>         8. COLLECTOR, DIE #1</p> |
| <p><b>STYLE 17:</b><br/>         PIN 1. VCC<br/>         2. V2OUT<br/>         3. V1OUT<br/>         4. TXE<br/>         5. RXE<br/>         6. VEE<br/>         7. GND<br/>         8. ACC</p>  | <p><b>STYLE 18:</b><br/>         PIN 1. ANODE<br/>         2. ANODE<br/>         3. SOURCE<br/>         4. GATE<br/>         5. DRAIN<br/>         6. DRAIN<br/>         7. CATHODE<br/>         8. CATHODE</p>   | <p><b>STYLE 19:</b><br/>         PIN 1. SOURCE 1<br/>         2. GATE 1<br/>         3. SOURCE 2<br/>         4. GATE 2<br/>         5. DRAIN 2<br/>         6. MIRROR 2<br/>         7. DRAIN 1<br/>         8. MIRROR 1</p>   | <p><b>STYLE 20:</b><br/>         PIN 1. SOURCE (N)<br/>         2. GATE (N)<br/>         3. SOURCE (P)<br/>         4. GATE (P)<br/>         5. DRAIN<br/>         6. DRAIN<br/>         7. DRAIN<br/>         8. DRAIN</p>   |
| <p><b>STYLE 21:</b><br/>         PIN 1. CATHODE 1<br/>         2. CATHODE 2<br/>         3. CATHODE 3<br/>         4. CATHODE 4<br/>         5. CATHODE 5<br/>         6. COMMON ANODE<br/>         7. COMMON ANODE<br/>         8. CATHODE 6</p>  | <p><b>STYLE 22:</b><br/>         PIN 1. I/O LINE 1<br/>         2. COMMON CATHODE/VCC<br/>         3. COMMON CATHODE/VCC<br/>         4. I/O LINE 3<br/>         5. COMMON ANODE/GND<br/>         6. I/O LINE 4<br/>         7. I/O LINE 5<br/>         8. COMMON ANODE/GND</p> | <p><b>STYLE 23:</b><br/>         PIN 1. LINE 1 IN<br/>         2. COMMON ANODE/GND<br/>         3. COMMON ANODE/GND<br/>         4. LINE 2 IN<br/>         5. LINE 2 OUT<br/>         6. COMMON ANODE/GND<br/>         7. COMMON ANODE/GND<br/>         8. LINE 1 OUT</p> | <p><b>STYLE 24:</b><br/>         PIN 1. BASE<br/>         2. EMITTER<br/>         3. COLLECTOR/ANODE<br/>         4. COLLECTOR/ANODE<br/>         5. CATHODE<br/>         6. CATHODE<br/>         7. COLLECTOR/ANODE<br/>         8. COLLECTOR/ANODE</p>                                      |
| <p><b>STYLE 25:</b><br/>         PIN 1. VIN<br/>         2. N/C<br/>         3. REXT<br/>         4. GND<br/>         5. IOUT<br/>         6. IOUT<br/>         7. IOUT<br/>         8. IOUT</p>   | <p><b>STYLE 26:</b><br/>         PIN 1. GND<br/>         2. dv/dt<br/>         3. ENABLE<br/>         4. ILIMIT<br/>         5. SOURCE<br/>         6. SOURCE<br/>         7. SOURCE<br/>         8. VCC</p>  | <p><b>STYLE 27:</b><br/>         PIN 1. ILIMIT<br/>         2. OVLO<br/>         3. UVLO<br/>         4. INPUT+<br/>         5. SOURCE<br/>         6. SOURCE<br/>         7. SOURCE<br/>         8. DRAIN</p>  | <p><b>STYLE 28:</b><br/>         PIN 1. SW_TO_GND<br/>         2. DASIC OFF<br/>         3. DASIC_SW_DET<br/>         4. GND<br/>         5. V_MON<br/>         6. VBULK<br/>         7. VBULK<br/>         8. VIN</p>  |
| <p><b>STYLE 29:</b><br/>         PIN 1. BASE, DIE #1<br/>         2. EMITTER, #1<br/>         3. BASE, #2<br/>         4. EMITTER, #2<br/>         5. COLLECTOR, #2<br/>         6. COLLECTOR, #2<br/>         7. COLLECTOR, #1<br/>         8. COLLECTOR, #1</p>                        | <p><b>STYLE 30:</b><br/>         PIN 1. DRAIN 1<br/>         2. DRAIN 1<br/>         3. GATE 2<br/>         4. SOURCE 2<br/>         5. SOURCE 1/DRAIN 2<br/>         6. SOURCE 1/DRAIN 2<br/>         7. SOURCE 1/DRAIN 2<br/>         8. GATE 1</p>                           |   |   |

<b>DOCUMENT NUMBER:</b>	<b>98ASB42564B</b>	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.
<b>DESCRIPTION:</b>	<b>SOIC-8 NB</b>	<b>PAGE 2 OF 2</b>

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. ON Semiconductor does not convey any license under its patent rights nor the rights of others.

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

## PUBLICATION ORDERING INFORMATION

### LITERATURE FULFILLMENT:

Email Requests to: [orderlit@onsemi.com](mailto:orderlit@onsemi.com)

ON Semiconductor Website: [www.onsemi.com](http://www.onsemi.com)

### TECHNICAL SUPPORT

North American Technical Support:  
Voice Mail: 1 800-282-9855 Toll Free USA/Canada  
Phone: 011 421 33 790 2910

Europe, Middle East and Africa Technical Support:

Phone: 00421 33 790 2910

For additional information, please contact your local Sales Representative