車載向け昇圧コンバータ

1.5 A 280 kHz/560 kHz

NCV5171, NCV5173

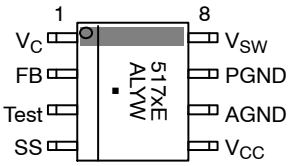
SOIC−8
D SUFFIX
CASE 751

NCV5171/73の各製品は、高効率の1.5 A集積化スイッチを内蔵する280 kHz/560 kHzスイッチング・レギュレータです。これらのデバイスは、2.7〜30 Vの広い入力電圧範囲で動作します。設計の柔軟性が高いので、このチップは昇圧、フライバック、順方向、反転、SEPICなど、ほとんどの電源構成で動作します。このデバイスは電流モード・アーキテクチャを採用し、負荷とラインの優れた安定化、および電流を制限するための実用的な方法を実現。高周波動作と高集積レギュレータ回路を組み合わせることで、きわめてコンパクトな電源ソリューションを実現します。回路設計には、正電圧安定化のための周波数同期、シャットダウン、およびフィードバックなどの諸機能に対する対策が含まれます。これらのデバイスはLT1372/1373とピン互換です。

特長

- 集積化パワー・スイッチ：1.5 Aを保証
- 広い入力範囲：2.7〜30 V
- 高周波動作で部品小型化を実現
- 最小数の外付け部品
- 容易な外部同期
- 過電流保護を内蔵
- 周波数フォールドバックによって、過電流状態での部品に対するストレスを低減
- ヒステリシス付きサーマル・シャットダウン
- シャットダウン電流：50 μAが最大
- LT1372/1373とピン互換
- NCVで始まる製品番号は特有の工場および変更管理を必要とする車載およびその他の用途に対応; AEC−Q100 Qualified and PPAP Capable
  - −40°C〜125°C
- 鉛フリー・デバイス

MARKING DIAGRAM AND PIN CONNECTIONS



517xE = Specific Device Code
x = 1 or 3
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb−Free Package

ORDERING INFORMATION

Device	Package	Shipping
NCV5171EDR2G	SOIC−8 (Pb−Free)	2500 Units / Box
NCV5173EDR2G	SOIC−8 (Pb−Free)	2500 Units / Box

© Semiconductor Components Industries, LLC, 2016

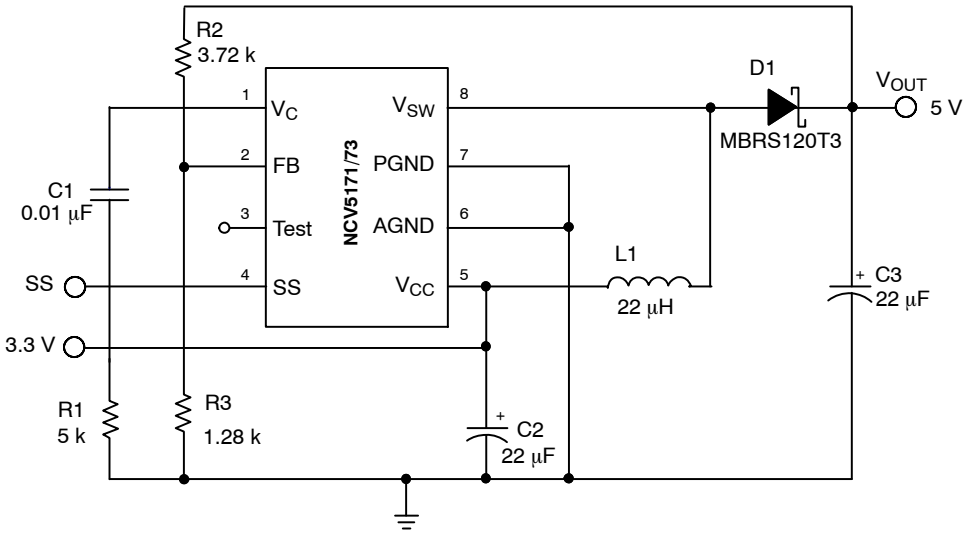


Figure 1. Applications Diagram

MAXIMUM RATINGS

Rating	Value	Unit
Junction Temperature Range, T_J	−40 to +150	°C
Storage Temperature Range, $T_{STORAGE}$	−65 to +150	°C
Package Thermal Resistance Junction−to−Case, $R_{\theta JC}$ Junction−to−Ambient, $R_{\theta JA}$	 45 165	°C/W
Lead Temperature Soldering: Reflow (Note 1)	260 Peak (Note 1)	°C
ESD, Human Body Model	1.2	kV

Stresses exceeding those listed in the Maximum Ratings table may damage the device. If any of these limits are exceeded, device functionality should not be assumed, damage may occur and reliability may be affected.
(参考訳)
最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。これらの定格値を超えた場合は、デバイスの機能性を損ない、ダメージが生じ、信頼性に影響を及ぼす危険性があります。
1. 60−180 seconds minimum above 237°C.

MAXIMUM RATINGS

Pin Name	Pin Symbol	V_{MAX}	V_{MIN}	I_{SOURCE}	I_{SINK}
IC Power Input	V_{CC}	35 V	−0.3 V	N/A	200 mA
Shutdown/Sync	SS	30 V	−0.3 V	1.0 mA	1.0 mA
Loop Compensation	V_C	6.0 V	−0.3 V	10 mA	10 mA
Voltage Feedback Input	FB	10 V	−0.3 V	1.0 mA	1.0 mA
Test Pin	Test	6.0 V	−0.3 V	1.0 mA	1.0 mA
Power Ground	PGND	0.3 V	−0.3 V	4 A	10 mA
Analog Ground	AGND	0 V	0 V	N/A	10 mA
Switch Input	V_{SW}	40 V	−0.3 V	10 mA	3.0 A

ELECTRICAL CHARACTERISTICS (2.7 V< V_{CC} < 30 V; −40°C < T_J < 125°C unless otherwise stated)

Characteristic	Test Conditions	Min	Typ	Max	Unit
Positive and Negative Error Amplifiers					
FB Reference Voltage	V_C tied to FB; measure at FB	1.246	1.276	1.300	V
FB Input Current	FB = V_{REF}	−1.0	0.1	1.0	μA
FB Reference Voltage Line Regulation	V_C = FB	–	0.01	0.03	%/V
Positive Error Amp Transconductance	I_{VC} = ± 25 μA	300	550	800	μMho
Positive Error Amp Gain	(Note 2)	200	500	–	V/V
V_C Source Current	FB = 1.0 V, V_C = 1.25 V	25	50	90	μA
V_C Sink Current	FB = 1.5 V, V_C = 1.25 V	200	625	1500	μA
V_C High Clamp Voltage	FB = 1.0 V; V_C sources 25 μA	1.5	1.7	1.9	V
V_C Low Clamp Voltage	FB = 1.5 V; V_C sinks 25 μA	0.25	0.50	0.65	V
V_C Threshold	Reduce V_C from 1.5 V until switching stops	0.6	1.05	1.30	V
Oscillator					
Base Operating Frequency	NCV5171, FB = 1 V	230	280	310	kHz
Base Operating Frequency	NCV5173, FB = 1 V	460	560	620	kHz
Reduced Operating Frequency	NCV5171, FB = 0 V	30	52	120	kHz
Reduced Operating Frequency	NCV5173, FB = 0 V	60	104	160	kHz
Maximum Duty Cycle	NCV5171	90	94	–	%
Maximum Duty Cycle	NCV5173	82	90	–	%
FB Frequency Shift Threshold	Frequency drops to reduced operating frequency	0.36	0.40	0.44	V
Sync/ Shutdown					
Sync Range	NCV5171	320	–	500	kHz
Sync Range	NCV5173	640	–	1000	kHz
Sync Pulse Transition Threshold	Rise time = 20 ns	2.5	–	–	V
SS Bias Current	SS = 0 V SS = 3.0 V	−15 –	−3.0 3.0	– 8.0	μA
Shutdown Threshold	–	0.40	0.85	1.20	V
Shutdown Delay	2.7 V ≤ V_{CC} ≤ 12 V 12 V < V_{CC} ≤ 30 V	12 12	80 36	350 200	μs
Power Switch					
Switch Saturation Voltage	I_{SWITCH} = 1.5 A, (Note 2) I_{SWITCH} = 1.0 A, 0°C ≤ T_J ≤ 85°C I_{SWITCH} = 1.0 A, −40°C ≤ T_J ≤ 0°C I_{SWITCH} = 10 mA	– – – –	0.8 0.55 0.75 0.09	1.4 – – 0.45	V
Switch Current Limit	50% duty cycle, (Note 2) 80% duty cycle, (Note 2)	1.6 1.5	1.9 1.7	2.4 2.2	A
Minimum Pulse Width	FB = 0 V, I_{SW} = 4.0 A, (Note 2)	200	250	300	ns
$\Delta I_{CC}/ \Delta IV_{SW}$	2.7 V ≤ V_{CC} ≤ 12 V, 10 mA ≤ I_{SW} ≤ 1.0 A 12 V < V_{CC} ≤ 30 V, 10 mA ≤ I_{SW} ≤ 1.0 A 2.7 V ≤ V_{CC} ≤ 12 V, 10 mA ≤ I_{SW} ≤ 1.5 A, (Note 2) 12 V < V_{CC} ≤ 30 V, 10 mA ≤ I_{SW} ≤ 1.5 A, (Note 2)	– – – –	10 – 17 –	30 100 30 100	mA/A
Switch Leakage	V_{SW} = 40 V, V_{CC} = 0V	–	2.0	100	μA

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.
(参考訳)
製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。

2. Guaranteed by design, not 100% tested in production.

ELECTRICAL CHARACTERISTICS (2.7 V< V_{CC} < 30 V; −40°C < T_J < 125°C unless otherwise stated) (continued)

Characteristic	Test Conditions	Min	Typ	Max	Unit
General					
Operating Current	I_{SW} = 0	–	5.5	8.0	mA
Shutdown Mode Current	V_C < 0.8 V, SS = 0 V, 2.7 V ≤ V_{CC} ≤ 12 V V_C < 0.8 V, SS = 0 V, 12 V ≤ V_{CC} ≤ 30 V	– –	12 –	60 100	μA
Minimum Operation Input Voltage	V_{SW} switching, maximum I_{SW} = 10 mA	–	2.45	2.70	V
Thermal Shutdown	(Note 2)	150	180	210	°C
Thermal Hysteresis	(Note 2)	–	25	–	°C

Product parametric performance is indicated in the Electrical Characteristics for the listed test conditions, unless otherwise noted. Product performance may not be indicated by the Electrical Characteristics if operated under different conditions.
(参考訳)
製品パラメータは、特別な記述が無い限り、記載されたテスト条件に対する電気的特性で示しています。異なる条件下で製品動作を行った時には、電気的特性で示している特性を得られない場合があります。
2. Guaranteed by design, not 100% tested in production.

PACKAGE PIN DESCRIPTION

Package Pin #	Pin Symbol	Function
1	V_C	Loop compensation pin. The V_C pin is the output of the error amplifier and is used for loop compensation, current limit and soft start. Loop compensation can be implemented by a simple RC network as shown in the application diagram on page 2 as R1 and C1.
2	FB	Positive regulator feedback pin. This pin senses a positive output voltage and is referenced to 1.276 V. When the voltage at this pin falls below 0.4 V, chip switching frequency reduces to 20% of the nominal frequency.
3	Test	These pins are connected to internal test logic and should either be left floating or tied to ground. Connection to a voltage between 2 V and 6 V shuts down the internal oscillator and leaves the power switch running.
4	SS	Synchronization and shutdown pin. This pin may be used to synchronize the part to nearly twice the base frequency. A TTL low will shut the part down and put it into low current mode. If synchronization is not used, this pin should be either tied high or left floating for normal operation.
5	V_{CC}	Input power supply pin. This pin supplies power to the part and should have a bypass capacitor connected to AGND.
6	AGND	Analog ground. This pin provides a clean ground for the controller circuitry and should not be in the path of large currents. The output voltage sensing resistors should be connected to this ground pin. This pin is connected to the IC substrate.
7	PGND	Power ground. This pin is the ground connection for the emitter of the power switching transistor. Connection to a good ground plane is essential.
8	V_{SW}	High current switch pin. This pin connects internally to the collector of the power switch. The open voltage across the power switch can be as high as 40 V. To minimize radiation, use a trace as short as practical.

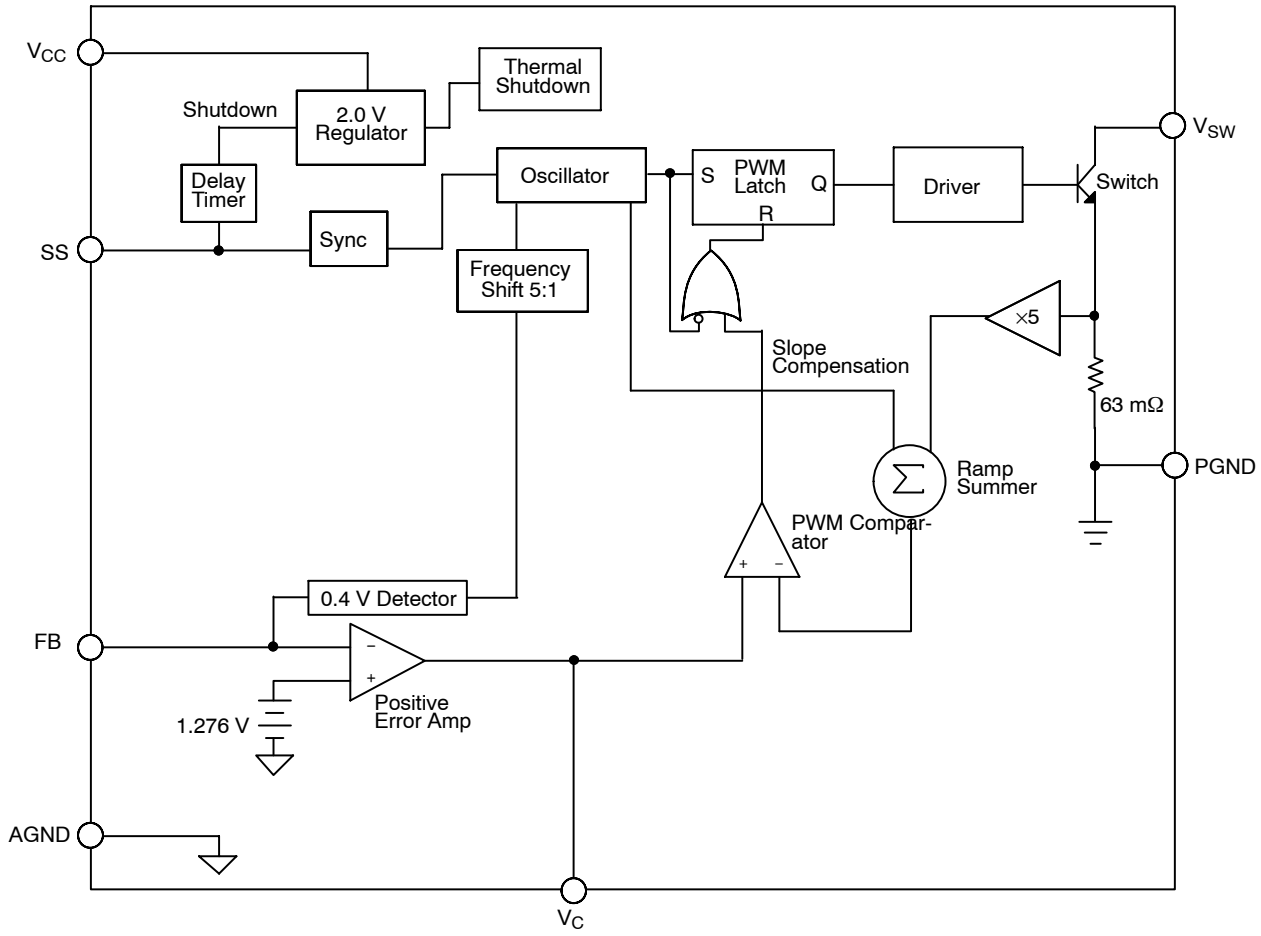


Figure 2. Block Diagram

TYPICAL PERFORMANCE CHARACTERISTICS

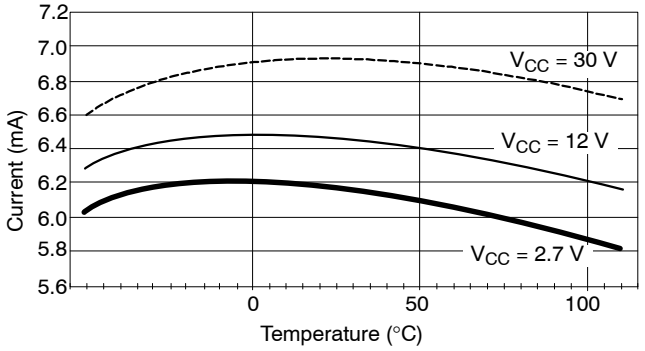


Figure 3. I_{CC} (No Switching) vs. Temperature

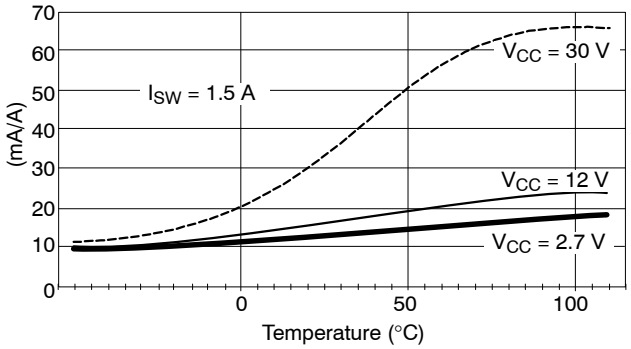


Figure 4. $\Delta I_{CC}/\ \Delta IV_{SW}$ vs. Temperature

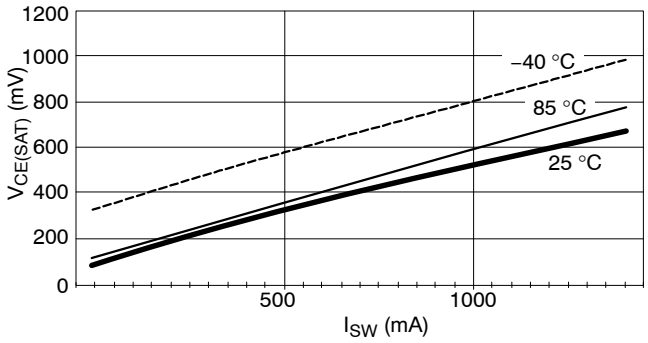


Figure 5. $V_{CE(SAT)}$ vs. I_{SW}

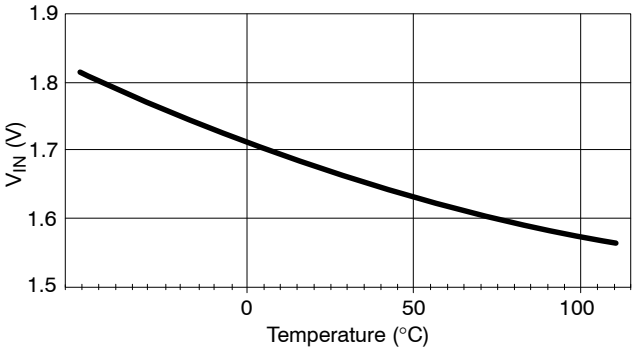


Figure 6. Minimum Input Voltage vs. Temperature

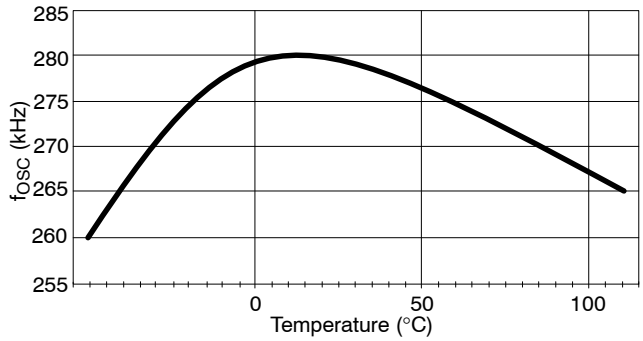


Figure 7. Switching Frequency vs. Temperature (NCV5171)

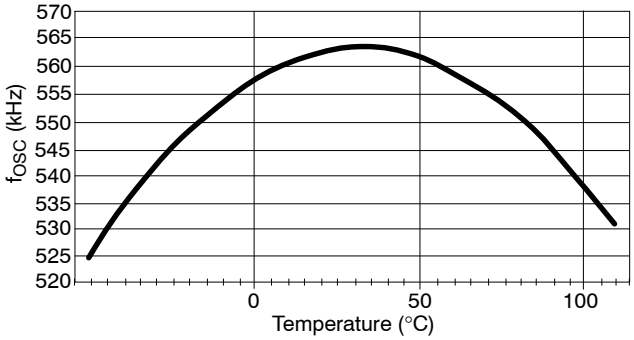


Figure 8. Switching Frequency vs. Temperature (NCV5173)

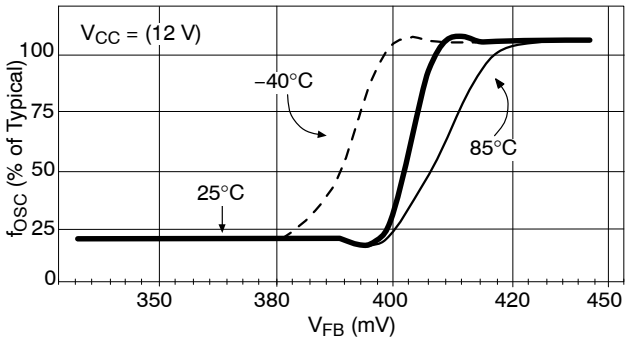


Figure 9. Switching Frequency vs. V_{FB}

TYPICAL PERFORMANCE CHARACTERISTICS

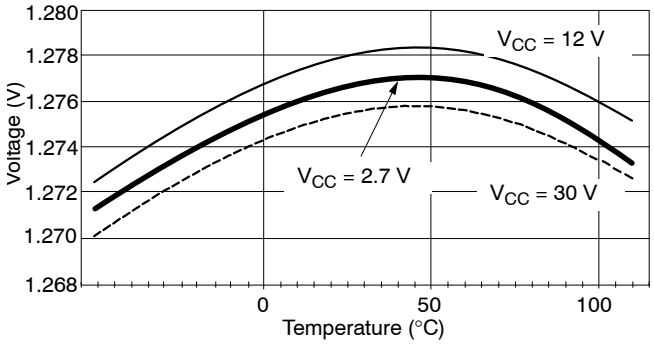


Figure 10. Reference Voltage vs. Temperature

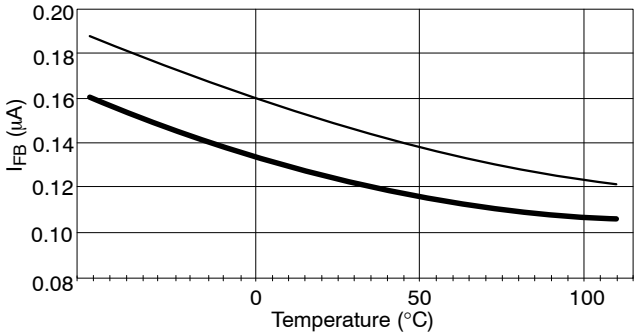


Figure 11. I_{FB} vs. Temperature

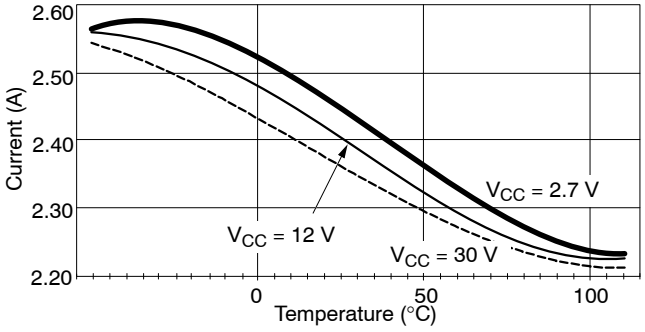


Figure 12. Current Limit vs. Temperature

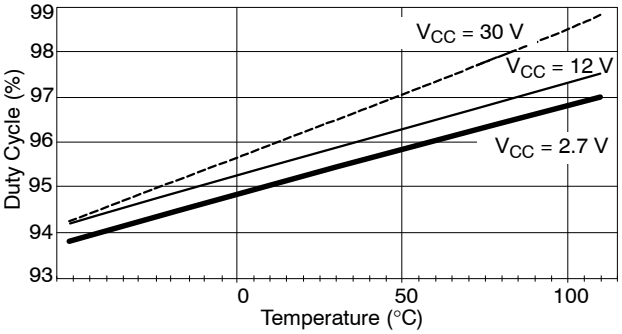


Figure 13. Maximum Duty Cycle vs. Temperature

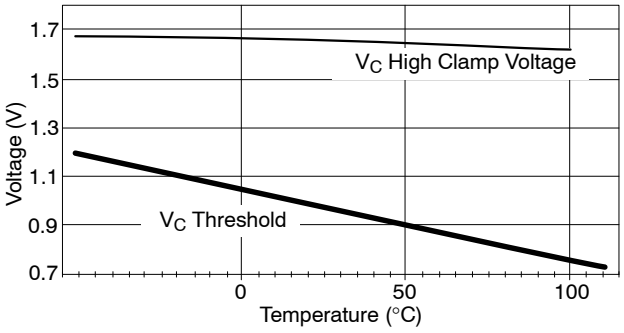


Figure 14. V_C Threshold and High Clamp Voltage vs. Temperature

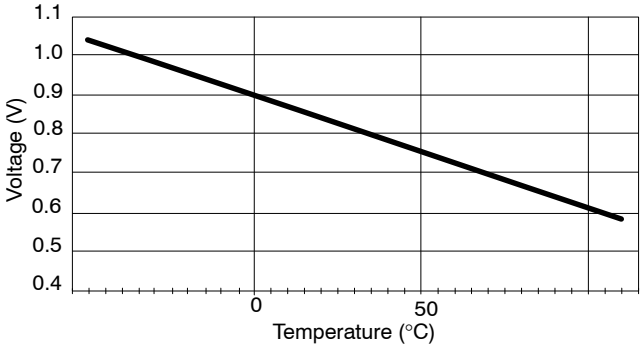


Figure 15. Shutdown Threshold vs. Temperature

TYPICAL PERFORMANCE CHARACTERISTICS

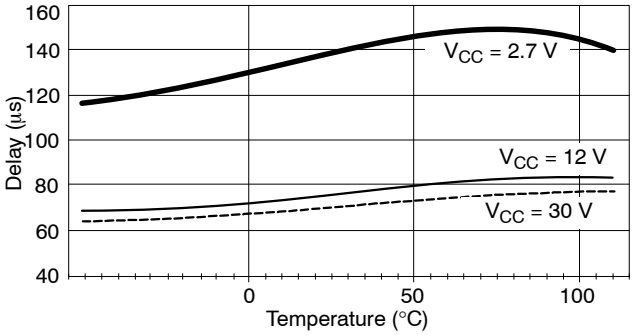


Figure 16. Shutdown Delay vs. Temperature

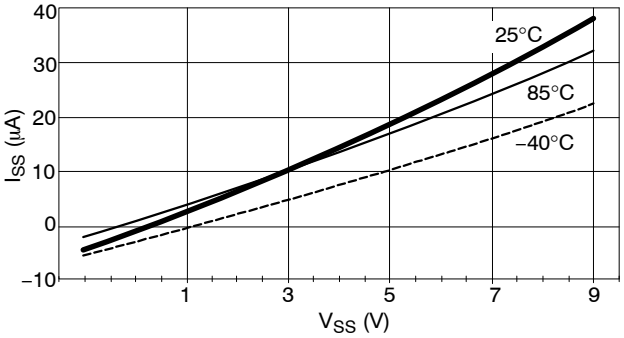


Figure 17. I_{SS} vs. V_{SS}

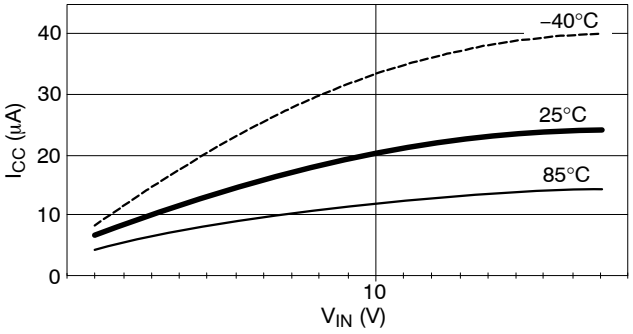


Figure 18. I_{CC} vs. V_{IN} During Shutdown

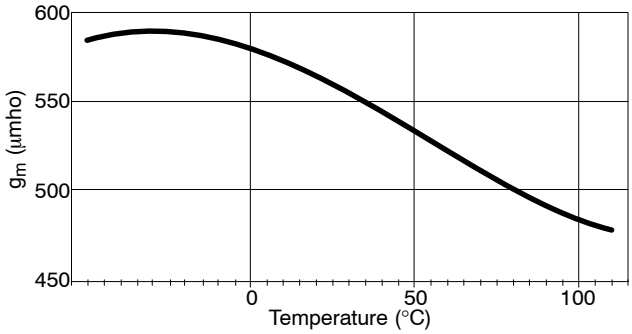


Figure 19. Error Amplifier Transconductance vs. Temperature

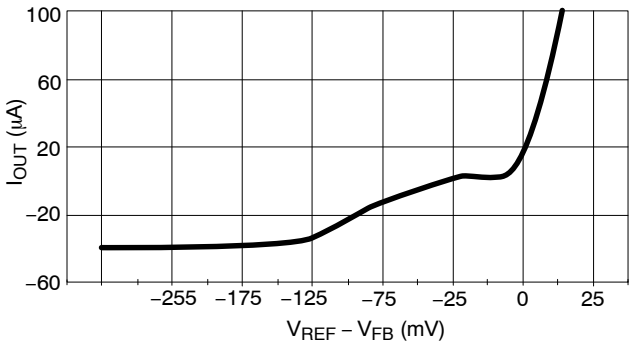


Figure 20. Error Amplifier I_{OUT} vs. V_{FB}

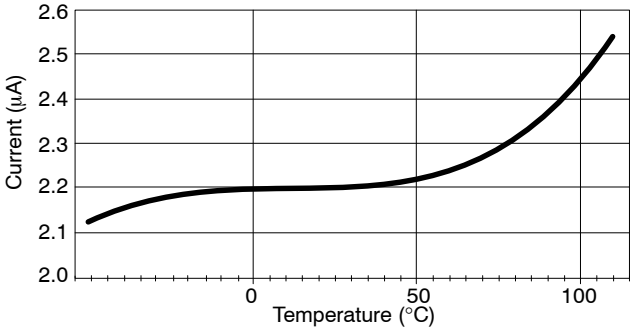


Figure 21. Switch Leakage vs. Temperature

アプリケーション情報

動作原理

電流モード制御

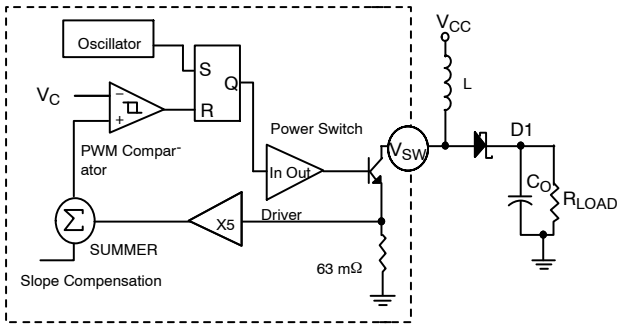


Figure 22. Current Mode Control Scheme

NCV5171/73昇圧レギュレータは、電源のスイッチ電流からPWMランプ信号を生成する電流モード制御方式を採用しています。ランプ信号をエラー・アンプの出力と比較し、電源スイッチのオン時間を制御します。発振器を固定周波数クロックとして使用し、一定の動作周波数を保証します。この結果実現される制御方式には、従来の電圧モード制御に勝るいくつかの利点があります。第1に、ランプ信号をインダクタから直接生成し、ライン電圧の変化に即座に応答します。これによって、電圧モード・コントローラで一般的に見られる、出力フィルタおよびエラー・アンプに起因する遅延がなくなります。2番目は、ピーク・スイッチング電流を単純にクランプすることで、パルスごとの電流制限から得られる特有の利点です。最後に、電流モードでは電圧ではなく出力電流を制御するので、フィルタはフィードバック・ループに単一の極のみを提供します。この結果、比較可能な電圧モード回路よりも補償が容易になり、ゲイン帯域幅が高くなります。

これらの明確なメリットが損なわれることはありませんが、電流モード制御自体には固有の問題、主にデューティ・サイクルが50%を上回る状況での低調波発振が存在します。NCV5171/73は、スロープ補償方式を採用し、発振器で発生する固定ランプを電流ランプに加えることでこの問題を解決します。電流モード制御の利点を犠牲にしないで、回路の安定性を改善するために、適切なスロープ・レートが実現します。

発振器とシャットダウン

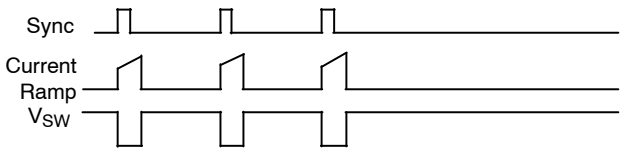


Figure 23. Timing Diagram of Sync and Shutdown

発振器は、18%の周波数精度を保証するように調整されています。Figure 22に示すとおり、発振器出力は、280 kHz (NCV5171)または560 kHz (NCV5173)の周波数でパワー・スイッチをオンにします。PWMコンパレータの出力によってパワー・スイッチはオフになります。

SSピンはTTL互換の同期入力であり、ベース発振器周波数の最大1.8倍の周波数で同期することができます。Figure 23に示すとおり、より高い周波数で同期するために、発振器出力がハイになる前に正の遷移を使用してパワー・スイッチをオンにし、この結果発振器がリセットされます。同期動作により、複数の電源が同一周波数で動作できるようになります。

SSピンをロジック・ローのレベルに維持すると、デバイスがシャットダウンされ、電源電流が減少します。

追加機能には、FBピンがスレッショルドをトリガするときに周波数を公称周波数の20%にシフトすることなどがあります。電源投入、過負荷、または短絡状態のとき、最小スイッチ・オン時間はPWMコンパレータの最小パルス幅によって制限されます。余分のスイッチ・オフ時間によって、最小デューティ・サイクルが減少し、外付け部品とデバイス自体を保護します。

また、前記のとおり、このブロックはスロープ補償のためのランプを生成し、レギュレータの安定性を改善します。

エラー・アンプ

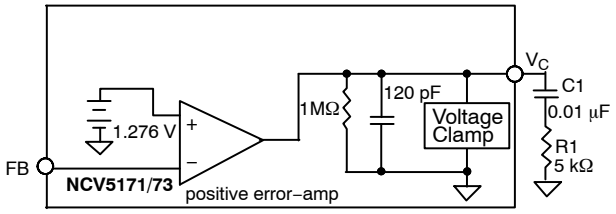


Figure 24. Error Amplifier Equivalent Circuit

FBピンは正のエラー・アンプの反転入力に直接接続されており、その非反転入力には1.276 Vのリファレンス電圧が印加されます。Figure 24に示すとおり、このアンプは約1 MΩの高出力インピーダンスを持つトランスコンダクタンス・アンプです。V_Cピンは、エラー・アンプの出力に接続されており、内部で0.5〜1.7 Vの範囲でクランプされます。V_Cピンでの標準的な接続として、抵抗とコンデンサをグランドに直列接続し、ループ補償のための極/ゼロを形成することがあります。

外付けシャントをV_Cピンとグランド間に接続して、クランプ電圧を下げることができます。結果的に、内部パワー・トランジスタの電流制限がその公称値より低減されます。

スイッチ・ドライバとパワー・スイッチ

スイッチ・ドライバはロジック部から制御信号を受け取り、出力パワー・スイッチを駆動します。スイッチはエミッタ抵抗(合計63 mΩ)を介してPGNDピンに接地されています。スイッチング・ノイズがアナログ・グランドから絶縁できるように、PGNDはIC基板に接続されていません。ピーク・スイッチング電流は内部回路によってクランプされます。クランプ電流は1.5 Aを上回ることが保証されており、スロープ補償が原因で、デューティ・サイクルとともに変化します。パワー・スイッチの最大耐圧は、(V_{SW}ピンに接続されている)コレクタの場所で40 Vです。スイッチの飽和電圧は標準で1 V未満であり、消費電力は最小化されています。

短絡状態

昇圧回路で短絡状態が生じると、インダクタ電流がスイッチング・サイクル期間全体で増加し、入力電源から過剰な電流が引き出されます。この制御デバイスには負荷電流を制限する手段がないため、外部電流制限回路(ヒューズやリレーなど)を実装して負荷、電源、およびデバイスを保護する必要があります。その他の構成では、デバイスに内蔵された周波数シフト機能により、チップおよび外付け部品の損傷を防止できます。この機能によって、最小デューティ・サイクルが小さくなり、スイッチが再度オンになる前に、トランスの2次側が過剰なエネルギーを吸収できます。

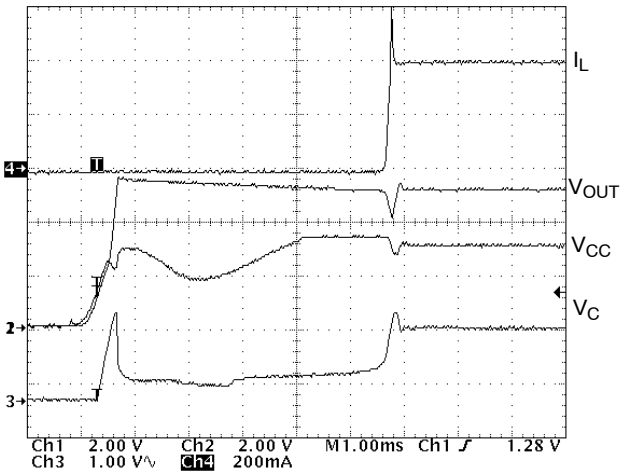


Figure 25. Startup Waveforms of Circuit Shown in the Application Diagram. Load = 400 mA.

V_{CC}ピンを電圧源に接続するか、SSピンをイネーブルにすることで、NCV5171/73を起動できます。Figure 25に示す起動波形は、このデータシートの2ページにあるApplication Diagramに示す昇圧コンバータで測定したものです。この波形は入力電圧がオンになった後に記録されたもので、電源投入遷移中の各種位相を示しています。電圧V_{CC}が最小電源電圧を下回ると、V_{SW}ピンはハイ・インピーダンスになります。このため、電流は直接、インダクタとダイオードを通じて入力電源から出力に流れます。V_{CC}が約1.5 Vに達すると、内部パワー・スイッチが短時間だけオンになります。これはNCV5171/73の通常動作の一部です。内部の電流の振幅が生じているのは、パワー・スイッチがオンになったことで説明できます。

V_Cピン電圧がスレッショルドを上回ると、内部パワー・スイッチが切り替わり始め、V_{SW}ピンで電圧パルスが生じます。FBピンで低い出力電圧を検出すると、内蔵の周波数シフト機能が、スイッチング周波数を公称値の何分の1かに下げ、最小デューティ・サイクルが小さくなります。それ以外の場合、最小デューティ・サイクルはスイッチの最小オン時間によって制限されます。このフェーズでのピーク電流は内部電流制限によってクランプされます。

FBピンの電圧が0.4 Vを上回ると、周波数は公称値まで高くなり、出力が安定化電圧に近づくにつれてピーク電流が減少し始めます。出力電圧のオーバシュートはアクティブな(電流)引き出しによって回避され、その手法により、過電圧状態が検出された場合はとエラー・アンプのシンク電流が増加します。過電圧状態は、Fbピン電圧がリファレンス電圧を50 mV以上上回る場合として定義されています。

部品の選択

周波数補償

周波数補償の目的は、システムの安定性を保証しながら、望ましい過渡応答およびDC安定化を達成することです。Figure 26に示すとおり、標準的な補償回路は2つの極と1つのゼロを持つ周波数応答を実現します。さらに、この周波数応答を、Figure 27に示すボード線図で図示します。

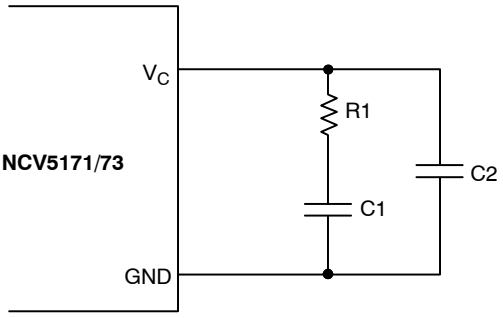


Figure 26. A Typical Compensation Network

Figure 27に示す高いDCゲインは、ラインおよび負荷が変動する状況でDC精度を達成するために望まれる特性です。トランスコンダクタンス・エラー・アンプのDCゲインは次式で計算することができます。

$$Gain_{DC} = G_M \times R_O$$

ここで、

G_M = エラー・アンプのトランスコンダクタンス

R_O = エラー・アンプの出力抵抗≈ 1 MΩ

低い周波数の極、f_{P1}は以下のように、エラー・アンプの出力抵抗とC1で求めることができます。

$$f_{P1} = \frac{1}{2\pi C1 R_O}$$

C1およびR1よって形成される第一のゼロは以下のとおりです。

$$f_{Z1} = \frac{1}{2\pi C1R1}$$

このゼロによって位相が進み、ループがクロスオーバ周波数で少なくとも45°の位相マージンを持つことが保証されます。したがって、このゼロは、以下の周波数で特定できる、電力段で形成される極の近くに配置する必要があります。

$$f_P = \frac{1}{2\pi C_O R_{LOAD}}$$

ここで、

C_O = エラー・アンプの等価出力キャパシタンス ≈120 pF;

R_{LOAD} = 負荷抵抗

高い周波数の極、f_{P2}は、出力フィルタのESRがゼロになる位置、またはスイッチング周波数の1/2である周波数の位置に配置できます。この周波数に極を配置するとスイッチング・ノイズが減少します。この極の周波数はC2およびR1の値によって決まります。

$$f_{P2} = \frac{1}{2\pi C2R1}$$

適切な位相マージンを保証する簡単な方法の1つは、ゲインが1になる(単一ゲイン)クロスオーバ点まで、周波数が10倍になるごとに−20 dBの傾斜を持つ周波数応答を設計することです。クロスオーバ周波数は、位相マージンが最大になるf_{Z1}とf_{P2}の中間点になるように選択する必要があります。

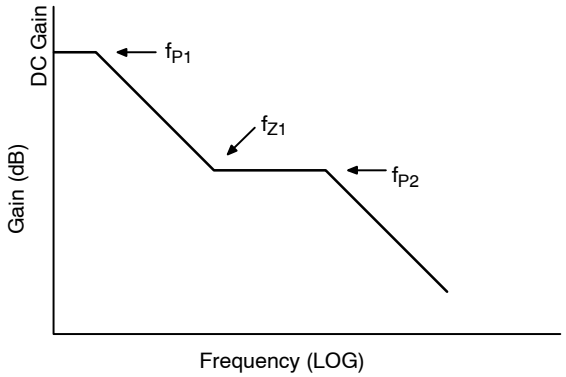


Figure 27. Bode Plot of the Compensation Network Shown in Figure 26

V_{SW}電圧制限

昇圧トポロジでは、V_{SW}ピンの最大電圧は、最大出力電圧と出力ダイオードの順方向電圧の和によって設定されます。ダイオードの標準的な順方向電圧は、ショットキ・ダイオードで0.5 V、超高速リカバリ・ダイオードで0.8 Vです。

$$V_{SW(MAX)} = V_{OUT(MAX)} + V_F$$

ここで、

V_F = 出力ダイオードの順方向電圧

フライバック・トポロジでは、ピークのV_{SW}電圧は次の式で決まります。

$$V_{SW(MAX)} = V_{CC(MAX)} + (V_{OUT} + V_F) \times N$$

ここで、

N＝トランス巻数比、1次巻線/2次巻線

パワー・スイッチがオフになった時点で、定常状態の電圧に電圧スパイクが加わっています。通常、この電圧スパイクはV_{SW}とPGNDピン間の浮遊容量を充電するトランスのリーク・インダクタンスによって発生します。V_{SW}ピンの電圧が最大定格を超えないように、ダイオードに対して直列の過渡電圧サプレッサを一次巻線に並列に接続します。スイッチ電圧をクランプする別の方法は、過渡電圧サプレッサをV_{SW}ピンとグランドの間に接続することです。

磁気部品の選択

磁気部品を選択するときは、ピーク電流、コアおよびフェライトの材質、出力電圧リップル、EMI、温度範囲、物理的な大きさ、および価格などの因子を考慮する必要があります。昇圧回路で、100%のエネルギー伝送効率を仮定すると、平均インダクタ電流は、出力電流と電圧ゲイン(V_{OUT}/V_{CC})の積で表されます。連続導通モードで、インダクタのリップル電流は次の式で決まります。

$$I_{RIPPLE} = \frac{V_{CC}(V_{OUT} - V_{CC})}{(f)(L)(V_{OUT})}$$

ここで、

f = 280 kHz (NCV5171)または560 kHz (NCV5173)。

ピーク・インダクタ電流は、平均電流に、リップル電流の半分を加えたものです。この電流が原因でインダクタの飽和が生じないようにする必要があります。また、上の式は、回路のリップル電流の許容差に基づいて、インダクタの値を選択するときに参照することもできます。リップル電流が小さい場合は、入力コンデンサが小さくなり、電流出力能力が大きくなるという利点があります。棒または樽に似た形状のコアは高い磁界を放射する傾向がありますが、比較的安価で小型です。トロイダルなど、その他の形状のコアでは、磁気ループが閉じているためEMIを防止できます。

入力コンデンサの選択

Figure 29に示すとおり昇圧回路では、インダクタが入力フィルタの一部になります。Figure 28に示すとおり、連続モードでは入力電流の波形は三角形で、大きくパルス化された電流は含まれていません。これによって、入力コンデンサの選択に課される条件が減ります。連続導通モードでのピーク−ピークのインダクタ・リップル電流は前のセクションで説明しました。Figure 28からわかるとおり、インダクタの電流リップルと入力コンデンサの等価直列抵抗(ESR)の積によって、V_{CC}のリップルが決まります。大部分のアプリケーションで、容量が10〜100 μF、ESRが0.3 Ω未満の入力コンデンサを使用すると、最大1.5 Aのフル・スイッチ電流まで十分に機能します。

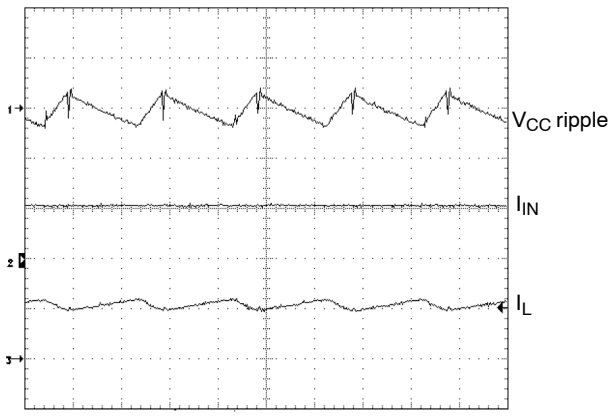


Figure 28. Boost Input Voltage and Current Ripple Waveforms

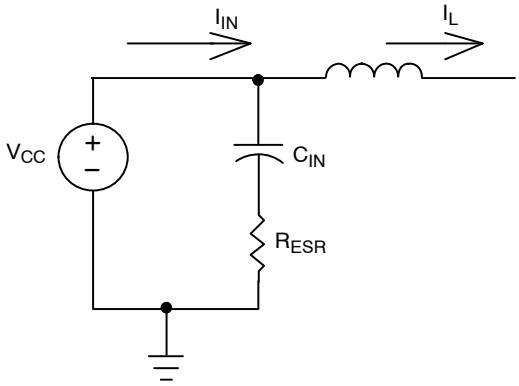


Figure 29. Boost Circuit Effective Input Filter

フライバック回路では状況が異なります。入力電流は不連続で、大きなパルス化電流が入力コンデンサに流れます。したがって、フライバック・レギュレータでは、エネルギーの保存およびフィルタリングという2つの条件がコンデンサに求められます。チップに対して安定した電源電圧を維持するには、20 μFを上回る低ESRの充電用コンデンサが必要です。インダクタによって生じるノイズを低減するには、V_{CC}とグランドの間で、チップのできるだけ近くに1.0 μFのセラミック・コンデンサを挿入します。

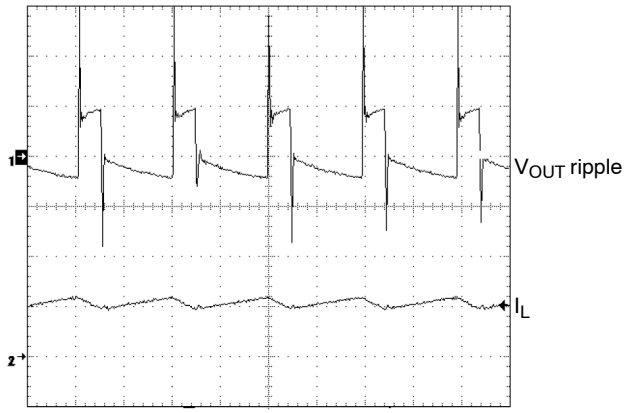


Figure 30. Typical Output Voltage Ripple

Figure 30に示す波形を調べると、出力電流リップルが2つの主なソース、つまりコンデンサのESRと出力コンデンサの充放電から生じることが分かります。昇圧回路ではパワー・スイッチがオフになると、I_Lが出力コンデンサ内に流れ、瞬間的な$\Delta V = I_{IN} \times ESR$が発生します。同時に、電流$I_L - I_{OUT}$がコンデンサを充電し、出力電圧を徐々に上昇させます。パワー・スイッチがオンになると、I_lがグランドにシャントされ、I_{OUT}により出力コンデンサが放電されます。I_Lのリップルが十分小さい場合、I_Lは一定値として扱うことができ、入力電流I_{IN}に等しくなります。

要約すると、出力電圧のピーク−ピーク・リップルは以下のように計算できます。

$$V_{OUT(RIPPLE)} = \frac{(I_{IN} - I_{OUT})(1 - D)}{(C_{OUT})(f)} + \frac{I_{OUT}D}{(C_{OUT})(f)} + I_{IN} \times ESR$$

以下のように、式は、V_{CC}、V_{OUT}およびI_{OUT}を使用して、設計に便利な方法で表現できます。

$$V_{OUT(RIPPLE)} = \frac{I_{OUT}(V_{OUT} - V_{CC})}{(C_{OUT})(f)} \times \frac{1}{(C_{OUT})(f)} + \frac{(I_{OUT})(V_{OUT})(ESR)}{V_{CC}}$$

コンデンサのRMSリップル電流は次の式で決まります。

$$I_{RIPPLE} = \sqrt{(I_{IN} - I_{OUT})^2(1 - D) + (I_{OUT})^2(D)} = I_{OUT}\sqrt{\frac{V_{OUT} - V_{CC}}{V_{CC}}}$$

上の式は昇圧回路にのみ適用できますが、フライバック回路についても同様の式を導くことができます。

電流制限の低減

一部のアプリケーションでは、設計者がスイッチ電流の制限値として1.5 Aを下回る値を希望することがあります。外付けシャントをV_Cピンとグランド間に接続してクランプ電圧を低減することができます。結果的に、内部パワー・トランジスタ電流の電流制限がその公称値から低減されます。

V_Cピンの電圧を次の式で評価できます。

$$V_C = I_{SW}R_EA_V$$

ここで、

R_E = 0.063 Ω、内部エミッタ抵抗値

A_V = 5 V/V、電流センス・アンプのゲイン

R_EおよびA_Vはエンド・ユーザ(設計者)が変更できないので、スイッチ電流を1.5 A未満に制限するために使用できる唯一の方法は、より低い電圧でV_Cピンをクランプすることです。最大スイッチ電流または最大インダクタ電流を上の式に代入すると、望ましいクランプ電圧が得られます。

Figure 31に示すとおり、簡単なダイオード・クランプを使用して、V_C電圧を、抵抗R3での電圧にダイオードの電圧降下を加えた値にクランプすることができます。残念ながら、V_{IN}の安定化の精度が不十分な場合、一般的にこのような簡単な回路は使用できません。

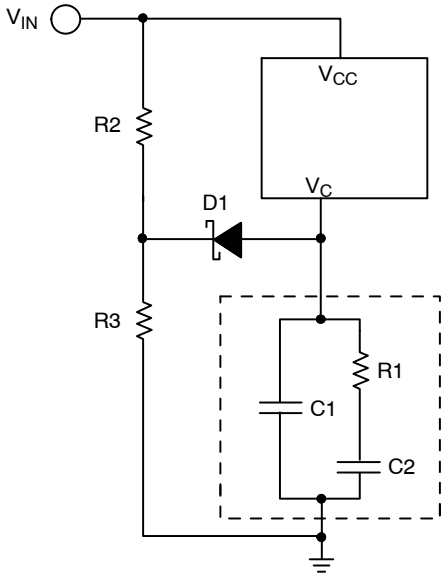


Figure 31. Current Limiting using a Diode Clamp

電流制限の問題に対する別の解決策は、センス抵抗を使用してスイッチを流れる電流を外部で測定することです。そのような回路をFigure 32に示します。

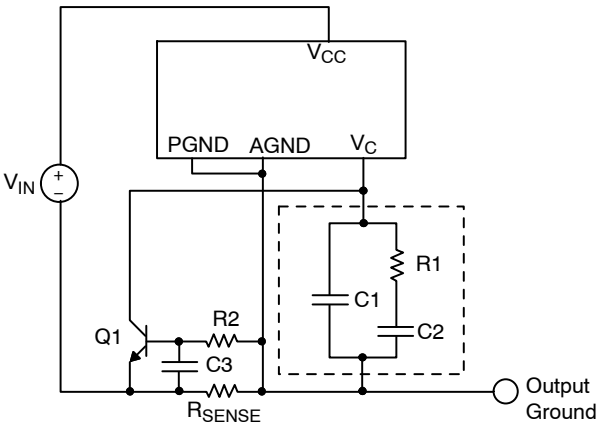


Figure 32. Current Limiting using a Current Sense Resistor

スイッチ電流は次の値に制限されます。

$$I_{SWITCH(PEAK)} = \frac{V_{BE(Q1)}}{R_{SENSE}}$$

ここで、

$V_{BE(Q1)}$ = Q1のベース−エミッタ電圧降下で0、標準.65 V

改善された回路では、正常に動作させるうえで安定化電圧は不要です。回路の全体的な効率の観点で利便性は向上しますが、残念ながら代償も必要です。設計者は、入力グランドと出力グランドが共通でないことに注意する必要があります。また、電流センス抵抗、R_{SENSE}を追加することで、かなり大きな電力損失が生じ、それに伴ってデューティ・サイクルも増加します。抵抗R2とコンデンサC3がローパス・フィルタを形成してノイズを除去します。

低調波発振

低調波発振(SHM)は電流モード制御システムで見られる問題で、デューティ・サイクルが50%を超える場合に不安定になります。SHMは、連続インダクタ電流が流れるスイッチング・レギュレータでのみ発生します。この不安定性はコンバータにとって有害ではなく、通常、出力電圧の安定化にも影響を及ぼしません。SHMによって、コンバータからの放射EMノイズが増加し、一定の状況下でインダクタが高周波の可聴ノイズを放射する可能性があります。

SHMは容易に改善できる問題です。インダクタ電流の立ち上がりスロープは、内部の「スロープ補償」で補完され、デューティ・サイクルの不安定性が次のスイッチング・サイクルに伝わるのを防止します。NCV5171/73では、スイッチオンの時間全体に対して、標準で180 mA/μの大きさのスロープ補償が追加されています。

一部のケースでは、オンボードのスロープ補償が存在していても、SHMが問題となることがあります。この問題への簡単な対処法は、スロープ補償を大きくして、望ましくない発振を防ぐことです。そのケースでは、Figure 33に示す外部回路を追加して、使用するスロープ補償の量を大きくすることができます。この回路では必要とされるのは2、3点の部品のみであり、内蔵の補償回路に「追加」されます。

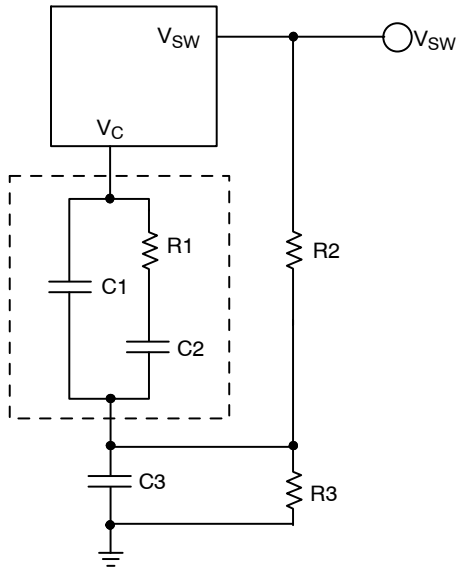


Figure 33. Technique for Increasing Slope Compensation

破線の長方形で囲まれた部分は、エラー・アンプの帯域幅を制限する通常の補償回路です。抵抗R2およびR3は、V_{SW}ピンからの電圧分割回路を形成します。通常動作では、V_{SW}は方形波に似ていますが、コンバータのトポロジによって異なります。昇圧ト

ポロジおよびフライバック・トポロジにおけるV_{SW}を計算するための式はセクション「V_{SW}電圧制限」に記載しています。スイッチがオフのとき、V_{SW}の電圧でコンデンサC3が充電され、V_Cピンでの電圧は上方に変化します。スイッチがオンになると、C3がR3経由で放電され、V_Cピンで負のスロープが生成されます。この負のスロープによって、スロープ補償が実現されます。

この回路によって追加されるスロープ補償の量は次の式のようになります。

$$\frac{\Delta I}{\Delta T} = V_{SW}\left(\frac{R_3}{R_2+R_3}\right)\left(1 - e^{\frac{-(1-D)}{R_3C_3f_{SW}}}\right)\left(\frac{f_{SW}}{(1-D)R_EA_V}\right)$$

ここで、

$\Delta I/\Delta T$ = 追加されるスロープ補償の量(A/s)

V_{SW} = トランジスタがオフになるときのスイッチ・ノードの電圧

(V)

f_{SW} = スイッチング周波数、標準で280 kHz (NCV5171)または560 kHz (NCV5173)

D = デューティ・サイクル

R_E = 0.063 Ω、内部エミッタ抵抗の値

A_V = 5 V/V、電流センス・アンプのゲイン

スロープ補償回路に対する適切な値を選択する際に、設計者はまず利便性の高いコンデンサを選択し、次にR2およびR3の値を選択し、追加されるスロープ補償の量を100 mA/μsにすることをお勧めします。その後、必要に応じてR2を増減する可能性があります。当然、直列接続するR2とR3の組み合わせは、V_{SW}から過剰な電流を引き込まないように十分に大きくする必要があります。また、制御ループの安定性を確実に改善するために、追加コンポーネントにより形成される時定数を次の式のように選択する必要があります。

$$R_3C_3 < \frac{1-D}{f_{SW}}$$

最後に、スロープ補償の追加に伴い、デューティ・サイクルの安定と過渡応答の間にトレードオフの関係があると説明するだけの価値があります。エラー・アンプの適切な動作を妨げる外部回路が原因で、スロープ補償を多く追加するほど、過渡応答は遅くなります。

ソフトスタート

外部回路を追加すると、NCV5171/73部品ファミリにソフトスタート機能を追加できます。ソフトスタート回路はV_Cピンが起動時に急速にハイになることを防止し、インダクタ電流が急なスロープで増加することを防止します。

Figure 34に示すこの回路では、必要とされる部品の数が最小で、SSピンを使用してコンバータを再起動するときにはいつでも、ソフトスタート回路が起動できるようにします。

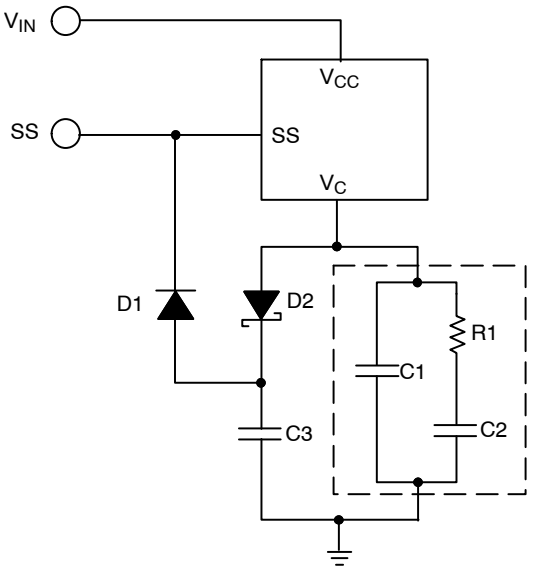


Figure 34. Soft Start

抵抗R1とコンデンサC1およびC2が補償回路を形成します。ターンオン時に、V_Cピンでの電圧が上昇し始め、ショットキ・ダイオードD2を通じてコンデンサC3を充電し、V_Cピンの電圧をクランプして、V_Cが、標準で1.05 VのV_Cスレッショルドに達すると、スイッチングが開始されるようにします(温度変化の詳細についてはグラフを参照)。

$$V_C = V_{F(D2)} + V_{C3}$$

したがって、C3は、V_Cピンの電圧を制限することで、回路の起動を遅くします。C3の容量が大きくなるにつれて、ソフトスタートの時間は長くなります。

SSがローの場合は、ダイオードD1を通じてC3が放電されます。このデバイスでシャットダウン機能を使用しない場合は、D1のカソードをV_{IN}に接続する必要があります。

接合部温度の計算

NCV5171/73の安全動作を保証するために、設計者はオンチップの消費電力を計算し、予期される接合部温度を求める必要があります。接合部温度が180°C ±30°Cを上回ると、内部の熱保護回路によって、デバイスはオフになります。ただし、そのような高温で反復動作すると、動作寿命は確実に縮まります。

接合部温度の計算は不正確ですが簡単な作業です。最初に、電力損失を定量化する必要があります。NCV5171/73には以下の3つの主な電力損失源があります。

- 内部制御回路のバイアス、P_{BIAS}
- スイッチ・ドライバ、P_{DRIVER}
- スイッチ飽和、P_{SAT}

発振器やリニア・レギュレータのような内部制御回路は、スイッチがオフのときでも少量の電力を必

要とします。この回路に起因する標準動作電流I_Qが5.5 mAであることが、このデータシートの仕様セクションからわかります。動作電流対温度のグラフから追加のガイダンスが得られます。このグラフは、IQが入力電圧V_{IN}、および温度に大きく左右されることを示しています。したがって、次式のようになります。

$$P_{BIAS} = V_{IN}I_Q$$

オンボード・スイッチはNPNトランジスタであるため、ベース・ドライブ電流も考慮に入れる必要があります。制御回路の電流に加えて、この電流がV_{IN}ピンから引き出されます。ベース駆動電流は$\Delta I_{CC}/\Delta I_{SW}$、またはスイッチのトランスコンダクタンスとして仕様に記載されています。前述のように、設計者はグラフで追加のガイダンスを見つけることができます。その情報を使用して、設計者は次の式のように計算できます。

$$P_{DRIVER} = V_{IN}I_{SW} \times \frac{I_{CC}}{\Delta I_{SW}} \times D$$

ここで、

I_{SW} = スイッチを通過する電流

D = デューティ・サイクル、またはスイッチ・オン時間の割合

I_{SW}およびDはコンバータのタイプによって異なります。 昇圧コンバータでは、

$$I_{SW(AVG)} \cong I_{L(AVG)} \times D \times \frac{1}{Efficiency}$$

$$D \cong \frac{V_{OUT} - V_{IN}}{V_{OUT}}$$

フライバック・コンバータでは、

$$I_{SW(AVG)} \cong \frac{V_{OUT}I_{LOAD}}{V_{IN}} \times \frac{1}{Efficiency} \times \frac{1}{D}$$

$$D \cong \frac{V_{OUT}}{V_{OUT} + \frac{N_S}{N_P}V_{IN}}$$

スイッチ飽和電圧、$V_{(CE)SAT}$は、オンチップの電力損失に関する主要な源として最後のものです。$V_{(CE)SAT}$は、内部NPNトランジスタがベース駆動電流により飽和領域で駆動されるときのコレクタ−エミッタ電圧です。$V_{(CE)SAT}$に関する値は、「スイッチ飽和電圧」として仕様またはグラフから得られます。したがって、

$$P_{SAT} \cong V_{(CE)SAT}I_{SW} \times D$$

最後に、オンチップの合計電力損失は以下のようになります。

$$P_D = P_{BIAS} + P_{DRIVER} + P_{SAT}$$

半導体デバイスでの消費電力によって、チップ表面の接合部で熱が発生します。この熱はデバイス・パッケージの表面に伝達されますが、パッケージのモールド化合物の抵抗特性が原因で熱勾配が生じます。熱勾配の大きさはメーカのデータ・シートに、θ_{JA}または接合部−周囲熱抵抗として掲載されています。θ_{JA}、デバイスの表面近くの空気の温度、およびオンチップの消費電力がわかると、オンチップの接合部温度を計算できます。

$$T_J = T_A + (P_D\theta_{JA})$$

ここで、

T_J = デバイスまたはFETの接合部温度(°C)

T_A = 周囲温度(°C)

P_D = 該当のデバイスの消費電力(W)

θ_{JA} = 接合部−周囲熱抵抗(°C/W)

NCV5171/73では、θ_{JA} = 165°C/W

設計者はT_Jを計算すると、NCV5171/73がアプリケーションで使用可能かどうかという問題を解決できます。T_Jが、絶対最大許容接合部温度である150°Cを上回る場合、NCV5171/73はそのアプリケーションに適していません。

T_Jが150°Cに近い場合、設計者は接合部温度を下げる実現可能な方法を考慮する必要があります。別のコンバータ・トポロジを選択してスイッチ電流を小さくすることも考えられます。チップ表面に沿った空気の流れを増やすと、T_Aが下がる可能性も考えられます。

電流レイアウトのガイドライン

どのようなスイッチング電源でも、正しく動作させるうえで回路レイアウトは非常に重要です。高速でスイッチングする電流とトレースのインダクタンスを組み合わせると、問題を引き起こす可能性のある電圧過渡が生じます。このため、レイアウトに関しては以下のガイドラインに従う必要があります。

1. 昇圧回路では、ダイオード、出力コンデンサ、およびオンチップ・パワー・トランジスタから成るループ内で大きなAC電流が循環します。関係のあるトレースおよびリードの長さはできるだけ短くしておく必要があります。フライバック回路では、AC大電流ループがトランスの両側に存在します。1次側では、ループは入力コンデンサ、トランス、およびオンチップ・パワー・トランジスタから成り、2次側では、トランス、整流ダイオード、および出力コンデンサが別のループを形成します。昇圧回路の場合と全く同じように、AC大電流を含むすべてのトレースおよびリードを短くしておく必要があります。
2. 小電流の信号グランドを電源グランドから分離してください。最善の結果を得るためには、一点接地法またはグランド・プレーン構造を使用してください。
3. 電圧フィードバック抵抗をデバイスのできるだけ近くに配置して、敏感なフィードバック配線を短くしておいてください。フィードバック抵抗を小電流のアナログ・グランドに接続してください。

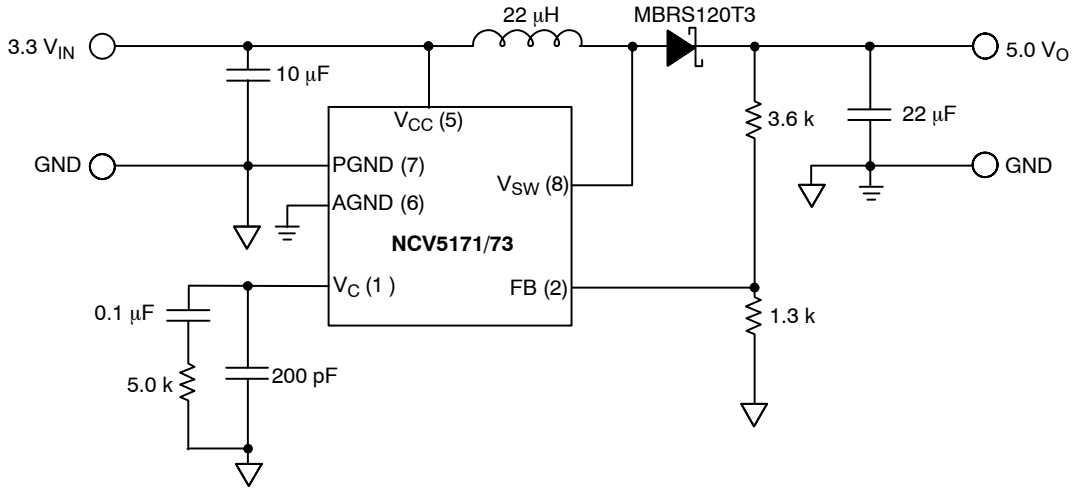


Figure 35. Additional Application Diagram, 3.3 V Input, 5.0 V/400 mA Output Boost Converter

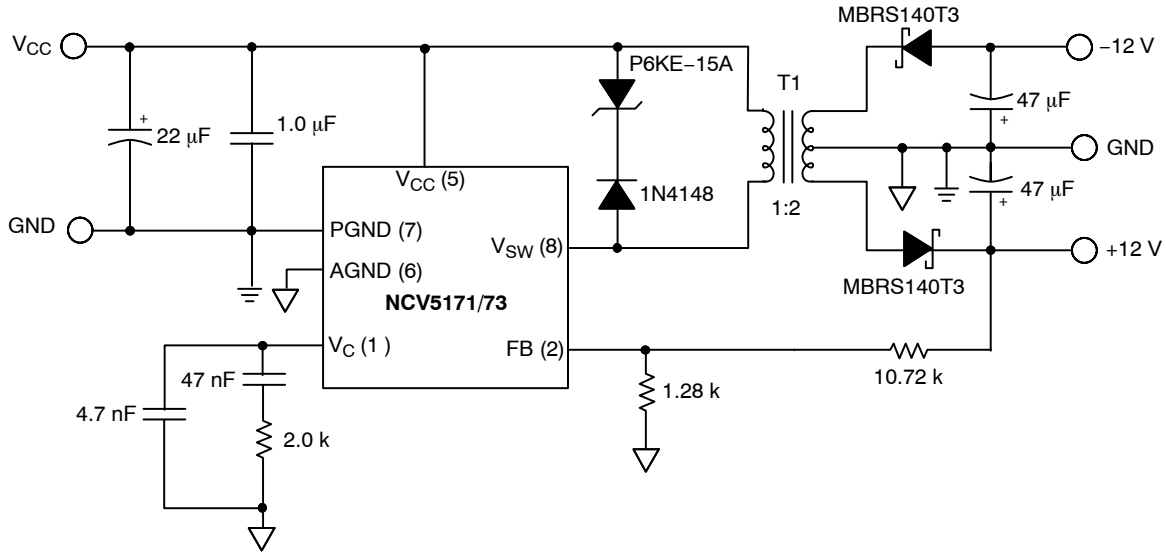


Figure 36. Additional Application Diagram, 2.7 to 13 V Input, ±12 V/ 200 mA Output Flyback Converter

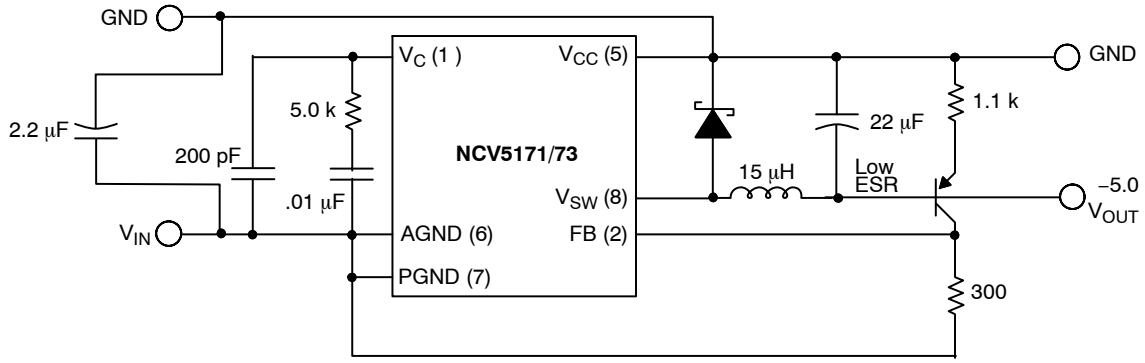


Figure 37. Additional Application Diagram, −9.0 V to −28 V Input, −5.0 V/700 mA Output Inverted Buck Converter

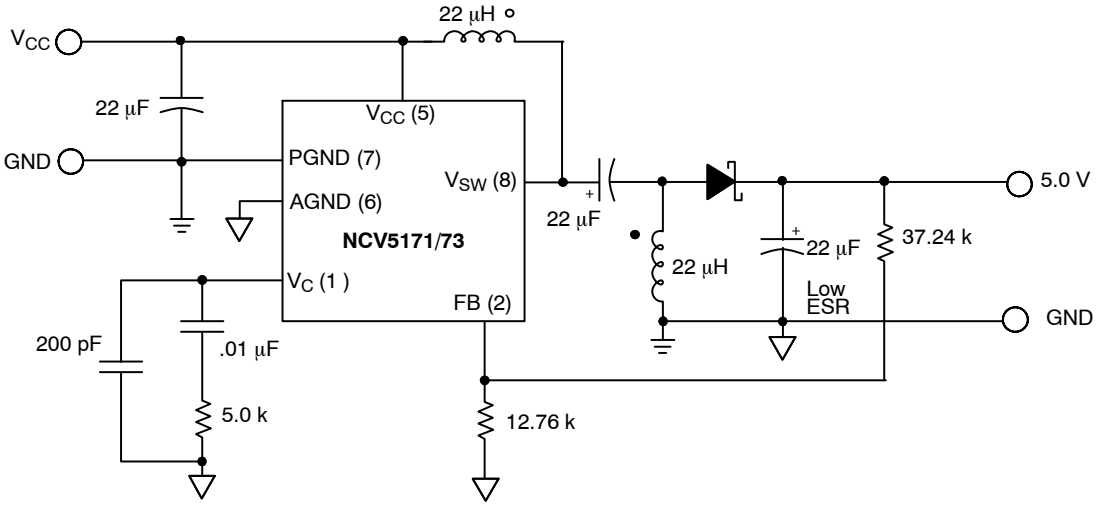


Figure 38. Additional Application Diagram, 2.7 V to 28 V Input, 5.0 V Output SEPIC Converter

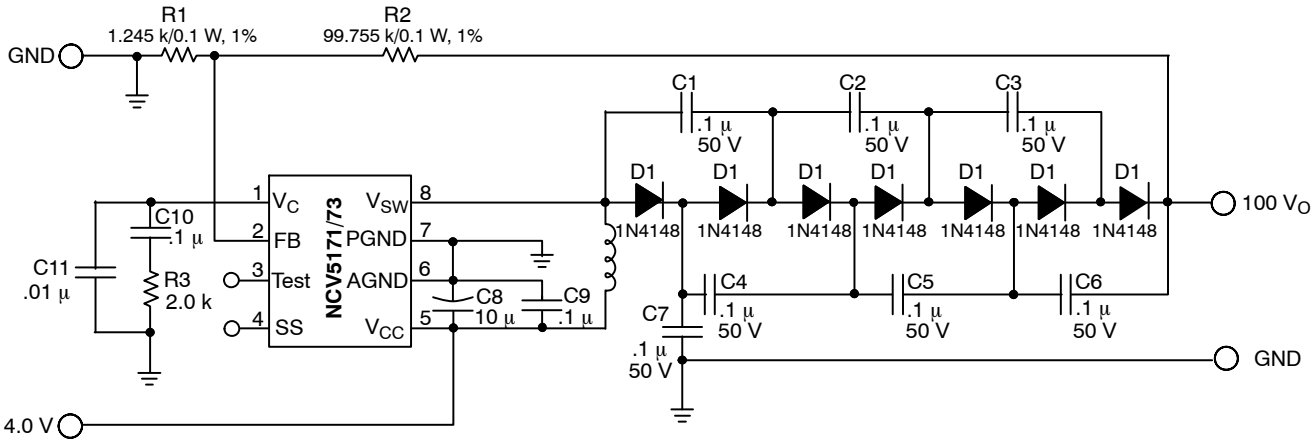


Figure 39. Additional Application Diagram, 4.0 V Input, 100 V/10 mA Output Boost Converter with Output Voltage Multiplier

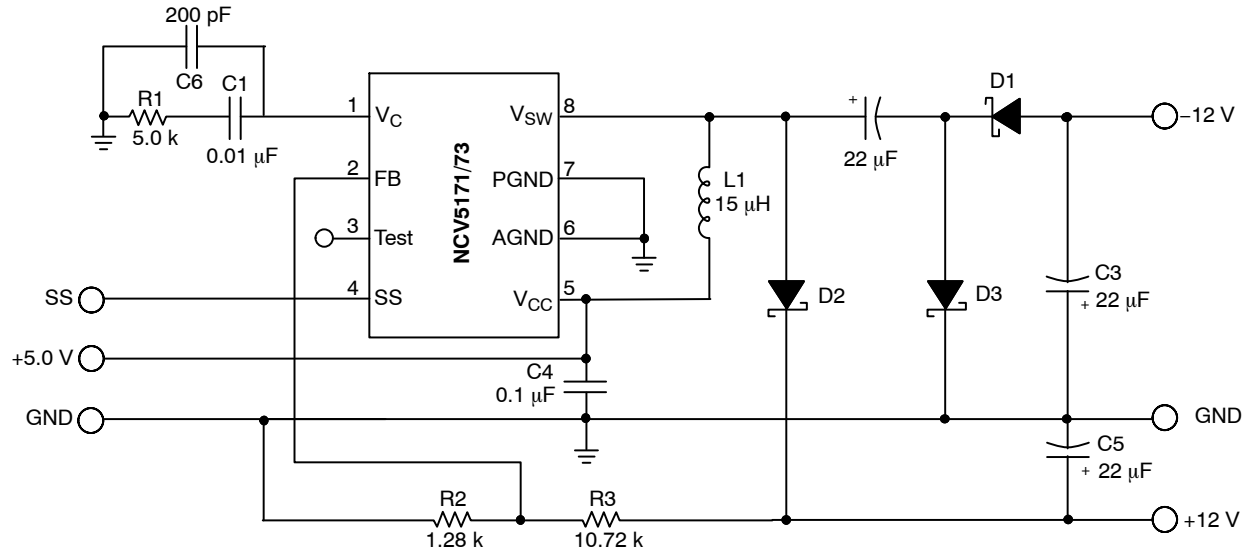


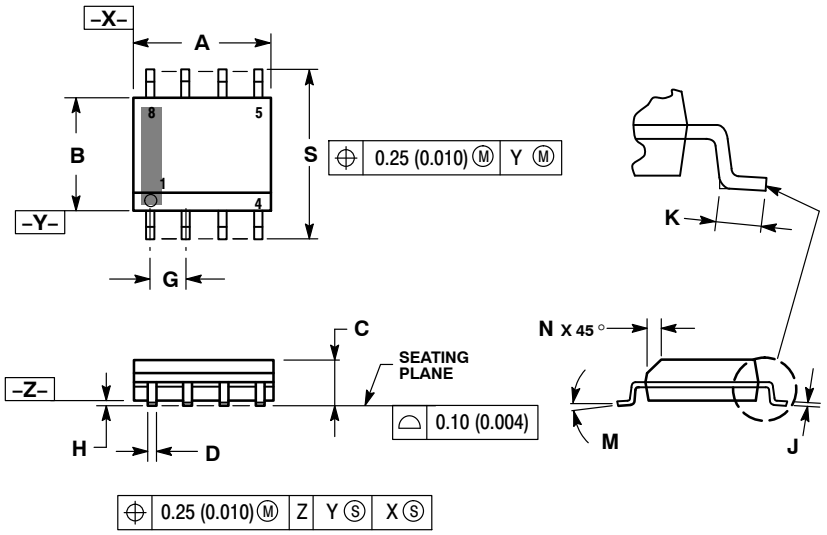
Figure 40. Additional Application Diagram, 5.0 V Input, ±12 V Output Dual Boost Converter

MECHANICAL CASE OUTLINE
PACKAGE DIMENSIONS

SCALE 1:1

SOIC−8 NB
CASE 751−07
ISSUE AK

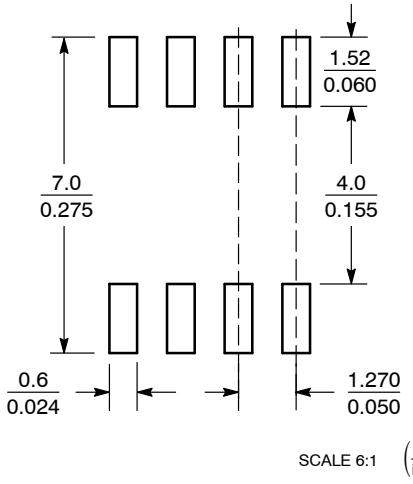
DATE 16 FEB 2011



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.127 (0.005) TOTAL IN EXCESS OF THE D DIMENSION AT MAXIMUM MATERIAL CONDITION.
6. 751−01 THRU 751−06 ARE OBSOLETE. NEW STANDARD IS 751−07.

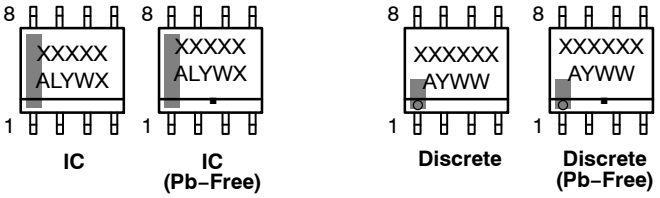
	MILLIMETERS		INCHES	
DIM	MIN	MAX	MIN	MAX
A	4.80	5.00	0.189	0.197
B	3.80	4.00	0.150	0.157
C	1.35	1.75	0.053	0.069
D	0.33	0.51	0.013	0.020
G	1.27 BSC		0.050 BSC	
H	0.10	0.25	0.004	0.010
J	0.19	0.25	0.007	0.010
K	0.40	1.27	0.016	0.050
M	0°	8°	0°	8°
N	0.25	0.50	0.010	0.020
S	5.80	6.20	0.228	0.244

SOLDERING FOOTPRINT*



*For additional information on our Pb−Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

GENERIC MARKING DIAGRAM*



XXXXX = Specific Device Code
A = Assembly Location
L = Wafer Lot
Y = Year
W = Work Week
▪ = Pb−Free Package

XXXXXX = Specific Device Code
A = Assembly Location
Y = Year
WW = Work Week
▪ = Pb−Free Package

*This information is generic. Please refer to device data sheet for actual part marking. Pb−Free indicator, "G" or microdot "▪", may or may not be present. Some products may not follow the Generic Marking.

STYLES ON PAGE 2

DOCUMENT NUMBER:	**98ASB42564B**	Electronic versions are uncontrolled except when accessed directly from the Document Repository. Printed versions are uncontrolled except when stamped "CONTROLLED COPY" in red.	
DESCRIPTION:	**SOIC−8 NB**		**PAGE 1 OF 2**

onsemi and ONSEMI are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

SOIC−8 NB
CASE 751−07
ISSUE AK

DATE 16 FEB 2011

STYLE 1:
PIN 1. EMITTER
2. COLLECTOR
3. COLLECTOR
4. EMITTER
5. EMITTER
6. BASE
7. BASE
8. EMITTER

STYLE 2:
PIN 1. COLLECTOR, DIE, #1
2. COLLECTOR, #1
3. COLLECTOR, #2
4. COLLECTOR, #2
5. BASE, #2
6. EMITTER, #2
7. BASE, #1
8. EMITTER, #1

STYLE 3:
PIN 1. DRAIN, DIE #1
2. DRAIN, #1
3. DRAIN, #2
4. DRAIN, #2
5. GATE, #2
6. SOURCE, #2
7. GATE, #1
8. SOURCE, #1

STYLE 4:
PIN 1. ANODE
2. ANODE
3. ANODE
4. ANODE
5. ANODE
6. ANODE
7. ANODE
8. COMMON CATHODE

STYLE 5:
PIN 1. DRAIN
2. DRAIN
3. DRAIN
4. DRAIN
5. GATE
6. GATE
7. SOURCE
8. SOURCE

STYLE 6:
PIN 1. SOURCE
2. DRAIN
3. DRAIN
4. SOURCE
5. SOURCE
6. GATE
7. GATE
8. SOURCE

STYLE 7:
PIN 1. INPUT
2. EXTERNAL BYPASS
3. THIRD STAGE SOURCE
4. GROUND
5. DRAIN
6. GATE 3
7. SECOND STAGE Vd
8. FIRST STAGE Vd

STYLE 8:
PIN 1. COLLECTOR, DIE #1
2. BASE, #1
3. BASE, #2
4. COLLECTOR, #2
5. COLLECTOR, #2
6. EMITTER, #2
7. EMITTER, #1
8. COLLECTOR, #1

STYLE 9:
PIN 1. EMITTER, COMMON
2. COLLECTOR, DIE #1
3. COLLECTOR, DIE #2
4. EMITTER, COMMON
5. EMITTER, COMMON
6. BASE, DIE #2
7. BASE, DIE #1
8. EMITTER, COMMON

STYLE 10:
PIN 1. GROUND
2. BIAS 1
3. OUTPUT
4. GROUND
5. GROUND
6. BIAS 2
7. INPUT
8. GROUND

STYLE 11:
PIN 1. SOURCE 1
2. GATE 1
3. SOURCE 2
4. GATE 2
5. DRAIN 2
6. DRAIN 2
7. DRAIN 1
8. DRAIN 1

STYLE 12:
PIN 1. SOURCE
2. SOURCE
3. SOURCE
4. GATE
5. DRAIN
6. DRAIN
7. DRAIN
8. DRAIN

STYLE 13:
PIN 1. N.C.
2. SOURCE
3. SOURCE
4. GATE
5. DRAIN
6. DRAIN
7. DRAIN
8. DRAIN

STYLE 14:
PIN 1. N−SOURCE
2. N−GATE
3. P−SOURCE
4. P−GATE
5. P−DRAIN
6. P−DRAIN
7. N−DRAIN
8. N−DRAIN

STYLE 15:
PIN 1. ANODE 1
2. ANODE 1
3. ANODE 1
4. ANODE 1
5. CATHODE, COMMON
6. CATHODE, COMMON
7. CATHODE, COMMON
8. CATHODE, COMMON

STYLE 16:
PIN 1. EMITTER, DIE #1
2. BASE, DIE #1
3. EMITTER, DIE #2
4. BASE, DIE #2
5. COLLECTOR, DIE #2
6. COLLECTOR, DIE #2
7. COLLECTOR, DIE #1
8. COLLECTOR, DIE #1

STYLE 17:
PIN 1. VCC
2. V2OUT
3. V1OUT
4. TXE
5. RXE
6. VEE
7. GND
8. ACC

STYLE 18:
PIN 1. ANODE
2. ANODE
3. SOURCE
4. GATE
5. DRAIN
6. DRAIN
7. CATHODE
8. CATHODE

STYLE 19:
PIN 1. SOURCE 1
2. GATE 1
3. SOURCE 2
4. GATE 2
5. DRAIN 2
6. MIRROR 2
7. DRAIN 1
8. MIRROR 1

STYLE 20:
PIN 1. SOURCE (N)
2. GATE (N)
3. SOURCE (P)
4. GATE (P)
5. DRAIN
6. DRAIN
7. DRAIN
8. DRAIN

STYLE 21:
PIN 1. CATHODE 1
2. CATHODE 2
3. CATHODE 3
4. CATHODE 4
5. CATHODE 5
6. COMMON ANODE
7. COMMON ANODE
8. CATHODE 6

STYLE 22:
PIN 1. I/O LINE 1
2. COMMON CATHODE/VCC
3. COMMON CATHODE/VCC
4. I/O LINE 3
5. COMMON ANODE/GND
6. I/O LINE 4
7. I/O LINE 5
8. COMMON ANODE/GND

STYLE 23:
PIN 1. LINE 1 IN
2. COMMON ANODE/GND
3. COMMON ANODE/GND
4. LINE 2 IN
5. LINE 2 OUT
6. COMMON ANODE/GND
7. COMMON ANODE/GND
8. LINE 1 OUT

STYLE 24:
PIN 1. BASE
2. EMITTER
3. COLLECTOR/ANODE
4. COLLECTOR/ANODE
5. CATHODE
6. CATHODE
7. COLLECTOR/ANODE
8. COLLECTOR/ANODE

STYLE 25:
PIN 1. VIN
2. N/C
3. REXT
4. GND
5. IOUT
6. IOUT
7. IOUT
8. IOUT

STYLE 26:
PIN 1. GND
2. dv/dt
3. ENABLE
4. ILIMIT
5. SOURCE
6. SOURCE
7. SOURCE
8. VCC

STYLE 27:
PIN 1. ILIMIT
2. OVLO
3. UVLO
4. INPUT+
5. SOURCE
6. SOURCE
7. SOURCE
8. DRAIN

STYLE 28:
PIN 1. SW_TO_GND
2. DASIC_OFF
3. DASIC_SW_DET
4. GND
5. V_MON
6. VBULK
7. VBULK
8. VIN

STYLE 29:
PIN 1. BASE, DIE #1
2. EMITTER, #1
3. BASE, #2
4. EMITTER, #2
5. COLLECTOR, #2
6. COLLECTOR, #2
7. COLLECTOR, #1
8. COLLECTOR, #1

STYLE 30:
PIN 1. DRAIN 1
2. DRAIN 1
3. GATE 2
4. SOURCE 2
5. SOURCE 1/DRAIN 2
6. SOURCE 1/DRAIN 2
7. SOURCE 1/DRAIN 2
8. GATE 1

onsemi and ONSEMI. are trademarks of Semiconductor Components Industries, LLC dba **onsemi** or its subsidiaries in the United States and/or other countries. **onsemi** reserves the right to make changes without further notice to any products herein. **onsemi** makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. **onsemi** does not convey any license under its patent rights nor the rights of others.

© Semiconductor Components Industries, LLC, 2019

onsemi, ONSEMI , and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba "**onsemi**" or its affiliates and/or subsidiaries in the United States and/or other countries. **onsemi** owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of **onsemi**'s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent−Marking.pdf. **onsemi** reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided "as−is" and **onsemi** makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does **onsemi** assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using **onsemi** products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by **onsemi**. "Typical" parameters which may be provided in **onsemi** data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. **onsemi** does not convey any license under any of its intellectual property rights nor the rights of others. **onsemi** products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use **onsemi** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **onsemi** and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that **onsemi** was negligent regarding the design or manufacture of the part. **onsemi** is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
Technical Library: www.onsemi.com/design/resources/technical−documentation
onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
For additional information, please contact your local Sales Representative at
www.onsemi.com/support/sales