

ESD-SCHUTZ FÜR HOCHENTWICKELTE HALBLEITERPROZESSE

Weniger braucht mehr

Fortschrittliche CMOS-Fertigungsprozesse ermöglichen leistungsfähigere ICs, erschweren aber auch den Schutz vor elektrostatischen Entladungen auf der Leiterplatte. Um die Zuverlässigkeit der Endprodukte weiterhin zu gewährleisten, sind Maßnahmen auf den Chips ebenso nötig wie ein angepasstes Leiterplattendesign.

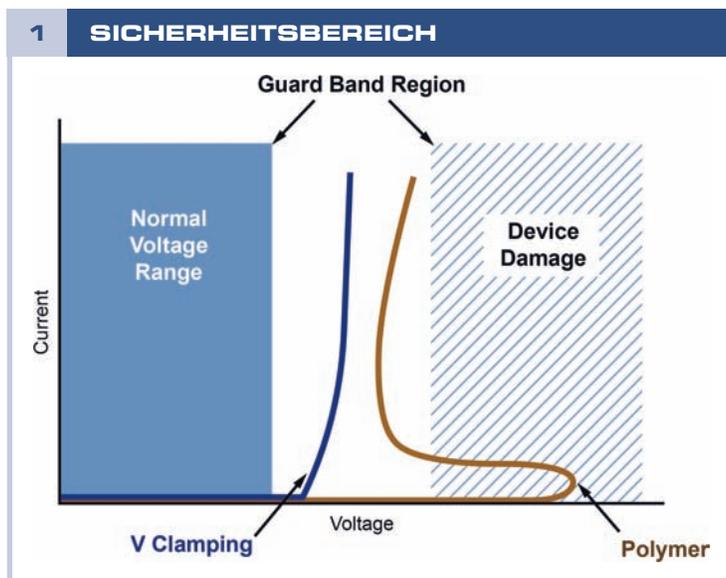


Bild 1. Gegen Überspannung schützen Bausteine, welche die Spannung innerhalb der Guard Band Region halten, indem sie einen Pfad mit geringem Widerstand bereitstellen

(Electrostatic Discharge, ESD), denen elektronische Geräte ausgesetzt sind, in Spannung und Stromstärke gleich bleiben und moderne ICs somit leichter beschädigen können.

Elektronik ESD-fest entwickeln

Alle elektronischen Bauelemente haben einen bestimmten Betriebsspannungsbereich sowie einen Sicherheitsbereich (Guard Band Region, **Bild 1**). Spannungen jenseits dieses Sicherheitsbereichs können zu Schäden führen. ESD-Schutzbausteine halten bei einer ESD-Belastung die Spannungen innerhalb dieses Sicherheitsbereichs. Mit den Betriebsspannungen schrumpft auch der Sicherheitsbereich, und es sind Schutzbausteine mit niedrigerem Durchlasswiderstand erforderlich. Diese schützen gegen Überspannung, indem sie einen Pfad mit geringem Widerstand bereitstellen (Spannungsklemmen, V Clamping in **Bild 1**).

ROBERT ASHTON

Je feiner die Strukturen der CMOS-Transistoren, um so geringer fallen Platzbedarf und Kosten der ICs aus – und um so leistungsfähiger werden sie. mit kleineren Strukturen sind auch leistungsfähiger. Während bewährte 0,18- oder 0,13- μm -Prozesse heute eine kosteneffiziente Lösung für analoge und Mixed-Signal-ASICs sind, werden digitale ICs mittlerweile in 45-, 32-, 28- und sogar 20-nm-Technik gefertigt. Ein Nebeneffekt dieser geringen Strukturbreiten sind niedrige IC-Betriebsspannungen. Würden diese nicht gesenkt, führte dies zu Gate-Oxid-Ausfällen und einem weniger zuverlässigen Betrieb, etwa aufgrund von Transistor-Alterung.

Diese niedrigeren Spannungen haben Vor- und Nachteile. Vorteilhaft ist, dass sie zum Energiesparen beitragen. Nach-

teilig sind jedoch ein reduzierter Dynamikbereich oder der geringere Signal-Rausch-Abstand. Hinzu kommt, dass elektrische Felder und elektrostatische Entladungen

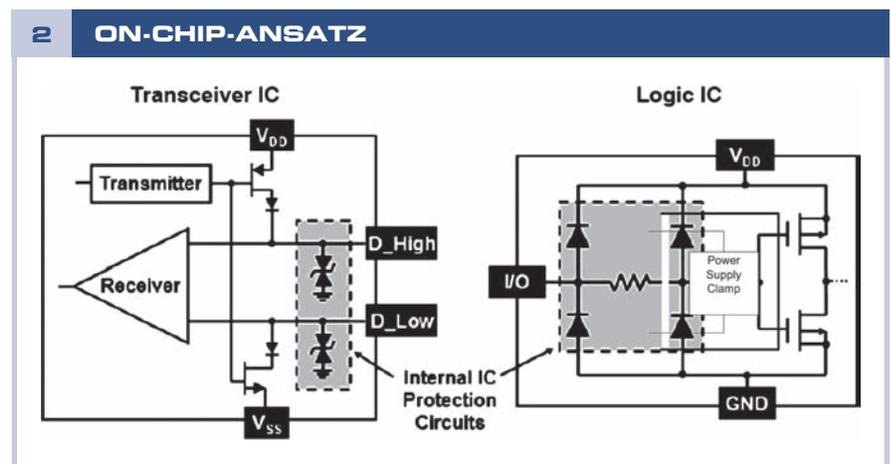


Bild 2. Beispiel für einen gängigen internen ESD-Schutzschaltkreis

Beispiele eines On-Chip-ESD-Designs für I/O-Pins zeigt **Bild 2**: Links befinden sich Spannungsklemmen am Eingangs-Pin: zum Einschalten und um einen Pfad mit geringem Widerstand zur Masseleitung des IC zu öffnen, wenn die Spannung den normalen Spannungsbereich überschreitet. Dies schützt den empfindlichen Empfänger vor Strom- und Spannungsspitzen. Die Klemmen können einzelne Zenerdioden, Back-to-Back-Zenerdioden wie im Bild dargestellt, oder spezielle Snapback-Anordnungen aus nMOS-Transistoren sein.

Ein weiterer bewährter Ansatz sind Steuerdioden und eine Stromversorgungsklemme (rechts in **Bild 2**). Eine negative Belastung am I/O-Pin mit Bezug auf Masse wird durch die Steuerdioden gegen Masse geleitet und verhindert eine Belastung der Eingangsgatter. Eine positive Belastung mit Bezug auf Masse wird durch die Steuerdioden zu V_{DD} und weiter auf die Stromschiene geleitet. Eine Versorgungsklemme zwischen V_{DD} und GND leitet den Belastungsstrom vom V_{DD} -Bus gegen Masse. Die Versorgungsklemme kann eine einfache Zenerdiode oder ein aktiver Schaltkreis sein, der unerwartete Spannungen zwischen V_{DD} und GND erkennt und einen großen Transistor zwischen V_{DD} und GND ansteuert, um einen Pfad mit geringem Widerstand bereitzustellen. Dieser Schaltkreis funktioniert auch bei Belastungen zwischen dem I/O-Pin und V_{DD} .

3 TVS-DIODE

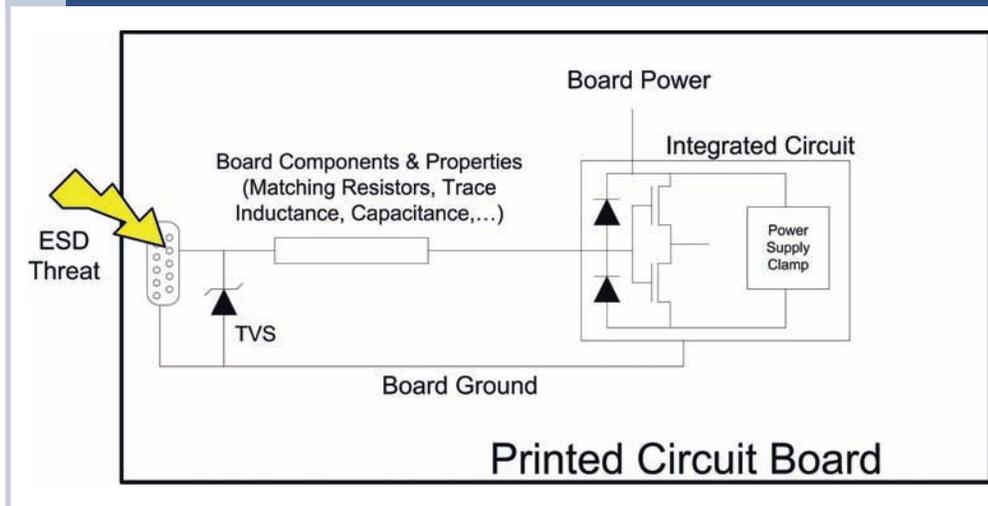


Bild 3. Beispiel für ESD-Schutz auf der Leiterplatte

Die zwei Gruppen von Steuerdioden und der Widerstand rechts in **Bild 2** sind Teil einer primären und sekundären Schutzstrategie. Der Primärschutz ist die Diodengruppe, die dem I/O-Pin am nächsten liegt und den Großteil des Belastungsstroms übernimmt. Der Sekundärschutz ist die Gruppe von Dioden, die den empfindlichen MOS-Transistor-Gates am nächsten liegt. Ein Teil der Belastung fließt durch den Sekundärschutz, und der Spannungsabfall über dem Widerstand trägt mit dazu bei, den Primärschutz einzuschalten. Diese Strategie wird

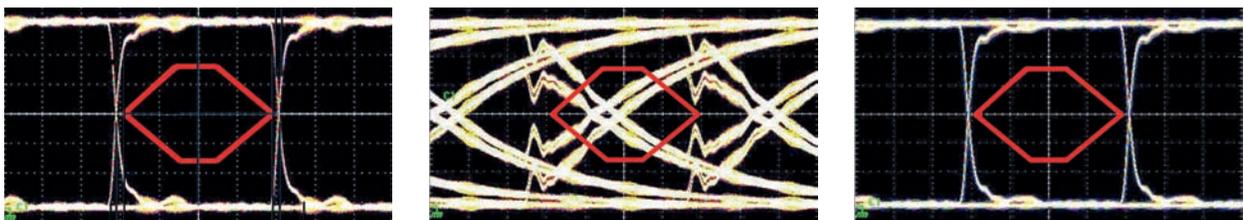
auch beim Schutz auf Systemebene erneut auftreten.

Ein wesentlicher Unterschied zwischen dem ESD-Design für den sicheren Einsatz von ICs und dem ESD-Design für Systeme ist die Größenordnung der Belastung. Der in den meisten ICs integrierte ESD-Schutz soll garantieren, dass der IC mit hoher Ausbeute in einer ESD-kontrollierten Fertigungseinrichtung verbaut werden kann. Dort sind ESD-Vorgänge eher selten und von geringer Intensität. Die ESD-Zielwerte für heutige moderne ICs betragen 1000 V HBM (Human Body

WISSENSWERT

Highspeed-Datenleitungen effizient schützen. Werden TVS-Dioden zum Schutz von Highspeed-Datenleitungen verwendet, verursacht die zugehörige Kapazität Signalstörungen, was zu einem Verlust der Datenintegrität führen kann. Die Augendiagramme im **Bild** vergleichen eine USB-2.0-Signalleitung ohne Schutz (links) sowie mit einer TVS-Diode, deren Kapazität 65 pF beträgt (Mitte). Die kapazitive Last stört dabei die Signalübergänge. Die Kurven, welche die USB-2.0-Maske im mittleren Bild kreuzen, demonstrieren eine inakzeptable Signalintegrität, wenn eine hochkapazitive Last hinzugefügt

wird. Entwickler müssen daher ESD-Schutzlösungen finden, die empfindliche Leitungen schützen, ohne dabei Kapazität einzufügen, welche die Signalübertragung schwächt. Das rechte Bild zeigt das USB-2.0-Highspeed-Signal mit ON Semiconductors Highspeed-TVS-Diode „ESD9L“, die eine niedrige Kapazität von 0,5 pF besitzt. Das Augendiagramm weist keine nennenswerten Veränderungen bei den logischen 1- und 0-Werten oder bei den Signalanstiegs- und -abfallzeiten auf. Die Beeinträchtigung der Datenintegrität durch die Schutzdiode ist somit vernachlässigbar.



Augendiagramme einer USB-2.0-Datenleitung ohne ESD-Schutz (links), mit 65-pF-ESD-Schutzdiode (Mitte) und mit der TVS-Diode ESD9L mit 0,5 pF

4 TVS + ENTKOPPLUNG

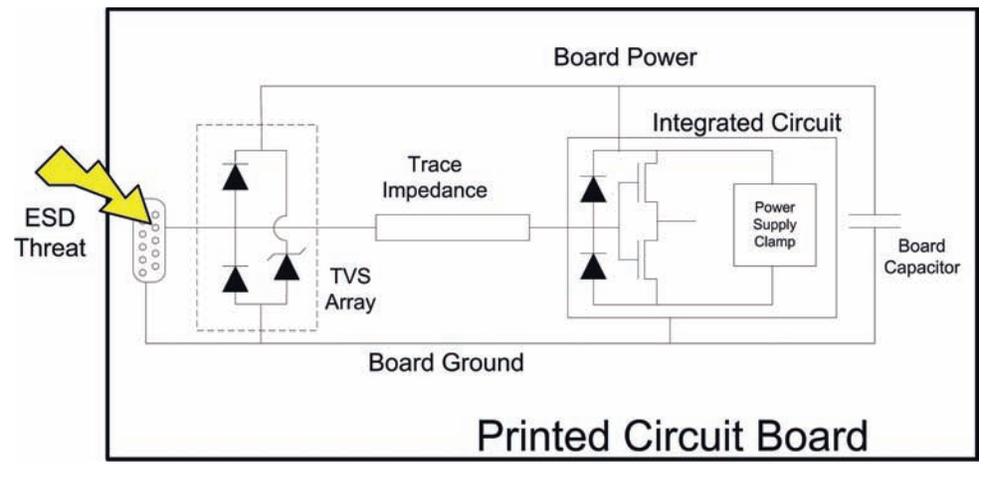


Bild 4. Ein TVS-Array und Entkopplungskondensatoren als Teile einer ESD-Schutzstrategie

Model) und 250 V CDM (Charged-Device Model). Der Spitzenstrom für 1000 V HBM beträgt zirka 0,67 A mit einer Abklingzeit von 150 ns. CDM-Ströme können mehrere Ampere betragen, dauern aber nur wenige Nanosekunden an. Im Vergleich dazu ergibt sich ein Spitzenstrom von 30 A und eine charakteristische Dauer von 50 ns bei 8 kV Belastung nach IEC 61000-4-2, dem meistverwendeten Standard zum Testen der ESD-Robustheit in Systemen. Die Eingangs- und Ausgangs-Pins eines modernen ICs würden also die ESD-Pulse auf Systemebene ohne spezielle Designvorkehrungen nicht überstehen.

Wenn also der Unterschied zwischen ESD-Test und -Design für ICs für deren sichere Handhabung und ESD-Test und -Design auf Systemebene vor allem eine Frage der Größenordnung ist, warum wird dann nicht gleich die ESD-Robustheit auf Systemebene in die I/O-Pins eindesignet, die ja I/Os auf Systemebene verbinden, wie USB, Ethernet, HDMI und Display Port? In einigen Fällen ist dies möglich, aber nicht immer zielführend. ESD-Schutzstrukturen können nicht auf kleinere Flächen herunterskaliert werden, wenn kleinere Geometrien (wie bei ICs gefordert) vorhanden sind. ESD-Ströme auf Systemebene sind hoch und werden für die neuen Technologiegenerationen sicher nicht geringer. In etwa die gleiche Siliziumfläche wird benötigt, um eine ESD-Struktur auf Systemebene zu entwickeln, unabhängig davon, ob sie dem neuesten Stand der Technik entspricht oder bereits bewährte Technik verwendet. Die Kosten für diese Fläche sind mit neuer Technolo-

gie wesentlich höher, sodass die Kosten für einen ESD-Schutz auf Systemebene steigen, wenn auch die Technologie voranschreitet. Hinzu kommt, dass bei schnellen Datenleitungen sehr niedrige Kapazitäten im Schutzschaltkreis beibehalten werden müssen. Dies kann sich bei neuesten Technologien als schwierig erweisen, da sie sehr hohe Siliziumdotierungen aufweisen, die zu hohen Kapazitäten führen. ESD-Schutz auf der Leiterplatte, wie mithilfe des TVS-Bausteins in **Bild 3**, ist daher wünschenswert.

ESD-Schutzbausteine

Systementwickler können unter verschiedenen Schutzbausteinen wählen – je nach Anwendung und Art der zu erwartenden Belastung. Ein Beispiel ist der Metalloxid-Varistor (MOV), der schnell auf Transienten reagiert, dessen hohe Kapazität aber Signalleitungen zusätzlich belastet. Thyristor Surge Protection Devices (TSPDs) werden oft zum Schutz vor Überspannungen in Telekommunikations- und

Ethernet-Einrichtungen verwendet. Sie bieten eine hohe Stromtragfähigkeit, sind aber zu langsam und weisen Einschaltspannungen auf, die zu hoch für einen effizienten ESD-Schutz sind. Polymer-ESD-Schutzbausteine kommen manchmal bei sehr schnellen Datenleitungen zum Einsatz, da sie geringe Kapazitäten bieten. Sie weisen aber sehr hohe Einschaltspannungen auf, und ihre Klemmspannungen sind meist um ein Vielfaches höher als die Spannung, der ein moderner IC widerstehen kann.

In der Mehrzahl der Anwendungen mit niedrigem bis mittlerem Leistungsbedarf ist die TVS- (Transient-Voltage-Suppression-) Diode die erste Wahl für den ESD-Schutz (**Bild 3**). Diese Dioden werden in der Nähe des I/O-Steckers platziert. Idealerweise schaltet sich die TVS-Anordnung vor dem internen Schaltkreis des ICs ein und leitet den gesamten Einschaltstoßstrom gegen Masse. In der Praxis tritt oft eine Stromteilung zwischen der TVS-Anordnung und dem im IC integrierten ESD-Schutz auf. Diese Anordnung ähnelt dem Primär- und Sekundärschutz beim On-Chip-ESD-Schutz in **Bild 2**. TVS-Dioden auf der Leiterplatte bieten einen Vorteil gegenüber dem Schutz auf dem Chip, da die PCB-Eigenschaften wie Leiterbahninduktivität und Abschlusswiderstände als Teil der ESD-Schutzstrategie verwendet werden können. Dies verringert den ESD-Stromfluss zum IC und ermöglicht zusätzliche Spannungsabfälle, die wiederum dazu beitragen, den primären On-Board-ESD-Schutzbaustein zu aktivieren. ON Semiconductor bietet eine Vielzahl von TVS-Bausteinen mit niedriger Klemmspannung für verschiedene Anwendungen.

TVS-Lösungen mit Dioden bieten Vorteile gegenüber MOV- und polymerbasiertem ESD-Schutz, der immer symmetrische Eigenschaften für positive und negative Belastung aufweist. TVS-Anordnungen

FAZIT

Licht und Schatten. Neueste CMOS-Fertigungstechnologien bieten zahlreiche Vorteile wie kleinere Baugrößen, niedrigere Betriebsspannungen und geringere Stromaufnahme der ICs – genauso wie höhere Geschwindigkeiten und einen größeren Funktionsumfang. Jedoch bleiben die ESD-Spannungen trotz der schrumpfenden Designabmessungen unverändert und stellen somit eine zunehmende Gefahr für die Bausteine dar. Ausführliche Anwendungsrichtlinien und eine breite Auswahl an Schutzbausteinen, einschließlich solcher mit niedriger Eigenkapazität für Highspeed-Anwendungen, bieten Entwicklern die Mittel, um robuste Produkte zu schaffen, die strengste Testkriterien erfüllen.

lassen sich sowohl mit symmetrischen als auch asymmetrischen Eigenschaften entwickeln. Einzelne Zenerdioden haben asymmetrische Eigenschaften und leiten als vorgespannte Diode in eine Richtung und als Zener-Durchbruchdiode in die andere Richtung. Dies ist ideal zum Schutz von Schaltkreisknoten, die nur eine Polarität wie 0 bis 3,3 V aufweisen. Back-to-Back-Dioden bieten symmetrische Eigenschaften und leiten mit einer Kombination aus Durchlass- und Zener-Durchbruchdiode für positive und negative Polaritäten. Damit lassen sich Schaltkreise schützen, die symmetrisch zu 0 V sind, etwa von -3,3 bis +3,3 V.

Netzteilentkopplung

ESD-Schutzanordnungen können Netzteilentkopplungskondensatoren als Teil der Schutzstrategie enthalten. Bei ESD-Kapazitäten im mF-Bereich stellen keramische Entkopplungskondensatoren zwischen Versorgung und Masse einen Pfad mit geringem Widerstand gegen Masse dar. Steuerdioden in einem TVS-Array können den ESD-Strom auf Strom- und Masseleitungen der Leiterplatte lenken, was Spannungstransienten auf der Leiterplatte erheblich verringert (**Bild 4**). Zenerdioden im TVS-Array begrenzen Spannungstran-

sienten noch weiter, haben auch eine sehr niedrige Induktivität und sind sehr effizient beim Beseitigen induktiver Spannungsspitzen, die während eines ESD-Ereignisses auftreten können. Um effizienten Schutz bereitzustellen, muss die Kapazität auf Leiterplattebene in der Nähe des TVS-Arrays auftreten, und sowohl das TVS-Array als auch die Kondensatoren müssen so positioniert sein, dass hochohmige Verbindungen wie lange, schmale Leiterbahnen vermieden werden. ON Semiconductor bietet TVS-Arrays für zahlreiche Anwendungen an. Viele davon sind für spezielle Applikationen ausgelegt und für eine einfache Montage auf der Leiterplatte konzipiert.

Den ESD-Schutz beurteilen

Die ESD-Eigenschaften elektronischer Bauteile lassen sich mit Transmission-Line-Pulse- (TLP-) Messungen charakterisieren. Die Standard-Pulsdauer von 100 ns und Ströme bis zu 40 A, die bei einem TLP verwendet werden, entsprechen fast genau der Länge und den Strömen, die bei ESD-Ereignissen auftreten. TLP dient für ESD-Tests auf Systemebene nach IEC 61000-4-2 und für HBM-Tests auf Bauteilebene nach ANSI/ESDA/JEDEC JS-001-2011.

Ein TLP-System kann zum Erstellen von Strom-Spannungs-Kurven dienen, bei denen jeder Datenpunkt von einem Puls stammt, dessen Dauer und Stromamplitude im gleichen Bereich liegen wie bei ESD-Ereignissen auf Systemebene.



KONTAKT

ON Semiconductor Germany GmbH,

81677 München,
Tel. 089 930808-0,
Fax 089 930808-80,
www.onsemi.com

Embedded World: 1-112

Die daraus entstehenden Strom-Spannungs-Kurven und Parameter, wie der dynamische Widerstand und die Spannungsableitung, dienen zum Vergleich der Eigenschaften verschiedener TVS-Lösungen und zur Vorhersage von deren Leistungsfähigkeit in einem Schaltkreis. (m)



DER AUTOR

ROBERT ASHTON PH.D. ist Senior Protection & Compliance Specialist bei ON Semiconductor.

www.EL-info.de

765502