

但提供的设计灵活性不够。此选择虽然可以调节某些参数，但IC的基础功能无法更改，除非进行成本高昂且耗时的重新设计工作。在这两个极端之间，存在半可编程架构，这些架构致力于克服封闭平台的固有不足，能够提供一定程度的可编程能力。在此架构中，主信号处理功能被硬连线在逻辑模块中，但可编程DSP器件能够以软件实现额外功能，而无须芯片设计返工(re-spin)。但如果硬连线模块必须进行大幅修改，或是可编程处理器无法适应常规算法概念，那就需要新的芯片了。虽然灵活性增高了，但使用半可编程DSP仍存在能效受损的风险。

另一种架构方法是应用专用开放可编程平台。此类平台针对极特定应用(如助听器装置用数字音频处理)之信号处理需求而设计及优化，同时还提供通用架构之软件灵活性。虽然此类架构的能效不如封闭式架构高，但通过良好构思的芯片设计及恰当的工艺几何尺寸，可以将此效应降至最低。

半导体工艺

能耗、裸片尺寸及系统性能皆受使用的工艺节点影响。针对更小、更快、更廉价、更可靠及更低能耗IC的需求，已经推动了更精微的半导体几何尺寸的开发。日趋复杂的助听器信号处理算法也在推动针对更强运算资源的需求。转向更小工艺几何尺寸可以满足此需求，同时还帮助应对此类具有严格能耗及尺寸限制的应用。

但是，工程师需要注意以下几个细节问题。首先，在较小的工艺节点时，设计及制造复杂程度大幅升高。有一些与布线相关的严格设计规则必须遵循，而且随着节点变得更小，规则数量逐渐增多。

其次，必须将设计、验证、布线、光罩组(mask set)及设计工具所需要的财务投资考虑在内。最小工艺节点的这些成本大幅升高，使最新半导体几何尺寸仅适用于批量极大的应用。

芯片级集成

至关重要是审慎考虑什么功能组件应当被集成到相同半导体裸片上。当进行设计计划决策时，灵活性是一项关键因素。如果功能模块被集成到单个裸片上，那就失去了单独改变这些模块的能力；当需要修改时，就必须修改整个芯片，既耗时又耗财。

在多内核架构中采用标准处理器

许多面临提升性能及降低能耗挑战的工程师正转向基于多处理器内核的助听器平台。多内核表示不同运算单元可以同时执行多个指令，因而可提升总体速度。通过获得的运算能力提升，有可能支持以新的听力学概念为基础的更先进算法。它还推动在平台中引入无线功能，用于助听器、遥控器、连接及其他电子设备之间的数据传输。常常会有的一项错误认知是标准处理器内核在应用于助听器方面太过于低效。这主要是因为助听器应用严格的功率耗散要求，已经导致定制设计的内核几乎被独家使用。虽然专有内核拥有尺寸及能效方面的优势，但随着业界转向更深亚微米(deeper sub-micron)技术，这些优势已经变得不那么明显了。提供可编程设计灵活性的标准内核已经演进到：它们可以与专用内核一起用于某些处理任务，如运行专有无无线基带功能以优化能耗。

无线技术

拾音线圈(telecoil)或调频(FM)系统等类型的模拟无线技术在助听器中的应用已达

数十年。近年来，近场磁感应(NFMI)及射频(RF)技术已经引入助听器领域。NFMI使数据能在一个耳朵与另一个耳朵之间交换，用于双耳处理。这能增强语音清晰度，帮助使用者确定声音来源。NFMI的有效作用距离是1m，故采用此技术的助听器也必须使用中间继电器装置(通常戴在使用者的脖子上)，从而可以在更远距离内通信。通常情况下，蓝牙技术会用于继电器与蓝牙兼容型音频源之间的通信链路。

最新的助听装置使用RF技术，使数据传输范围达9m，省去了继电器。

高集成度的系统级芯片(SoC)方案 Ezairo 7100

助听器设计人员在不断变化发展且技术持续进步的市场寻求有效的硬件平台时，有许多需要关注的领域。随着新趋势的出现，以及始终存在潜在的不确定性，设计灵活性至关重要。因此，芯片供应商必须提供适合的产品。为了应对此趋势，安森美半导体已经开发出Ezairo 7100(图)。这是高集成度的系统级芯片(SoC)方案，包含4核24位开放可编程DSP，使制造商有条件开发自己的独特算法。此器件的能耗低于0.7mA，支持10.24MHz时钟度；而时钟降频(clock throttling)扩充了其运算能力。集成的无线控制器(兼容于NFMI及RF技术)可支持更高效的数据传输。EDN

关键字：

助听器，硬件平台，Ezairo 7100，安森美半导体