

OTA가 전달 함수에 미치는 비 이상적 효과

OTA(operational transconductance amplifier)는 차동 입력 전압과 비례하는 전류 소스이다. 다이의 OTA 출력과 패키지 핀-아웃 사이에 전류 제한 직렬 보호 저항기(R_{ESD})와 전압 클램프를 배치하면 ESD 견고성이 유지된다. 디바이스 제조사는 이 ESD 보호 저항기의 영향이 미미하다고 여기고 데이터시트에 매개 변수를 수록하지 않는다. 하지만 출력 임피던스의 영향을 간과하면 피드백 루프 보상 게인 및 위상 오차로 이어질 수 있다. 전원 공급 OTA 보상 전달 함수는 ESD 보호 저항기를 포함하여 도출된다.

글 | 엘레인 라프라디(Alain Laprade)
온 세미컨덕터

서론

OTA는 출력 전류가 증폭기의 차동 입력과 비례하는 전류 증폭기(그림 1)로 제어되는 전압이다. 증폭기 *transconductance gain*은 g_m 으로 정의된다. 전압 증폭기보다 적은 다이 면적을 요구하는 OTA는 주로 전원 공급 제어 장치 및 레귤레이터 IC의 피드백 증폭기로 구현된다.

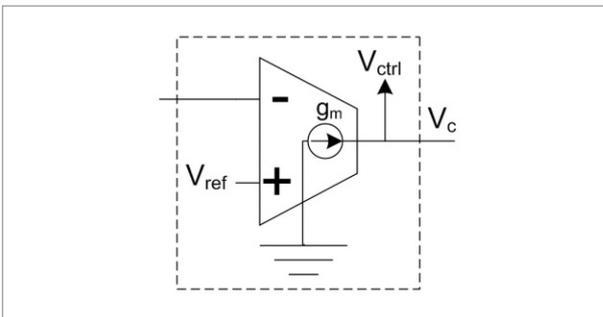
패키지 핀-아웃 옵션으로 보상 핀이 제공될 경우, OTA 출력부의 전압 클램프와 전류 제한 직렬 저항기를 사용하여 다이 레벨 ESD 보호가 실행된다(그림 2). 그뿐 아니라 OTA는 병렬 합성 저항기(R_o)와 콘덴서(C_o)로 구성된 출력 임피던스를 통해 접지된다. 증폭기 전달 함수는 외부 보상

회로망과 결합한 OTA의 출력 임피던스 구조에 의해 결정된다.

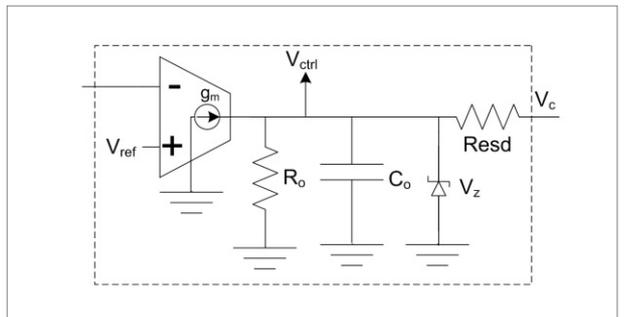
특정 응용 분야의 경우, R_{ESD} 가 OTA 전달 함수에 미치는 영향이 미미하다. PFC 용도가 그러한 경우이다. 글의 후반부에서 표현되겠지만, 참고문헌^[1]의 359 ~ 381P에 나타난 OTA 설계 예시의 보상 값이 적용될 경우, 입력 전압 피드백 분할기에 의한 최종 DC 게인 감쇠는 R_{ESD} 에 의한 미미한 보상 오차로 이어진다.

낮은 입력 전압 소스로 작동하는 부스트 컨버터는(자동차 배터리와 같은) OTA 입력 분할기가 제공하는 큰 폭의 입력 전압 게인 감쇠 혜택을 보지 못한다. 보상 회로망 저항값은 원하는 중대역 게인 감쇠를 달성하기 위해 더 낮은 값이 필요할 것이다. 펄스 폭 변조(PWM) IC 제어 로직은 ESD 저항기의 OTA 측에서 나오는 V_{ctrl} 신호를 피드백 제어 신호로 활용한다. 피드백 루프 측정 과정에서는 OTA 출력(V_{ctrl})에 직접 접근할 수 없는데 R_{ESD} 의 값이 pin V_c 와 연결된 보상 회로망 저항과 크기가 비슷할 경우 전원 공급 피드백 루프 게인과의 위상 오차가 초래된다.

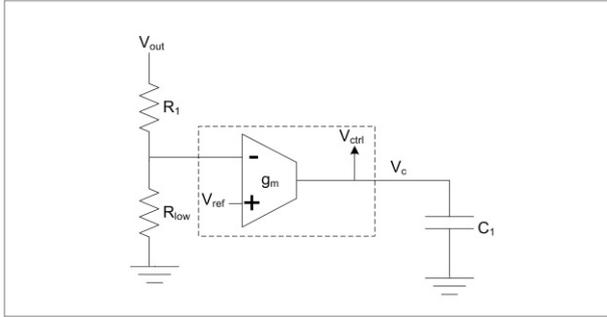
전자 업계에서 *Types-1/-2/-3* 보상 회로망으로 묘사하는 개정된 도식을 이상적 OTA^[2]를 위한 도식과 비교해보자. IC의 보상 핀 V_c 로부터 얻어진 경험적 측정을 통해 올바른 OTA 전달 함수를 구하려면 보정 계수가 필요할 수 있다. 그림 2 OTA 모델은 *Type-1_{ESD} / -2_{ESD} / -3_{ESD}* 보상 회로망 도출을 위한 빌딩 블록이다(그림 6, 그림 9 및 그림 12). 설계



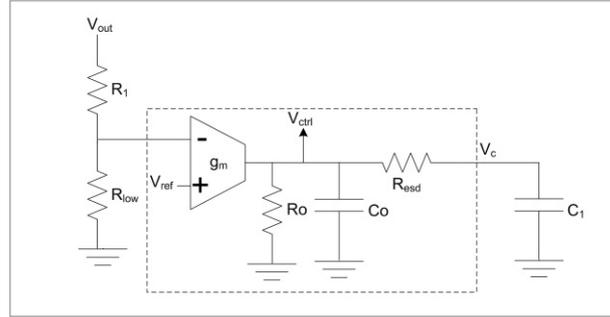
[그림 1] 약식 OTA 모델



[그림 2] 출력 임피던스와 Resd를 포함한 개량형 OTA 모델



[그림 3] 약식 Type-1 OTA 보상

[그림 4] Type-1_{essd}보상은 Type-2a_{essd}로 모델링됨

예시를 뒷받침하는 데 사용하기 위해 *NCV8871*^[4] 부스트 컨트롤러 IC OTA의 매개 변수를 사용하면 $R_o = 3\text{ M}\Omega$, $g_m = 1.2\text{ mS}$, internal $V_{ref} = 1.2\text{ V}$ 의 결괏값이 나오는데 *NCV8871* IC 설계 집단으로부터 공개되지 않은 매개 변수 $R_{essd} \approx 542\ \Omega$ 및 $C_o \approx 10\text{ pF}$ 를 얻을 수 있다.

2차 전달 함수의 루트 풀이

도출할 OTA 보상 회로망 전달 함수는 등식 (1) 일반 다항식 표현으로 설명된다. 전달 함수 순서 m 과 n 은 독립적인 저장 요소의 수에 의해 결정되는데 여기서 $m < n$ 이다. 높은 순서의 도식은 분자와 분모를 통한 루트를 식별시키지 못한다. *Middlebrook*^[3]은 2차 표현의 직관적인 인수 분해 방법을 설명하고 있는데 등식 (2) ~ (7)로 요약된다. 등식 (2)의 루트는 등식 (6)과 (7)에서 정의된다. OTA 보상 회로망의 경우 실제 값은 ω_1 와 ω_2 이다.

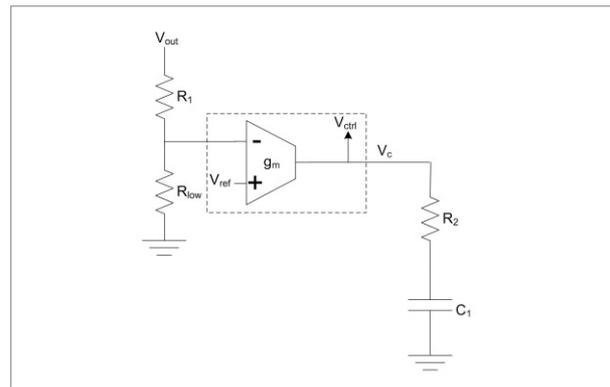
$$G(s) = -G_0 \frac{1 + a_1s + a_2s^2 + \dots + a_ms^m}{1 + b_1s + b_2s^2 + \dots + b_ns^n} \quad (1)$$

$$1 + a_1s + a_2s^2 = 1 + \frac{s}{\omega_0Q} + \frac{s^2}{\omega_0^2} \quad (2)$$

$$\omega_0 = \frac{1}{\sqrt{a_2}} \quad (3)$$

$$Q = \frac{1}{\omega_0 a_1} \quad (4)$$

$$\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right) = 1 + \frac{s}{\omega_0Q} + \frac{s^2}{\omega_0^2} \quad (5)$$



[그림 5] 약식 Type-2a OTA 보상

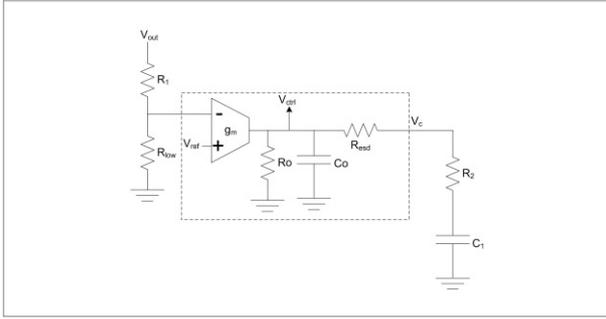
$$\omega_1 = \frac{\omega_0}{2Q} (1 - \sqrt{1 - 4Q^2}) \quad (6)$$

$$\omega_2 = \frac{\omega_0}{2Q} (1 + \sqrt{1 - 4Q^2}) \quad (7)$$

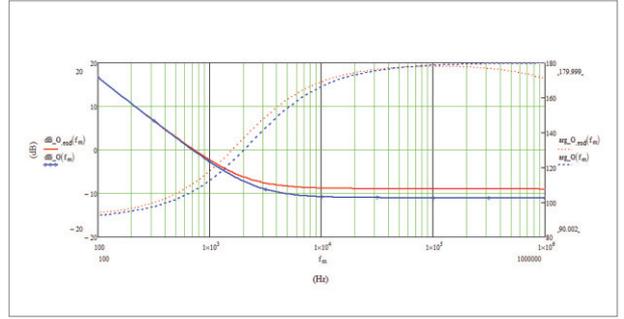
그림 3의 약식 OTA 모델에서 도출된 Type-1 보상 OTA가 [1]에 설명되어 있다. 보상 핀 V_c 와 지면 사이에 콘덴서 C_1 이 위치한다. R_{essd} 이 보상 콘덴서 C_1 과 직렬로 존재하므로 Type-1_{essd} OTA(그림 4)는 다음에 설명된 Type-2a_{essd} OTA로 올바르게 분석된다.

Type-2a_{essd} OTA

그림 5 약식 OTA 모델의 Type-2 OTA 보상이 [1]에 묘사되어 있다. $R_2 - C_1$ 의 직렬 조합이 핀 V_c 와 지면 사이에 배치된다. (8) ~ (10)에서 해당 OTA 전달 함수 개념이 재판된다. 핀 V_c 와 지면 사이에 고주파 바이패스 콘덴서 C_2 를 배치하는 방안은 후반부에서 설명하기로 한다.



[그림 6] Type-2a_{essd} OTA 보상



[그림 7] Type-2a 및 Type-2a_{essd} OTA 반응

$$\omega_z = \frac{1}{R_2 C_1} \quad (8)$$

$$\omega_p = \infty \quad (9)$$

$$G_0 = \frac{R_{low}}{R_{low} + R_1} g_m R_2 \quad (10)$$

$$G(f) = -G_0 \left(1 + \frac{\omega_z}{2\pi f \cdot j} \right) \quad (11)$$

그림 6에 Type-2a_{essd} OTA 보상값이 나와 있는데 이의 전달 함수는 등식 (12)로 설명된다.

$$G_{essd}(s) = -\left(\frac{R_{low}}{R_{low} + R_1} \right) g_m R_0 \left(\frac{1 + R_{2eq} C_1 s}{R_0 R_{2eq} C_0 C_1 s^2 + (R_0 C_0 + (R_0 + R_{2eq}) C_1) s + 1} \right) \quad (12)$$

여기서,

$$R_{2eq} = R_2 + R_{essd} \quad (13)$$

등식 (12)의 0은 등식 (14)에서 설명된다. 등식 (6)과 (7)을 통한 루트 추출을 활용하면 등식 (15), (16)으로 설명되는 극이 결정된다. $C_0 \ll C_1$ 을 가정하고 $R_0 \gg R_{2eq}$ 일 경우, 극은 등식 (16)과 (18)로 더욱 간략해질 수 있다.

$$\omega_{z1essd} = \frac{1}{R_{2eq} C_1} \quad (14)$$

$$\omega_{p1essd} = \frac{1}{2} \left(\frac{R_0 C_0 + (R_0 + R_{2eq}) C_1}{R_0 R_{2eq} C_0 C_1} \right) \left(1 + \sqrt{1 - \frac{4 R_0 R_{2eq} C_0 C_1}{(R_0 C_0 + (R_0 + R_{2eq}) C_1)^2}} \right) \quad (15)$$

$$\omega_{p1essd} \approx \frac{1}{2} \left(\frac{1}{R_{2eq} C_0} \right) \left(1 + \sqrt{1 - \frac{4 R_0 R_{2eq} C_0}{R_0 C_1}} \right) \quad (16)$$

$$\omega_{p2essd} = \frac{1}{2} \left(\frac{R_0 C_0 + (R_0 + R_{2eq}) C_1}{R_0 R_{2eq} C_0 C_1} \right) \left(1 - \sqrt{1 - \frac{4 R_0 R_{2eq} C_0 C_1}{(R_0 C_0 + (R_0 + R_{2eq}) C_1)^2}} \right) \quad (17)$$

$$\omega_{p2essd} \approx \frac{1}{2} \left(\frac{1}{R_{2eq} C_0} \right) \left(1 - \sqrt{1 - \frac{4 R_0 R_{2eq} C_0}{R_0 C_1}} \right) \quad (18)$$

Type-2a_{essd} OTA 전달 함수는 이제 더욱 직관적인 등식 (20)의 형태로 표현된다.

$$G_{0essd} = \frac{R_{low}}{R_{low} + R_1} g_m R_0 \quad (19)$$

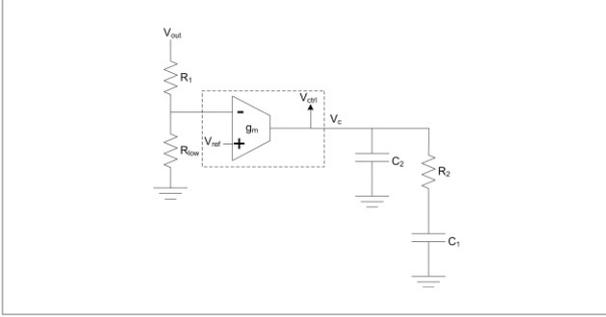
$$G_{essd}(f) = -G_{0essd} \frac{1 + \frac{2\pi f \cdot j}{\omega_{z1essd}}}{\left(1 + \frac{2\pi f \cdot j}{\omega_{p1essd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p2essd}} \right)} \quad (20)$$

설계 예시처럼, Type-2a 및 Type-2a_{essd} OTA 보상 전달 함수는 $R_2 = 2.0 \text{ k}\Omega$, $C_1 = 33 \text{ nF}$ 에 대하여 그림 7에서 점으로 표시된다.

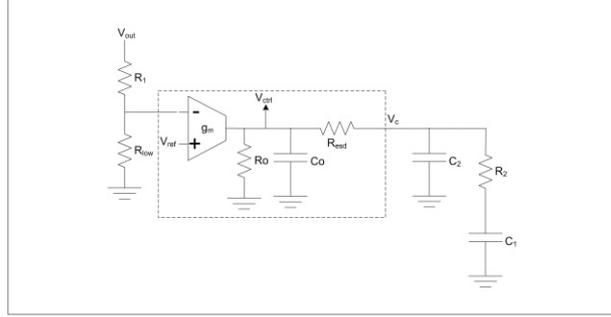
Type-2a OTA, $\omega_z = 1.514 \cdot 10^4 \text{ 1/s}$ 의 경우, $G_0 = 0.282$ 이다. Type 2-a_{essd} OTA의 경우, $\omega_{z1essd} = 1.192 \cdot 10^4 \text{ 1/s}$, $\omega_{p1essd} = 3.934 \cdot 10^7 \text{ 1/s}$, $\omega_{p2essd} = 10.10 \text{ 1/s}$, $G_{0essd} = 422.368$ 이다.

Type-2b_{essd} OTA

Type-2a 보상 회로망과 병렬로 고주파 바이패스 콘덴서를 추가하여 Type-2b OTA 보상 회로망(그림 8)을 실행한다. [1]에서 도출된 전달 함수 개념은 (21) ~ (24)에서 재관된다.



[그림 8] 약식 Type-2b OTA 보상



[그림 9] Type-2b_essd OTA 보상

$$\omega_z = \frac{1}{R_2 C_1} \quad (21)$$

$$\omega_p = \frac{1}{R_2 \left(\frac{C_1 C_2}{C_1 + C_2} \right)} \quad (22)$$

$$G_0 = \frac{R_{low}}{R_{low} + R_1} g_m R_2 \frac{C_1}{C_1 + C_2} \quad (23)$$

$$G(f) = -G_0 \frac{1 + \frac{\omega_z}{2\pi f \cdot j}}{1 + \frac{\omega_p}{2\pi f \cdot j}} \quad (24)$$

설계 예시에서 보듯 구성요소 값으로 $R_1 = 66 \text{ k}\Omega$, $R_{low} = 10 \text{ k}\Omega$, $R_2 = 2.0 \text{ k}\Omega$, $C_1 = 33 \text{ nF}$, $C_2 = 470 \text{ pF}$ 를 선택했다. $\sim 1 \text{ MHz}$ 미만 관심 주파수 범위에서 계수 b_3 의 기여도는 미미한데 $b_3 = 0$ 을 선택하면 등식 (32)와 같이 $G(s)$ 가 2차 표현으로 축소된다. $R_{2eq}C_1 \gg R_{essd}C_2$, $(R_0 + R_{2eq})C_1 \gg R_0C_0$ 및 $(R_0 + R_{2eq})C_1 \gg (R_0 + R_{essd})C_2$ 로 인식해보면 이 표현을 더욱 간소화시킬 수 있다.

$$G(s) = -G_0 \frac{1 + a_1 s + a_2 s^2}{1 + b_1 s + b_2 s^2} \quad (32)$$

그림 9의 Type-2b_essd OTA 보상을 관찰하면 세 개의 독립적인 저장용 콘덴서를 파악할 수 있는데 이는 등식 (25)를 통해 3차 다항식 전달 함수로 이어진다.

$$G(s) = -G_0 \frac{1 + a_1 s + a_2 s^2 + a_3 s^3}{1 + b_1 s + b_2 s^2 + b_3 s^3} \quad (25)$$

계수 a_p , b_p 는 다음과 같이 표현될 수 있다:

$$a_1 = R_{2eq} C_1 + R_{essd} C_2 \quad (26)$$

$$a_2 = R_2 R_{essd} C_1 C_2 \quad (27)$$

$$a_3 = 0 \quad (28)$$

$$b_1 = R_0 C_0 + (R_0 + R_{2eq}) C_1 + (R_0 + R_{essd}) C_2 \quad (29)$$

$$b_2 = R_0 R_{2eq} C_0 C_1 + R_0 R_{essd} C_0 C_2 + R_2 (R_0 + R_{essd}) C_1 C_2 \quad (30)$$

$$b_3 = R_0 R_{essd} R_2 C_0 C_1 C_2 \quad (31)$$

전극, 제로 및 계수 a_p , b_p 는 다음과 같이 나타난다:

$$a_1 = R_{2eq} C_1 \quad (33)$$

$$a_2 = R_2 R_{essd} C_1 C_2 \quad (34)$$

$$\omega_{z1essd} = \frac{1}{2} \left(\frac{R_{2eq}}{R_2 R_{essd} C_2} \right) \left(1 - \sqrt{1 - \frac{4R_2 R_{essd} C_2}{R_{2eq}^2 C_1}} \right) \quad (35)$$

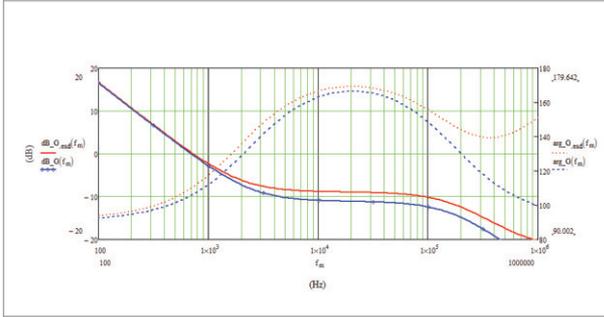
$$\omega_{z2essd} = \frac{1}{2} \left(\frac{R_{2eq}}{R_2 R_{essd} C_2} \right) \left(1 + \sqrt{1 - \frac{4R_2 R_{essd} C_2}{R_{2eq}^2 C_1}} \right) \quad (36)$$

$$b_1 = (R_0 + R_{2eq}) C_1 \quad (37)$$

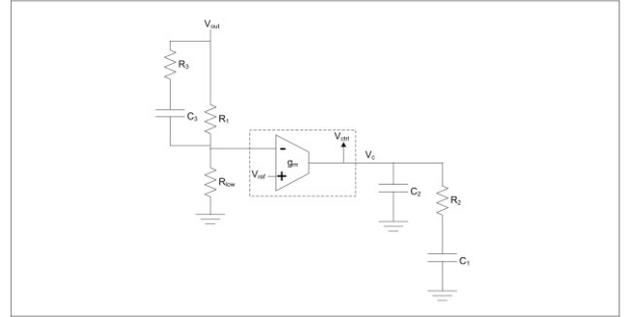
$$b_2 = R_0 R_{2eq} C_0 C_1 + R_0 R_{essd} C_0 C_2 + R_2 (R_0 + R_{essd}) C_1 C_2 \quad (38)$$

$$\omega_{p1essd} = \frac{1}{2} \frac{R_0 + R_{2eq}}{R_0 R_{2eq} C_0 + R_2 (R_0 + R_{essd}) C_2} \left(1 - \sqrt{1 - \frac{4R_0 R_{2eq} C_0 + R_2 (R_0 + R_{essd}) C_2}{(R_0 + R_{2eq})^2 C_1}} \right) \quad (39)$$

$$\omega_{p1essd} \approx \frac{1}{2} \frac{1}{R_2 C_2} \left(1 - \sqrt{1 - \frac{R_2 C_2}{R_0 C_1}} \right) \quad (40)$$



[그림 10] Type-2-b 및 Type-2b_{esd} OTA 반응



[그림 11] 약식 Type-3b OTA 보상

$$\omega_{p2esd} = \frac{1}{2} \frac{R_0 + R_{2eq}}{R_0 R_{2eq} C_0 + R_2 (R_0 + R_{esd}) C_2} \left(1 + \sqrt{1 - \frac{4R_0 R_{2eq} C_0 + R_2 (R_0 + R_{esd}) C_2}{(R_0 + R_{2eq})^2 C_1}} \right) \quad (41)$$

$$\omega_{p2esd} \approx \omega_{p1esd} \approx \frac{1}{2} \frac{1}{R_2 C_2} \left(1 + \sqrt{1 - \frac{R_2 C_2}{R_0 C_1}} \right) \quad (42)$$

$$G_{0esd} = \frac{R_{low}}{R_{low} + R_1} g_m R_0 \quad (43)$$

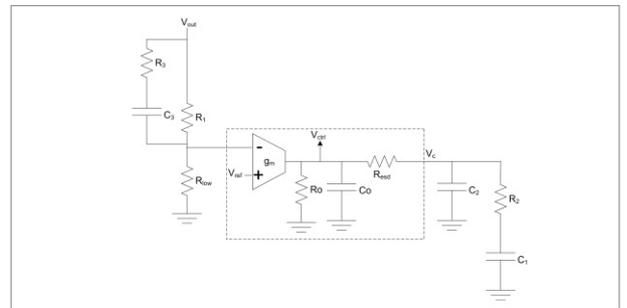
$$G_{esd}(f) = -G_{0esd} \frac{\left(1 + \frac{2\pi f \cdot j}{\omega_{z1esd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{z2esd}} \right)}{\left(1 + \frac{2\pi f \cdot j}{\omega_{p1esd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p2esd}} \right)} \quad (44)$$

그림 10에서 전달 계수 $G(f)$ 와 $G_{esd}(f)$ 는 점으로 분포된다. R_{esd} 는 ~ 100 kHz 이상에서 현저해지는 중대역 게인 및 위상 오차를 유발한다.

Type-2b OTA 설계 예시에서 보듯이 $\omega_{z1} = 1.515 \cdot 10^4$ 1/s, $\omega_{p1} = 1.079 \cdot 10^6$ 1/s이다. Type-2-b_{esd} OTA의 경우는 $\omega_{z1esd} = 1.195 \cdot 10^4$ 1/s, $\omega_{z2esd} = 4.977 \cdot 10^6$ 1/s, $\omega_{p1esd} = 10.10$ 1/s, $\omega_{p2esd} = 1.064 \cdot 10^6$ 1/s이다.

Type 3_{esd} OTA

입력 분압기 R_1 (그림 11, 그림 12)과 병렬로 직렬 $R_3 - C_3$ 진상 회로망을 배치하면 Type-3b OTA가 보상된다. 진상 회로망의 전극과 제로는 쉽게 식별되므로 제로/전극 전달 함수를 이전에 도출된 Type-2b 및 Type-2b_{esd} 전달 함수와 곱하면 된다. 진상 회로망 제로 및 전극이 등식 (45)와 (46)에 의해 정의됨을 알 수 있다. Type-3 전달 함수는 등식 (47)로 구해진다.



[그림 12] Type-3b_{esd} OTA 보상

$$\omega_{z3} = \frac{1}{(R_1 + R_3) C_3} \quad (45)$$

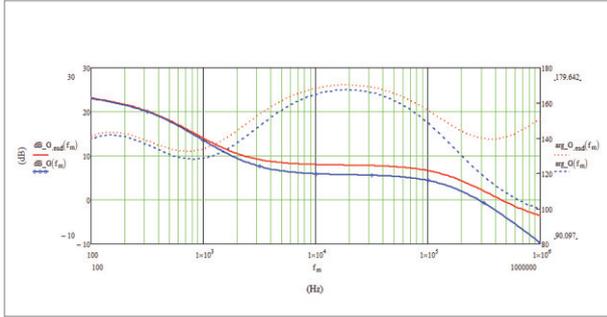
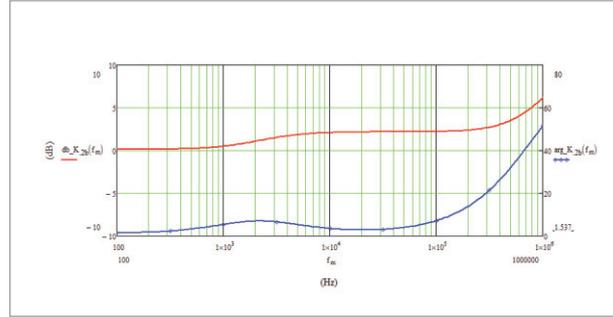
$$\omega_{p3} = \frac{1}{\left(\frac{R_{low} R_1}{R_{low1} + R_1} + R_3 \right) C_3} \quad (46)$$

$$G(f) = -G_0 \frac{\left(1 + \frac{\omega_{z1}}{2\pi f \cdot j} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{z3}} \right)}{\left(1 + \frac{2\pi f \cdot j}{\omega_{p1}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p3}} \right)} \quad (47)$$

Type-3b_{esd} 전달 함수는 등식 (48)에서 유사하게 정의된다.

$$G_{esd}(f) = -G_{0esd} \frac{\left(1 + \frac{2\pi f \cdot j}{\omega_{z1esd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{z2esd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{z3}} \right)}{\left(1 + \frac{2\pi f \cdot j}{\omega_{p1esd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p2esd}} \right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p3}} \right)} \quad (48)$$

Type-3b 설계 예시의 경우 진상 회로망 구성요소에 대하여 $R_3 = 1$ K Ω and $C_3 = 47$ nF가 선택된다. $\omega_{z3} = 317.6$ 1/s, $\omega_{p3} = 2.197 \cdot 10^3$ 1/s가 구해진다.

[그림 13] Type-3b 및 Type-3b_{essd} OTA 반응[그림 14] Type-2a(및 Type-3a) 보정 계수 K_{2a}

Type-3b 및 Type-3b_{essd} OTA의 최종 전달 함수가 그림 13에 점으로 분포되어 있다. 진상 회로망은 R_{essd} 에 의해 초래되는 오차에 영향을 미치지 않음을 설명하기 위해 R_1 , C_1 , C_2 보상 회로망을 변경하지 않았다. Type-2와 Type-3 보상이 모두 고려될 경우, Type-3 보상(그림 13)에 따른 중대역 게인은 Type-2 보상(그림 10)보다 ~15 dB 높다. R_2 가 더욱 감소되면서 Type-3 중대역 게인을 낮추면 R_{essd}/R_2 비율이 증가하고 Type-3x 및 Type-3x_{essd} 전달 함수 게인 및 위상 간의 분기가 확대된다.

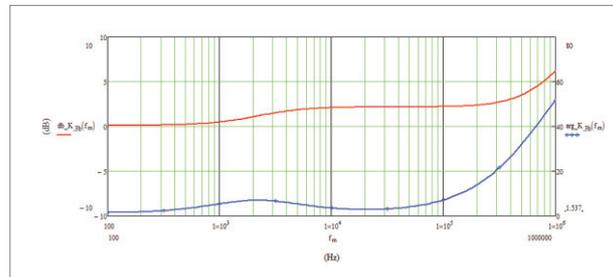
R_{essd} 보정 계수

전원 공급 설계 과정에서 일반적으로 피드백 루프 매개변수를 측정하여 게인 및 위상 여유를 검증한다. OTA 전극 및 제로 위치를 선택할 때 데이터를 주파수 종속 보정 계수와 곱하여 핀 V_c 에서 반응을 경험적으로 측정함으로써 IC의 내부 제어 신호(V_{ctrl}) 게인과 위상 거동을 도출할 수 있다. 보정 계수는 Type-2a 및 Type-3a 보상의 경우 등식 (49), Type-2b 및 Type-3b 보상의 경우 등식 (50)과 같이 $G_{essd}(s)/G(s)$ 비율을 표현함으로써 결정된다.

앞서 설명한 Type-2_{essd} 예시에 해당하는 보정 계수 곡선 $K_{2a}(f)$ 과 $K_{2b}(f)$ 이 그림 (14)와 (15)에 나와 있다.

$$K_{2a}(f) = \frac{G_{essd}}{G_o} \frac{\left(1 + \frac{2\pi f \cdot j}{\omega_{zc}}\right)}{\left(1 + \frac{2\pi f \cdot j}{\omega_{p1e}}\right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p2e}}\right) \left(1 + \frac{\omega_z}{2\pi f \cdot j}\right)} \quad (49)$$

$$K_{2b}(f) = \frac{G_{essd}}{G_o} \frac{\left(1 + \frac{2\pi f \cdot j}{\omega_{z1e}}\right) \left(1 + \frac{2\pi f \cdot j}{\omega_{z2e}}\right) \left(1 + \frac{2\pi f \cdot j}{\omega_p}\right)}{\left(1 + \frac{2\pi f \cdot j}{\omega_{p1e}}\right) \left(1 + \frac{2\pi f \cdot j}{\omega_{p2e}}\right) \left(1 + \frac{\omega_z}{2\pi f \cdot j}\right)} \quad (50)$$

[그림 15] Type-2b (및 Type-3b) 보정 계수 K_{2b}

결론

출력 직렬 ESD 보호 저항을 포함한 OTA 모델을 설명했다. 전원 공급 Type-1 보정은 Type-2a 보상으로 올바르게 모델링된 것으로 나타났다. Type-2 및 Type-3 보상과 관련한 전달 함수가 도출됐다. 보상 게인이 피드백 입력 분압기에 의한 대폭적 감쇠에 따른 혜택을 보지 못할 경우, 낮은 입력 전압 용도에서 이상적 OTA 모델의 중대역 고주파 게인 및 위상 오차가 확인될 수 있다. 경험적 측정을 통해 피드백 제어 전달 함수 표현을 도출하기 위해 보정 계수를 도입했다. ES

참고문헌

- [1] Basso, J, "Designing Control Loops for Linear and Switching Power Supplies & #8211; A Tutorial Guide", Boston, London: Artech House 2012.
- [2] R. L. Geiger and E. Sanchez-Sinencio, "Active Filter Design Using Operational Transconductance Amplifiers: A Tutorial", IEEE Circuits and Devices magazine, Vol.1, pp.20-32, March 1985.
- [3] Middlebrook, R.D., "Methods of Design-Oriented Analysis: Low-Entropy Expressions," New Approaches to undergraduate Education IV, University of California, Santa Barbara, 1992.
- [4] ON Semiconductor NCV8871 Automotive Grade Non-Synchronous Boost Controller Datasheet, <http://onsemi.com/PowerSolutions/product.do?id=NCV8871>