



ON Semiconductor®

<http://onsemi.jp>

# LC87F76C8A

CMOS LSI

LCD ドライバ内蔵

## 8-bit Microcontroller

128K-byte Flash ROM / 4K-byte RAM / 80-pin

### 概要

LC87F76C8Aは、最小バスサイクル83.3nsで動作するCPU部を中心にして、128KバイトのフラッシュROM(オンボード書き換え可能),4KバイトRAM,オンチップデバugg機能,LCDコントローラ・ドライバ,高機能16ビットタイマ/カウンタ(8ビットタイマに分割可),16ビットタイマ(8ビット分割可,8ビットPWM可),プリスケラ付き8ビットタイマ×4,時計用ベースタイマ,日分秒カウンタ,自動転送機能付き同期式SIO,非同期/同期式SIO,UART(全二重),12ビット12チャンネルADコンバータ,12ビットPWM×2,高速クロックカウンタ,システムクロック分周機能,小信号検出,赤外線リモコン受信機能,22要因10ベクタ割り込み機能等を1チップに集積した8ビットマイクロコントローラである。

### 特長

#### フラッシュROM

- ・電源電圧 3.0~5.5V の幅広いオンボード書き込み可能
- ・2 バイト単位でのブロック消去可能
- ・131072 × 8 ビット (LC87F76C8A)

#### RAM

- ・4096 × 9 ビット (LC87F76C8A)

#### 最小バスサイクルタイム

- ・83.3ns(12MHz)  $V_{DD}=3.0\sim 5.5V$
  - ・125ns(8MHz)  $V_{DD}=2.5\sim 5.5V$
  - ・250ns(4MHz)  $V_{DD}=2.2\sim 5.5V$
- (注)バスサイクルタイムはROMの読み出し速度を表す。

#### 最小命令サイクルタイム (tCYC)

- ・250ns(12MHz)  $V_{DD}=3.0\sim 5.5V$
- ・375ns(8MHz)  $V_{DD}=2.5\sim 5.5V$
- ・750ns(4MHz)  $V_{DD}=2.2\sim 5.5V$

この製品は米国 SST 社(Silicon Storage Technology, Inc.)のライセンスを受けています。

## LC87F76C8A

### ポート

- ・ ノーマル耐圧入出力ポート
  - 1ビット単位で入出力指定可能 23(P1n, P30 ~ P31, P70 ~ P73, P8n, XT2)
  - 4ビット単位で入出力指定可能 8(P0n)
- ・ ノーマル耐圧入力ポート 1(XT1)
- ・ LCD 表示ポート
  - セグメント出力 32(S00 ~ S31)
  - コモン出力 4(COM0 ~ COM3)
  - LCD駆動用バイアス電源 3(V1 ~ V3)
- 兼用機能
  - 入出力ポート 32(PAn, PBn, PCn, PDn)
  - 入力ポート 7(PLn)
- ・ 発振専用ポート 2(CF1, CF2)
- ・ リセット端子 1(RES)
- ・ 電源端子 6(VSS1 ~ VSS3, VDD1 ~ VDD3)

### LCD表示コントローラ

7種類の表示モードを選択可能(スタティック, 1/2, 1/3, 1/4duty × 1/2, 1/3bias)  
セグメント出力, コモン出力は汎用入出力ポートに切換え可能

### 小信号検出(マイク信号等)

一定レベル以上の振幅を持つパルスをカウント  
2ビットのカウンタ

### タイマ

- ・ タイマ0: キャプチャレジスタ付きの16ビットのタイマ/カウンタ
  - モード0: 8ビットプログラマブルプリスケアラ付8ビットタイマ  
(8ビットキャプチャレジスタ付) × 2チャンネル
  - モード1: 8ビットプログラマブルプリスケアラ付8ビットタイマ  
(8ビットキャプチャレジスタ付)  
+ 8ビットカウンタ(8ビットキャプチャレジスタ付)
  - モード2: 8ビットプログラマブルプリスケアラ付16ビットタイマ  
(16ビットキャプチャレジスタ付)
  - モード3: 16ビットカウンタ(16ビットキャプチャレジスタ付)
- ・ タイマ1: PWM/トグル出力可能な16ビットのタイマ
  - モード0: 8ビットプリスケアラ付8ビットタイマ(トグル出力付)  
+ 8ビットプリスケアラ付8ビットタイマ(トグル出力付)
  - モード1: 8ビットプリスケアラ付8ビットPWM × 2チャンネル
  - モード2: 8ビットプリスケアラ付16ビットタイマ(トグル出力付)  
(下位8ビットからもトグル出力可能)
  - モード3: 8ビットプリスケアラ付16ビットタイマ(トグル出力付)  
(下位8ビットはPWMとして使用可能)
- ・ タイマ4: 6ビットプリスケアラ付8ビットタイマ
- ・ タイマ5: 6ビットプリスケアラ付8ビットタイマ
- ・ タイマ6: 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ・ タイマ7: 6ビットプリスケアラ付8ビットタイマ(トグル出力付)
- ・ ベースタイマ
  - クロックは、サブクロック(32.768kHz水晶発振), システムクロック, タイマ0のプリスケアラ出力から選択できる。
  - 5種類の時間での割り込み発生が可能
- ・ 日分秒カウンタ
  - ベースタイマと連結して65000日 + 分 + 秒カウンタとして使用可能

## LC87F76C8A

---

### 高速クロックカウンタ

最高20MHzのクロックをカウントできる(メインクロック10MHz使用時)

リアルタイム出力

### シリアルインタフェース

- ・ SI00 : 8ビット同期式シリアルインタフェース  
LSB先頭/MSB先頭切換え可能  
8ビットボーレートジェネレータ内蔵(最大転送クロック周期4/3tCYC)  
連続自動データ通信  
(1~256ビットまでビット単位で切換え可能)(バイト単位で転送途中停止・再開が可能)
- ・ SI01 : 8ビット非同期/同期式シリアルインタフェース  
モード0 : 同期式8ビットシリアルI/O(2線式または3線式, 転送クロック2~512tCYC)  
モード1 : 非同期シリアルI/O  
(半二重, データ8ビット, ストップビット1, ボーレート8~2048tCYC)  
モード2 : バスモード1(スタートビット, データ8ビット, 転送クロック2~512tCYC)  
モード3 : バスモード2(スタート検出, データ8ビット, ストップ検出)

### UART

- ・ 全二重
- ・ 7/8/9 ビット切換え
- ・ ストップビット1ビット(連続送信時は2ビット)
- ・ ビットボーレートジェネレータ内蔵  
\* UART使用時はPOLDDR(POLDDR:BIT0)=0に設定。

ADコンバータ : 12ビット×12チャンネル

PWM : 周期可変 12 ビット PWM×2 チャンネル

### 赤外線リモコン受信回路

ノイズ除去機能

(ノイズ除去フィルタの時定数: 基準クロックに32.768kHzの水晶発振を選択した場合、約120μs)

SONY/NEC/SHARP/RC5/RC6フォーマットなどに対応

X'tal HOLDモード解除機能

### ウォッチドッグタイマ

RC外付けによるウォッチドッグタイマ

割り込み, リセットの選択可能

### クロック出力機能

システムクロックとして選択された源発振クロックの1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64を

出力可能

サブクロックの源発振クロックを出力可能

# LC87F76C8A

## 割り込み要因フラグ

### ・22 要因 10 ベクタ

割り込みは低レベル(L), 高レベル(H), 最高レベル(X)の3レベルの多重割り込み制御。割り込み処理中に、同一レベルまたは下位のレベルの割り込み要求が入っても受け付けない。2つ以上のベクタアドレスへの割り込み要求が同時に発生した場合、レベルの高いものが優先される。また、同一レベルでは、飛び先ベクタアドレスの小さい方の割り込みが優先される。

No.	ベクタ	選択レベル	割り込み要因
1	00003H	X または L	INT0
2	0000BH	X または L	INT1
3	00013H	H または L	INT2/T0L/リモコン受信
4	0001BH	H または L	INT3/ベースタイマ
5	00023H	H または L	T0H
6	0002BH	H または L	T1L/T1H
7	00033H	H または L	SI00/UART1 受信
8	0003BH	H または L	SI01/UART1 送信
9	00043H	H または L	ADC/MIC/T6/T7/PWM4,5
10	0004BH	H または L	ポート 0/T4/T5

・優先レベル X>H>L

・同一レベルではベクタアドレスの小さいものが優先

### ・IFLG(割り込み要因フラグ一覧機能)

割り込み処理が発生しベクタアドレスへ分岐後、そのベクタアドレス内における割り込み要因となったフラグを一覧できる。

サブルーチンスタックレベル：最大2048レベル(スタックはRAMの中に設定)

## 高速乗除算命令内蔵

- ・16ビット×8ビット (実行時間 5tCYC)
- ・24ビット×16ビット (実行時間 12tCYC)
- ・16ビット÷8ビット (実行時間 8tCYC)
- ・24ビット÷16ビット (実行時間 12tCYC)

## 発振回路

- ・RC 発振回路(内蔵) : システムクロック用
- ・CF 発振回路 : システムクロック用, Rf 内蔵, Rd 外付け
- ・水晶発振回路 : 低速システムクロック用, Rf 内蔵, Rd 外付け
- ・周波数可変 RC 発振回路(内蔵) : システムクロック用  
センター周波数設定から ±4% (typ.)STEP で調整可能  
XT1 端子からの入力信号をリファレンスとして源発振周波数を測定可能

## システムクロック分周機能

- ・低消費電流動作可能
- ・最小命令サイクルタイムで300ns, 600ns, 1.2μs, 2.4μs, 4.8μs, 9.6μs, 19.2μs, 38.4μs, 76.8μsの選択可能(メインクロック10MHz使用時)

## システムクロック逡倍機能

- ・水晶発振をシステムクロックに使用した場合に2逡倍、3逡倍の選択可能

# LC87F76C8A

## スタンバイ機能

- HALT モード：命令実行停止, 周辺回路動作継続(シリアル転送の一部機能は停止する)  
発振の停止は自動的には行わない。  
システムリセットまたは割り込みの発生により解除。
- HOLD モード：命令実行停止, 周辺回路動作停止  
CF発振, RC発振, 水晶発振、周波数可変RC発振のいずれも自動的に停止する。  
HOLDモードを解除するには、次の3つの方法がある。
  - 1) リセット端子に「L」レベルを入力する。
  - 2) INT0, INT1, INT2の少なくとも1つの端子に指定されたレベルを入力する。
  - 3) ポート0で割り込み要因が成立する。
- X'tal HOLD モード：命令実行停止, ベースタイマと赤外線リモコン受信回路以外の周辺回路動作停止  
CF発振, RC発振, 周波数可変RC発振は、自動的に停止する。  
水晶発振は、突入時の状態を維持する。  
X'tal HOLDモードを解除するには、次の5つの方法がある。
  - 1) リセット端子に「L」レベルを入力する。
  - 2) INT0, INT1, INT2の少なくとも1つの端子に指定されたレベルを入力する。
  - 3) ポート0で割り込み要因が成立する。
  - 4) ベースタイマ回路で割り込み要因が成立する。
  - 5) 赤外線リモコン受信回路で割り込み要因が成立する。

## オンチップデバッグ機能

- ターゲット基板に実装状態でソフトデバッグ可能

## 出荷形態

- QFP80(14×14) 『鉛フリー仕様品』
- TQFP80J(12×12) 『鉛フリー仕様品』

## 開発ツール

- オンチップデバッグ : TCB87 - TypeB + LC87F76C8A

## フラッシュ ROM 書き込み基板

パッケージ	書き込み基板
QFP80(14×14)	W87F71256QF
TQFP80J(12×12)	W87F71256SQ

## LC87F76C8A

### フラッシュROMライター

メーカー	モデル	対応バージョン(注)	デバイス
フラッシュサポート グループ(シングル)	AF9708/AF9709/AF9709B (安藤電気製含む)		LC87F76C8A
フラッシュサポート グループ(ギャング)	AF9723(本体) (安藤電気製含む)		LC87F76C8A
	AF9833(ユニット) (安藤電気製含む)		
当社	SKK(SANYO FWS)	Application Version 1.04以降 Chip Data Version 2.09以降	LC87F76C8A

注：最新のバージョンを確認すること。

AFシリーズについてのお問い合わせ先  
フラッシュサポートグループ株式会社

TEL : 053-428-8380

E-mail : sales@j-fsg.co.jp

マスクROM版と同一パッケージ，同一ピン配列

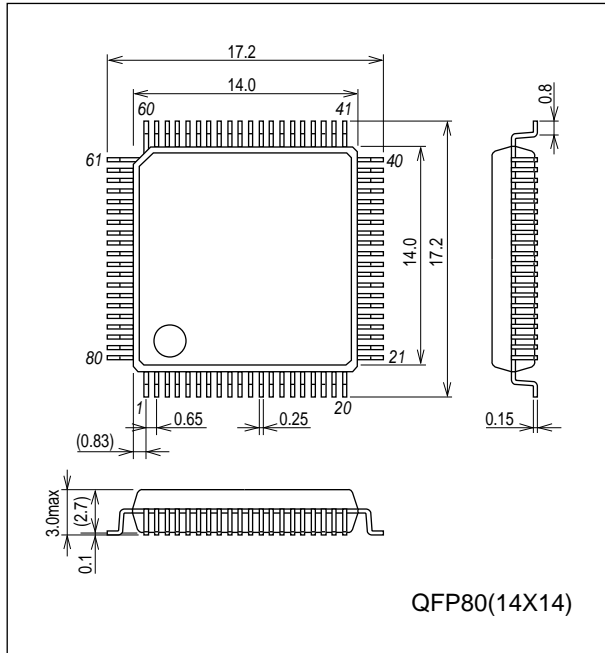
- ・LC877600シリーズのオプション機能をフラッシュROMデータによって指定できる。  
これにより、量産セット基板を使用した試作評価ができる。
- ・マスクROM版のプログラムを使用する場合、使用できるROM/RAM容量は、適用するマスクROM版と同じになる。

# LC87F76C8A

外形図

unit:mm (typ)

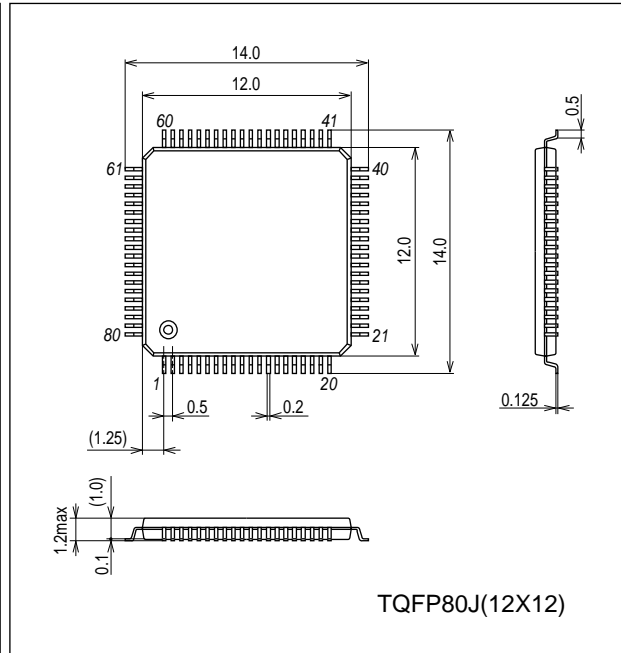
3255



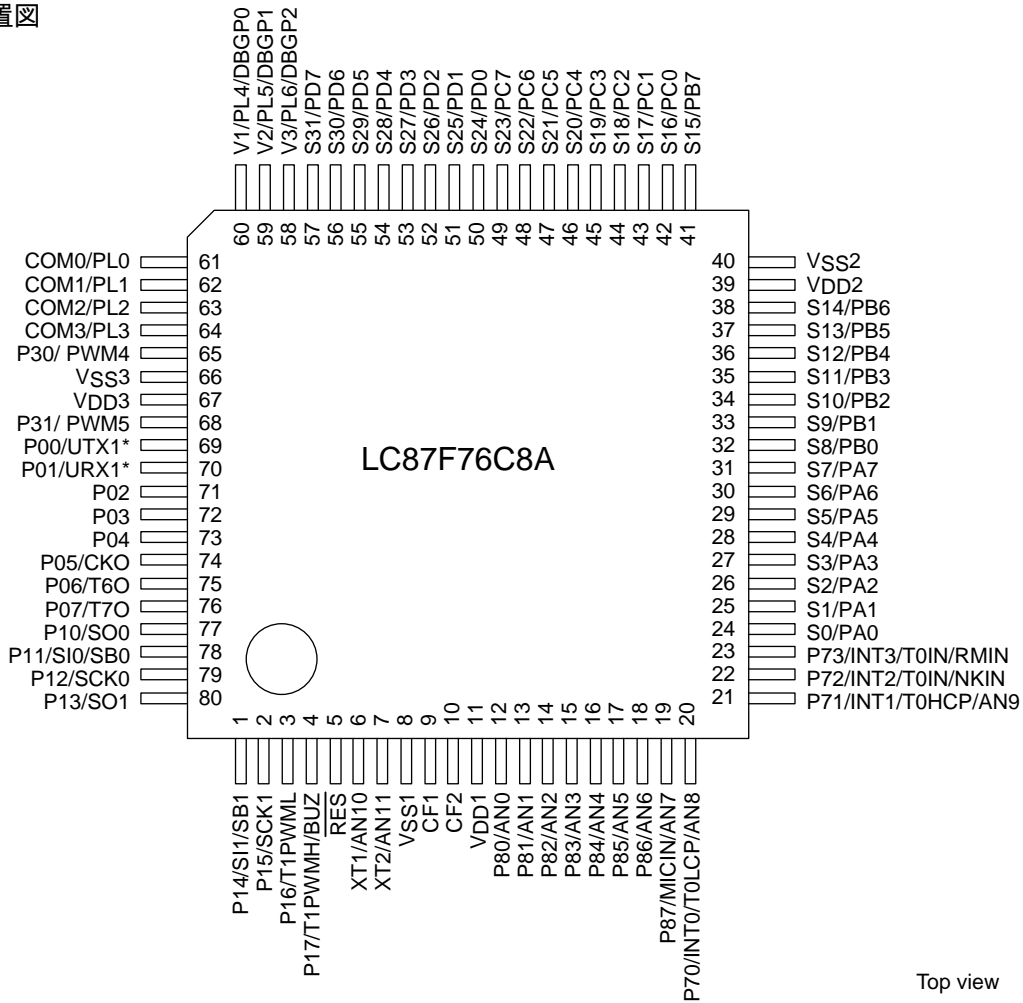
外形図

unit:mm (typ)

3290



ピン配置図



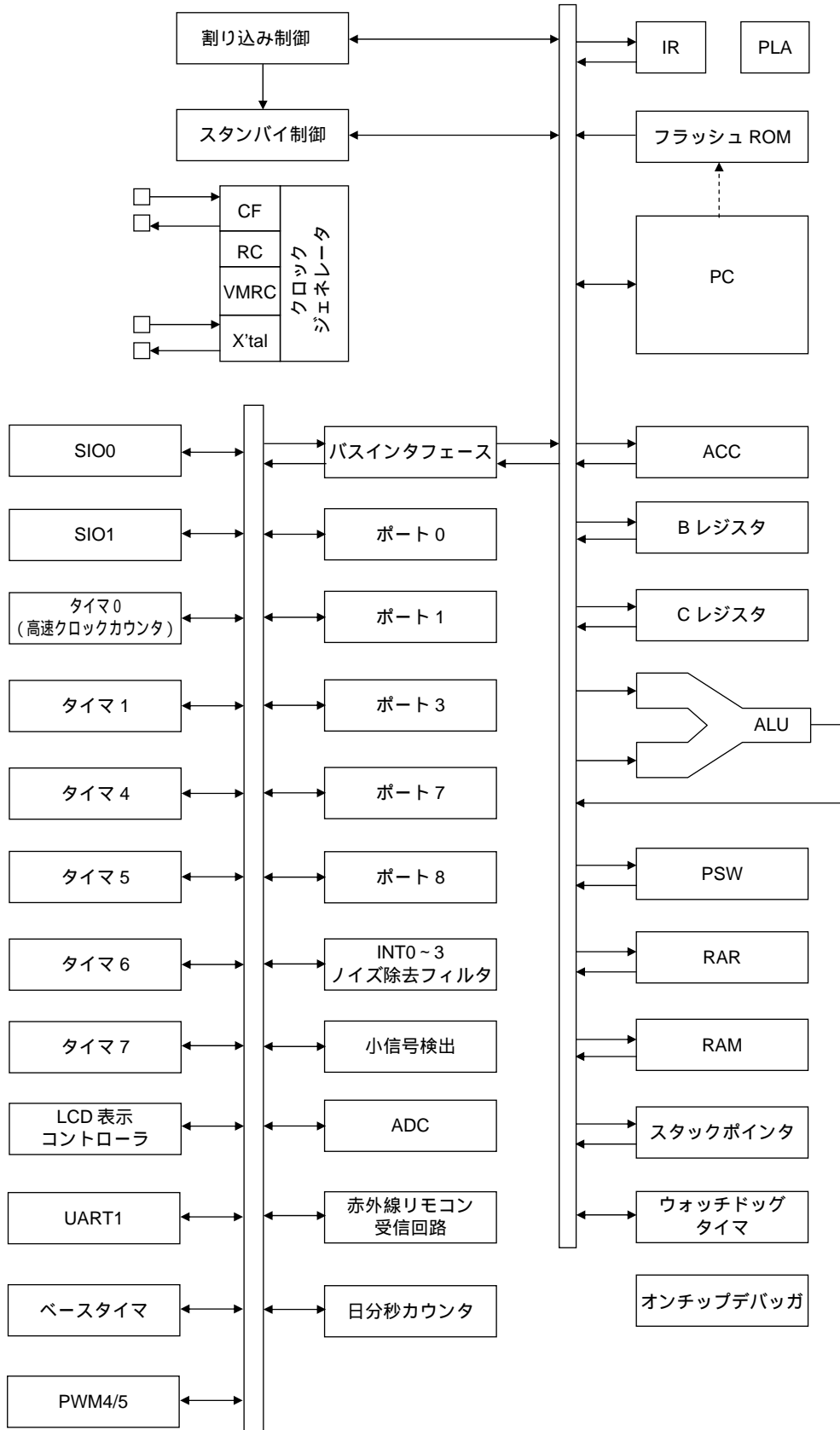
\* UART 使用時は POLDDR (PODDR:BIT0)=0 に設定。

QFP80(14 × 14) 『鉛フリー仕様品』

TQFP80J(12 × 12) 『鉛フリー仕様品』

# LC87F76C8A

システムブロック図





## LC87F76C8A

端子機能表

端子名	入出力	機能説明	オプション
VSS1, VSS2, VSS3	-	電源の - 端子	なし
VDD1, VDD2, VDD3	-	電源の + 端子	なし
PORT0 P00 ~ P07	I/O	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・4ビット単位の入出力指定可能</li> <li>・4ビット単位のパルアップ抵抗 ON/OFF 可能</li> <li>・HOLD 解除入力</li> <li>・ポート 0 割り込み入力</li> <li>・兼用機能                             <ul style="list-style-type: none"> <li>P00 : UART1 送信*</li> <li>P01 : UART1 受信*</li> <li>P05 : クロック出力(システムクロック/サブクロック選択可能)</li> <li>P06 : タイマ 6 トグル出力</li> <li>P07 : タイマ 7 トグル出力</li> </ul> </li> </ul> *UART 使用時は POLDDR(PODDR:BIT0)=0 に設定。	あり
PORT1 P10 ~ P17	I/O	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のパルアップ抵抗 ON/OFF 可能</li> <li>・兼用機能                             <ul style="list-style-type: none"> <li>P10 : SI00 データ出力</li> <li>P11 : SI00 データ入力/バス入出力</li> <li>P12 : SI00 クロック入出力</li> <li>P13 : SI01 データ出力</li> <li>P14 : SI01 データ入力/バス入出力</li> <li>P15 : SI01 クロック入出力</li> <li>P16 : タイマ 1PWML 出力</li> <li>P17 : タイマ 1PWML 出力/ブザー出力</li> </ul> </li> </ul>	あり
PORT3 P30 ~ P31	I/O	<ul style="list-style-type: none"> <li>・2ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のパルアップ抵抗 ON/OFF 可能</li> <li>・兼用機能                             <ul style="list-style-type: none"> <li>P30 : PWM4 出力</li> <li>P31 : PWM5 出力</li> </ul> </li> </ul>	あり

次ページへ続く。

## LC87F76C8A

前ページより続く。

端子名	入出力	機能説明	オプション																														
PORT7 P70 ~ P73	I/O	<ul style="list-style-type: none"> <li>・4ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・1ビット単位のプルアップ抵抗ON/OFF可能</li> <li>・兼用機能</li> <li>P70 : INT0 入力/HOLD 解除入力/タイマ 0L キャプチャ入力/ ウォッチドッグタイマ用出力</li> <li>P71 : INT1 入力/HOLD 解除入力/タイマ 0H キャプチャ入力</li> <li>P72 : INT2 入力/HOLD 解除入力/タイマ 0 イベント入力/ タイマ 0L キャプチャ入力/高速クロックカウンタ入力</li> <li>P73 : INT3 入力(ノイズフィルタ付入力)/タイマ 0 イベント入力/ タイマ 0H キャプチャ入力/赤外線リモコン受信入力</li> <li>AD 変換入力ポート : AN8(P70), AN9(P71)</li> <li>・インタラプト受付形式</li> </ul> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th></th> <th>立ち上がり</th> <th>立ち下がり</th> <th>立ち上がり 立ち下がり</th> <th>Hレベル</th> <th>Lレベル</th> </tr> </thead> <tbody> <tr> <td>INT0</td> <td></td> <td></td> <td>x</td> <td></td> <td></td> </tr> <tr> <td>INT1</td> <td></td> <td></td> <td>x</td> <td></td> <td></td> </tr> <tr> <td>INT2</td> <td></td> <td></td> <td></td> <td>x</td> <td>x</td> </tr> <tr> <td>INT3</td> <td></td> <td></td> <td></td> <td>x</td> <td>x</td> </tr> </tbody> </table>		立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル	INT0			x			INT1			x			INT2				x	x	INT3				x	x	なし
	立ち上がり	立ち下がり	立ち上がり 立ち下がり	Hレベル	Lレベル																												
INT0			x																														
INT1			x																														
INT2				x	x																												
INT3				x	x																												
PORT8 P80 ~ P87	I/O	<ul style="list-style-type: none"> <li>・8ビットの入出力ポート</li> <li>・1ビット単位の入出力指定可能</li> <li>・兼用機能</li> <li>AD 変換入力ポート : AN0 ~ AN7</li> <li>小信号検出入力ポート : MICIN(P87)</li> </ul>	なし																														
S0/PA0 ~ S7/PA7	I/O	<ul style="list-style-type: none"> <li>・LCD 表示用セグメント出力</li> <li>・汎用入出力ポート(PA)として使用可能</li> </ul>	なし																														
S8/PB0 ~ S15/PB7	I/O	<ul style="list-style-type: none"> <li>・LCD 表示用セグメント出力</li> <li>・汎用入出力ポート(PB)として使用可能</li> </ul>	なし																														
S16/PC0 ~ S23/PC7	入出力	<ul style="list-style-type: none"> <li>・LCD 表示用セグメント出力</li> <li>・汎用入出力ポート(PC)として使用可能</li> </ul>	なし																														
S24/PD0 ~ S31/PD7	I/O	<ul style="list-style-type: none"> <li>・LCD 表示用セグメント出力</li> <li>・汎用入出力ポート(PD)として使用可能</li> </ul>	なし																														
COM0/PL0 ~ COM3/PL3	I/O	<ul style="list-style-type: none"> <li>・LCD 表示用コモン出力</li> <li>・汎用入力ポート(PL)として使用可能</li> </ul>	なし																														
V1/PL4 ~ V3/PL6	I/O	<ul style="list-style-type: none"> <li>・LCD 駆動用バイアス電源</li> <li>・汎用入力ポート(PL)として使用可能</li> <li>・兼用機能</li> <li>オンチップデバッグ用端子 : DBGPO ~ DBGP2(V1 ~ V3)</li> </ul>	なし																														
RES	I	リセット端子	なし																														
XT1	I	<ul style="list-style-type: none"> <li>・32.768kHz 水晶発振子用入力端子</li> <li>・兼用機能</li> <li>汎用入力ポート</li> <li>使用しない場合は V<sub>DD1</sub> に接続すること。</li> <li>AD 変換入力ポート : AN10</li> </ul>	なし																														
XT2	I/O	<ul style="list-style-type: none"> <li>・32.768kHz 水晶発振子用出力端子</li> <li>・兼用機能</li> <li>汎用入出力ポート</li> <li>使用しない場合は、発振仕様にしてオープンにすること。</li> <li>AD 変換入力ポート : AN11</li> </ul>	なし																														

次ページへ続く。

# LC87F76C8A

前ページより続く。

端子名	入出力	機能説明	オプション
CF1	1	セラミック発振子用入力端子	なし
CF2	0	セラミック発振子用出力端子	なし

## ポート出力形態

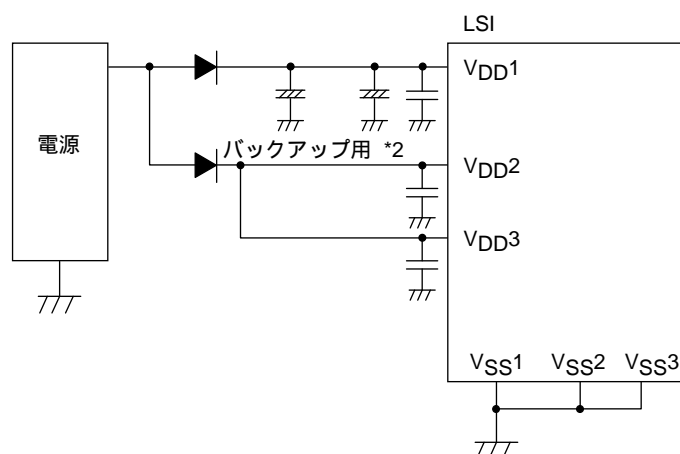
ポートの出力形態とプルアップ抵抗の有無を以下に示す。

なお、入出力ポートでのデータの読み込みは、ポートが出力モード時でも可能である。

ポート名	オプション 切換え単位	オプション 種類	出力形式	プルアップ抵抗
P00 ~ P07	1ビット単位	1	CMOS	プログラマブル(注)
		2	Nch-オープンドレイン	なし
P10 ~ P17	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P30 ~ P31	1ビット単位	1	CMOS	プログラマブル
		2	Nch-オープンドレイン	プログラマブル
P70	-	なし	Nch-オープンドレイン	プログラマブル
P71 ~ P73	-	なし	CMOS	プログラマブル
P80 ~ P87	-	なし	Nch-オープンドレイン	なし
S0/PA0 ~ S31/PD7	-	なし	CMOS	プログラマブル
COM0/PL0 ~ COM3/PL3	-	なし	入力専用	なし
V1/PL4 ~ V3/PL6	-	なし	入力専用	なし
XT1	-	なし	入力専用	なし
XT2	-	なし	32.768kHz 水晶発振子用出力 (汎用出力ポート選択時は Nch-オープンドレイン)	なし

注1：ポート0のプログラマブルプルアップ抵抗は、4ビット単位(P00 ~ 03, P04 ~ 07)の制御になる。

- 1 V<sub>DD1</sub>端子に入るノイズを小さくするために、次のように接続すること。  
V<sub>SS1</sub>端子とV<sub>SS2</sub>端子とV<sub>SS3</sub>端子は必ず電氣的にショートすること。



- 2 内部メモリの保持電源はV<sub>DD1</sub>であるが、V<sub>DD2</sub>、V<sub>DD3</sub>をバックアップしない場合、HOLDバックアップ時のポートの「H」レベル出力は不定となり、入力バッファに貫通電流が流れてバックアップ時間が短くなる。  
HOLDバックアップ時はポートの状態が「L」レベルになるように設定すること。

# LC87F76C8A

絶対最大定格/Ta=25℃, VSS1=VSS2=VSS3=0V

項目	記号	適用端子・備考	条件	規格				unit
				VDD[V]	min	typ	max	
最大電源電圧	VDD_max	VDD1, VDD2, VDD3	VDD1=VDD2=VDD3		- 0.3		+6.5	V
LCD用電源電圧	VLCD	V1/PL4, V2/PL5, V3/PL6	VDD1=VDD2=VDD3		- 0.3		VDD	
入力電圧	VI(1)	・ポート L ・XT1, CF1, RES			- 0.3		VDD+0.3	
入出力電圧	VI0(1)	・ポート 0, 1, 3, 7, 8 ・ポート A, B, C, D ・XT2			- 0.3		VDD+0.3	
高レベル出力電流	ピーク出力電流	IOPH(1)	ポート 0, 1	・CMOS出力選択 ・適用1端子当り		- 10		mA
		IOPH(2)	ポート 3	・CMOS出力選択 ・適用1端子当り		- 20		
		IOPH(3)	ポート 71 ~ 73	適用1端子当り		- 5		
		IOPH(4)	ポート A, B, C, D	適用1端子当り		- 5		
	平均出力電流 (注 1-1)	IOMH(1)	ポート 0, 1	・CMOS出力選択 ・適用1端子当り		- 7.5		
		IOMH(2)	ポート 3	・CMOS出力選択 ・適用1端子当り		- 15		
		IOMH(3)	ポート 71 ~ 73	適用1端子当り		- 3		
		IOMH(4)	ポート A, B, C, D	適用1端子当り		- 3		
	合計出力電流	ΣIOAH(1)	ポート 0, 1, 31	適用全端子合計		- 25		
		ΣIOAH(2)	ポート 30	適用全端子合計		- 15		
		ΣIOAH(3)	ポート 0, 1, 3	適用全端子合計		- 40		
		ΣIOAH(4)	ポート 71 ~ 73	適用全端子合計		- 5		
		ΣIOAH(5)	ポート A, B	適用全端子合計		- 25		
		ΣIOAH(6)	ポート C, D	適用全端子合計		- 25		
		ΣIOAH(7)	ポート A, B, C, D	適用全端子合計		- 45		
	低レベル出力電流	ピーク出力電流	IOPL(1)	ポート 0, 1	適用1端子当り			
IOPL(2)			ポート 3	適用1端子当り			30	
IOPL(3)			・ポート 7, 8 ・XT2	適用1端子当り			10	
IOPL(4)			ポート A, B, C, D	適用1端子当り			10	
平均出力電流 (注 1-1)		IOML(1)	ポート 0, 1	適用1端子当り			15	
		IOML(2)	ポート 3	適用1端子当り			20	
		IOML(3)	・ポート 7, 8 ・XT2	適用1端子当り			7.5	
		IOML(4)	ポート A, B, C, D	適用1端子当り			7.5	
合計出力電流		ΣIOAL(1)	ポート 0, 1, 31	適用全端子合計			45	
		ΣIOAL(2)	ポート 30	適用全端子合計			45	
		ΣIOAL(3)	ポート 0, 1, 3	適用全端子合計			80	
		ΣIOAL(4)	・ポート 7, 8 ・XT2	適用全端子合計			20	
		ΣIOAL(5)	ポート A, B	適用全端子合計			45	
		ΣIOAL(6)	ポート C, D	適用全端子合計			45	
	ΣIOAL(7)	ポート A, B, C, D	適用全端子合計			80		

注 1-1 : 平均出力電流は 100ms 期間の平均値を示す。

次ページへ続く。

# LC87F76C8A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
許容消費電力	Pd max	QFP80(14×14)	Ta=-20 ~ +70				290	mW
		TQFP80J(12×12)						
動作周囲温度	Topr				-20		+85	
保存周囲温度	Tstg				-55		+125	

最大定格を超えるストレスは、デバイスにダメージを与える危険性があります。最大定格は、ストレス印加に対してのみであり、推奨動作条件を超えての機能的動作に関して意図するものではありません。推奨動作条件を超えてのストレス印加は、デバイスの信頼性に影響を与える危険性があります。

許容動作範囲/Ta= -20 ~ +85 , V<sub>SS1</sub>=V<sub>SS2</sub>=V<sub>SS3</sub>=0V

項目	記号	適用端子・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
動作電源電圧 (注2-1)	V <sub>DD</sub> (1)	V <sub>DD1</sub> =V <sub>DD2</sub> =V <sub>DD3</sub>	0.237μs t <sub>CYC</sub> 200μs		3.0		5.5	V
	V <sub>DD</sub> (2)		0.356μs t <sub>CYC</sub> 200μs		2.5		5.5	
	V <sub>DD</sub> (3)		0.712μs t <sub>CYC</sub> 200μs		2.2		5.5	
メモリ保持電源電圧	V <sub>HD</sub>	V <sub>DD1</sub>	HOLD モード時 RAM, レジスタ保持		2.0		5.5	
高レベル入力電圧	V <sub>IH</sub> (1)	・ポート0,3,8 ・ポートA,B,C,D ・ポートL	出力ディセーブル	2.2~5.5	0.3V <sub>DD</sub> +0.7		V <sub>DD</sub>	V
	V <sub>IH</sub> (2)	・ポート1 ・ポート71~73 ・ポート70の ポート入力/ 割り込み側	・出力ディセーブル ・INT1VTSL=0の時 (P71のみ)	2.2~5.5	0.3V <sub>DD</sub> +0.7		V <sub>DD</sub>	
	V <sub>IH</sub> (3)	ポート71の 割り込み側	・出力ディセーブル ・INT1VTSL=1の時	2.2~5.5	0.85V <sub>DD</sub>		V <sub>DD</sub>	
	V <sub>IH</sub> (4)	ポート87の 小信号入力側	出力ディセーブル	2.2~5.5	0.75V <sub>DD</sub>		V <sub>DD</sub>	
	V <sub>IH</sub> (5)	ポート70のウォッチ ドッグタイマ側	出力ディセーブル	2.2~5.5	0.9V <sub>DD</sub>		V <sub>DD</sub>	
	V <sub>IH</sub> (6)	XT1,XT2,CF1,RES		2.2~5.5	0.75V <sub>DD</sub>		V <sub>DD</sub>	
低レベル入力電圧	V <sub>IL</sub> (1)	・ポート0,3,8 ・ポートA,B,C,D ・ポートL	出力ディセーブル	4.0~5.5	V <sub>SS</sub>		0.15V <sub>DD</sub> +0.4	V
				2.2~4.0	V <sub>SS</sub>		0.2V <sub>DD</sub>	
	V <sub>IL</sub> (2)	・ポート1 ・ポート71~73 ・ポート70の ポート入力/ 割り込み側	・出力ディセーブル ・INT1VTSL=0の時 (P71のみ)	4.0~5.5	V <sub>SS</sub>		0.1V <sub>DD</sub> +0.4	
				2.2~4.0	V <sub>SS</sub>		0.2V <sub>DD</sub>	
	V <sub>IL</sub> (3)	ポート71の 割り込み側	・出力ディセーブル ・INT1VTSL=1の時	2.2~5.5	V <sub>SS</sub>		0.45V <sub>DD</sub>	
	V <sub>IL</sub> (4)	ポート87の 小信号入力側	出力ディセーブル	2.2~5.5	V <sub>SS</sub>		0.25V <sub>DD</sub>	
V <sub>IL</sub> (5)	ポート70のウォッチ ドッグタイマ側	出力ディセーブル	2.2~5.5	V <sub>SS</sub>		0.8V <sub>DD</sub> -1.0		
V <sub>IL</sub> (6)	XT1,XT2,CF1,RES		2.2~5.5	V <sub>SS</sub>		0.25V <sub>DD</sub>		

注2-1: フラッシュROMへのオンボード書き込みは、V<sub>DD</sub> 3.0Vとすること。

次ページへ続く。

# LC87F76C8A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
命令サイクル タイム (注 2-2)	tCYC			3.0~5.5	0.237		200	μs
				2.5~5.5	0.356		200	
				2.2~5.5	0.712		200	
外部システム クロック 周波数	FEXCF(1)	CF1	<ul style="list-style-type: none"> <li>・CF2 端子オープン</li> <li>・システムクロック 分周 1/1</li> <li>・外部システムクロック の DUTY50 ± 5%</li> <li>・CF2 端子オープン</li> <li>・システムクロック 分周 1/2</li> </ul>	3.0~5.5	0.1		12	MHz
				2.5~5.5	0.1		8	
				2.2~5.5	0.1		4	
				3.0~5.5	0.2		24.4	
				2.5~5.5	0.2		16	
				2.2~5.5	0.2		8	
発振周波数 範囲 (注 2-3)	FmCF(1)	CF1,CF2	<ul style="list-style-type: none"> <li>・12MHz セラミック発振時</li> <li>・図 1 参照</li> </ul>	3.0~5.5		12		MHz
	FmCF(2)	CF1,CF2	<ul style="list-style-type: none"> <li>・8MHz セラミック発振時</li> <li>・図 1 参照</li> </ul>	2.5~5.5		8		
	FmCF(3)	CF1,CF2	<ul style="list-style-type: none"> <li>・4MHz セラミック発振時</li> <li>・図 1 参照</li> </ul>	2.2~5.5		4		
	FmRC		内蔵 RC 発振	2.2~5.5	0.3	1.0	2.0	
	FmVMRC(1)		<ul style="list-style-type: none"> <li>・周波数可変 RC 源発振</li> <li>・VMRAJ2 ~ 0=4, VMFAJ2 ~ 0=0, VMSL4M=0 の時</li> </ul>	2.2~5.5		10		
	FmVMRC(2)		<ul style="list-style-type: none"> <li>・周波数可変 RC 源発振</li> <li>・VMRAJ2 ~ 0=4, VMFAJ2 ~ 0=0, VMSL4M=1 の時</li> </ul>	2.2~5.5		4		
	FsX'tal	XT1,XT2	<ul style="list-style-type: none"> <li>・32.768kHz 水晶発振時</li> <li>・図 2 参照</li> </ul>	2.2~5.5		32.768		
周波数可変 RC 発振使用 可能範囲	OpVMRC(1)		VMSL4M=0 の時	2.2~5.5	8	10	12	MHz
	OpVMRC(2)		VMSL4M=1 の時	2.2~5.5	3.5	4	4.5	
周波数可変 RC 発振調整幅	VmADJ(1)		VMRAJn の 1STEP (大レンジ)	2.2~5.5	8	24	64	%
	VmADJ(2)		VMFAJn の 1STEP (小レンジ)	2.2~5.5	1	4	8	

注 2-2 : tCYC と発振周波数の関係式は、1/1 分周時 : 3/FmCF、1/2 分周時 : 6/FmCF。

注 2-3 : 発振定数は表 1, 2 参照のこと。

# LC87F76C8A

電気的特性/Ta= - 20 ~ + 85 , V<sub>SS1</sub>=V<sub>SS2</sub>=V<sub>SS3</sub>=0V

項目	記号	適用端子・備考	条件	規格					
				V <sub>DD</sub> [V]	min	typ	max	unit	
高レベル 入力電流	I <sub>IH</sub> (1)	・ポート 0,1,3,7,8 ・ポート A,B,C,D ・ポート L	・出力ディセーブル ・プルアップ抵抗オフ ・V <sub>IN</sub> =V <sub>DD</sub> (出力 Tr. のオフリーク 電流を含む)	2.2 ~ 5.5				1	μA
	I <sub>IH</sub> (2)	RES	V <sub>IN</sub> =V <sub>DD</sub>	2.2 ~ 5.5				1	
	I <sub>IH</sub> (3)	XT1,XT2	・入力ポート仕様時 ・V <sub>IN</sub> =V <sub>DD</sub>	2.2 ~ 5.5				1	
	I <sub>IH</sub> (4)	CF1	V <sub>IN</sub> =V <sub>DD</sub>	2.2 ~ 5.5				15	
	I <sub>IH</sub> (5)	ポート 87 の 小信号入力側	V <sub>IN</sub> =VBIS+0.5V (VBIS はバイアス電圧)	4.5 ~ 5.5	4.2	8.5	15		
2.2 ~ 4.5				1.5	5.5	10			
低レベル 入力電流	I <sub>IL</sub> (1)	・ポート 0,1,3,7,8 ・ポート A,B,C,D ・ポート L	・出力ディセーブル ・プルアップ抵抗オフ ・V <sub>IN</sub> =V <sub>SS</sub> (出力 Tr. のオフリーク 電流を含む)	2.2 ~ 5.5	- 1				
	I <sub>IL</sub> (2)	RES	V <sub>IN</sub> =V <sub>SS</sub>	2.2 ~ 5.5	- 1				
	I <sub>IL</sub> (3)	XT1,XT2	・入力ポート仕様時 ・V <sub>IN</sub> =V <sub>SS</sub>	2.2 ~ 5.5	- 1				
	I <sub>IL</sub> (4)	CF1	V <sub>IN</sub> =V <sub>SS</sub>	2.2 ~ 5.5	- 15				
	I <sub>IL</sub> (5)	ポート 87 の 小信号入力側	V <sub>IN</sub> =VBIS-0.5V (VBIS はバイアス電圧)	4.5 ~ 5.5	- 15	- 8.5	- 4.2		
2.2 ~ 4.5				- 10	- 5.5	- 1.5			
高レベル 出力電圧	V <sub>OH</sub> (1)	CMOS 出力の ポート 0,1	I <sub>OH</sub> =-1mA	4.5 ~ 5.5	V <sub>DD</sub> -1				
	V <sub>OH</sub> (2)		I <sub>OH</sub> =-0.4mA	3.0 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (3)		I <sub>OH</sub> =-0.2mA	2.2 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (4)	CMOS 出力の ポート 30,31	I <sub>OH</sub> =-10mA	4.5 ~ 5.5	V <sub>DD</sub> -1.5				
	V <sub>OH</sub> (5)		I <sub>OH</sub> =-1.6mA	3.0 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (6)		I <sub>OH</sub> =-1mA	2.2 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (7)	ポート 71 ~ 73	I <sub>OH</sub> =-0.4mA	3.0 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (8)		I <sub>OH</sub> =-0.2mA	2.2 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (9)	ポート A,B,C,D	I <sub>OH</sub> =-1mA	4.5 ~ 5.5	V <sub>DD</sub> -1				
	V <sub>OH</sub> (10)		I <sub>OH</sub> =-0.4mA	3.0 ~ 5.5	V <sub>DD</sub> -0.4				
	V <sub>OH</sub> (11)		I <sub>OH</sub> =-0.2mA	2.2 ~ 5.5	V <sub>DD</sub> -0.4				
低レベル 出力電圧	V <sub>OL</sub> (1)	ポート 0,1	I <sub>OL</sub> =10mA	4.5 ~ 5.5			1.5		
	V <sub>OL</sub> (2)	・ポート 3(PWM4,5 機能使用時)	I <sub>OL</sub> =1.6mA	3.0 ~ 5.5			0.4		
			I <sub>OL</sub> =1mA	2.2 ~ 5.5			0.4		
	V <sub>OL</sub> (4)	ポート 3 (ポート機能使用時)	I <sub>OL</sub> =30mA	4.5 ~ 5.5			1.5		
	V <sub>OL</sub> (5)		I <sub>OL</sub> =5mA	3.0 ~ 5.5			0.4		
	V <sub>OL</sub> (6)		I <sub>OL</sub> =2.5mA	2.2 ~ 5.5			0.4		
	V <sub>OL</sub> (7)	・ポート 7,8	I <sub>OL</sub> =1.6mA	3.0 ~ 5.5			0.4		
	V <sub>OL</sub> (8)	・XT2	I <sub>OL</sub> =1mA	2.2 ~ 5.5			0.4		
	V <sub>OL</sub> (9)	ポート A,B,C,D	I <sub>OH</sub> =1.6mA	3.0 ~ 5.5			0.4		
			I <sub>OL</sub> =1mA	2.2 ~ 5.5			0.4		

次ページへ続く。

# LC87F76C8A

前ページより続く。

項目	記号	適用端子・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
LCD 出力電圧 偏差	VODLS	S0 ~ S31	<ul style="list-style-type: none"> <li>・ I<sub>O</sub>=0mA</li> <li>・ VLCD, 2/3VLCD</li> <li>1/3VLCD レベル出力</li> <li>・ 図 8 参照</li> </ul>	2.2 ~ 5.5	0		±0.2	V
	VODLC	COM0 ~ COM3	<ul style="list-style-type: none"> <li>・ I<sub>O</sub>=0mA</li> <li>・ VLCD, 2/3VLCD</li> <li>1/2VLCD, 1/3VLCD</li> <li>レベル出力</li> <li>・ 図 8 参照</li> </ul>	2.2 ~ 5.5	0		±0.2	
LCD バイアス 電圧	RLCD(1)	バイアス抵抗 1 段 当たりの抵抗値	図 8 参照	2.2 ~ 5.5		60		kΩ
	RLCD(2)	<ul style="list-style-type: none"> <li>・ バイアス抵抗 1 段</li> <li>当たりの抵抗値</li> <li>・ 分割抵抗</li> <li>1/2 モード</li> </ul>	図 8 参照	2.2 ~ 5.5		30		
プルアップ MOS Tr. 抵抗	Rpu(1)	<ul style="list-style-type: none"> <li>・ ポート 0, 1, 3, 7</li> </ul>	V <sub>OH</sub> =0.9V <sub>DD</sub>	4.5 ~ 5.5	15	35	80	
	Rpu(2)	<ul style="list-style-type: none"> <li>・ ポート A, B, C, D</li> </ul>		2.2 ~ 4.5	18	50	150	
ヒステリシス 電圧	VHYS(1)	<ul style="list-style-type: none"> <li>・ ポート 1, 7</li> <li>・ RES</li> </ul>		2.2 ~ 5.5		0.1V <sub>DD</sub>		V
	VHYS(2)	ポート 87 の 小信号入力側		2.2 ~ 5.5		0.1V <sub>DD</sub>		
端子容量	CP	全端子	<ul style="list-style-type: none"> <li>・ 被測定端子以外は</li> <li>V<sub>IN</sub>=V<sub>SS</sub></li> <li>・ f=1MHz</li> <li>・ Ta=25</li> </ul>	2.2 ~ 5.5		10		pF
入力感度	Vsen	ポート 87 の 小信号入力側		2.2 ~ 5.5	0.12V <sub>DD</sub>			V <sub>p-p</sub>



# LC87F76C8A

シリアル入出力特性/ $T_a = -20 \sim +85$ ,  $V_{SS1} = V_{SS2} = V_{SS3} = 0V$

## 1. SIO0 シリアル入出力特性 (注 4-1-1)

項目		記号	適用端子 ・備考	条件	$V_{DD}[V]$	規格				
						min	typ	max	unit	
シリアル クロック	入力 クロック	周期	tSCK(1)	SCK0(P12)	図 6 参照	2.2 ~ 5.5	2			tCYC
		低レベル パルス幅	tSCKL(1)				1			
		高レベル パルス幅	tSCKH(1)				1			
			tSCKHA(1)	・連続データ送受信モード ・図 6 参照 ・(注 4-1-2)			4			
	出力 クロック	周期	tSCK(2)	SCK0(P12)	・CMOS 出力選択時 ・図 6 参照	2.2 ~ 5.5	4/3			tSCK
		低レベル パルス幅	tSCKL(2)				1/2			
高レベル パルス幅		tSCKH(2)			1/2					
		tSCKHA(2)	・連続データ送受信モード ・CMOS 出力選択時 ・図 6 参照	tSCKH(2) +2tCYC			tSCKH(2) +(10/3) tCYC		tCYC	
シリアル 入力	データセット アップ時間	tsDI(1)	SB0(P11), SIO(P11)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.2 ~ 5.5	0.03				
	データホールド 時間	thDI(1)				0.03				
シリアル 出力	入力 クロック	出力遅延 時間	tdDO(1)	S00(P10), SB0(P11)	・連続データ送受信モード ・(注 4-1-3)	2.2 ~ 5.5			(1/3)tCYC +0.05	$\mu s$
			tdDO(2)		・同期式 8 ビットモード ・(注 4-1-3)				1tCYC +0.05	
	出力 クロック	tdDO(3)		(注 4-1-3)				(1/3)tCYC +0.05		

注 4-1-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

注 4-1-2 : 連続データ送受信モードでシリアルクロック入力を使用する場合において、連続データ送受信開始時に、シリアルクロックが「H」の状態を SIORUN をセットしてから最初のシリアルクロックの立ち下がりまでの時間を tSCKHA より長くすること。

注 4-1-3 : SIOCLK の立ち下がりに対して規定する。オープンドレイン出力時は出力変化開始までの時間として規定する。図 6 参照。

# LC87F76C8A

## 2. SI01 シリアル入出力特性 (注 4-2-1)

項目		記号	適用端子 ・備考	条件	V <sub>DD</sub> [V]	規格				
						min	typ	max	unit	
シリアルクロック	入力クロック	周期	tSCK(3)	SCK1(P15)	図 6 参照	2.2~5.5	2			tCYC
		低レベルパルス幅	tSCKL(3)				1			
		高レベルパルス幅	tSCKH(3)				1			
	出力クロック	周期	tSCK(4)	SCK1(P15)	・CMOS 出力選択時 ・図 6 参照	2.2~5.5	2			tSCK
		低レベルパルス幅	tSCKL(4)				1/2			
		高レベルパルス幅	tSCKH(4)				1/2			
シリアル入力	データセットアップ時間	tsDI(2)	SB1(P14), S11(P14)	・SIOCLK の立ち上がり に対して規定する ・図 6 参照	2.2~5.5	0.03			μs	
	データホールド時間	thDI(2)				0.03				
シリアル出力	出力遅延時間	tdDO(4)	S01(P13), SB1(P14)	・SIOCLK の立ち下がり に対して規定する ・オープンドレイン出力時 は出力変化開始までの 時間として規定する ・図 6 参照	2.2~5.5			(1/3)tCYC +0.05	μs	

注 4-2-1 : 本規格値は理論値である。使用の状態に合わせて必ずマージンを確保すること。

# LC87F76C8A

パルス入力条件/ $T_a = -20 \sim +85$ ,  $V_{SS1}=V_{SS2}=V_{SS3}=0V$

項目	記号	適用端子・備考	条件	規格				
				$V_{DD}[V]$	min	typ	max	unit
高・低レベル パルス幅	tPIH(1) tPIL(1)	INT0(P70), INT1(P71), INT2(P72)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	1			tCYC
	tPIH(2) tPIL(2)	ノイズ除去フィルタ の時定数が1/1の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	2			
	tPIH(3) tPIL(3)	ノイズ除去フィルタ の時定数が1/32の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	64			
	tPIH(4) tPIL(4)	ノイズ除去フィルタ の時定数が1/128の 場合のINT3(P73)	・割り込み要因フラグを セットできる。 ・タイマ0へのイベント 入力ができる。	2.2~5.5	256			
	tPIH(5) tPIL(5)	MICIN(P87)	小信号検出カウンタを カウントできる。	2.2~5.5	1			
	tPIH(6) tPIL(6)	RMIN(P73)	赤外線リモコン受信回路で 信号として認識される。	2.2~5.5	3			RMCK (注5-1)
	tPIL(7)	RES	リセットできる。	2.2~5.5	2000			$\mu s$

注5-1：赤外線リモコン受信回路の基準クロック(1tCYC~128tCYC/サブクロックの源発振周波数)の周期をさす。

# LC87F76C8A

AD変換特性/V<sub>SS1</sub>=V<sub>SS2</sub>=0V

< 12ビットAD変換モード/Ta= - 30 ~ + 70 >

項目	記号	適用端子・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
分解能	N	AN0(P80)		3.0~5.5		12		bit
絶対精度	ET	~ AN7(P87),	(注 6-1)	3.0~5.5			± 16	LSB
変換時間	tCAD	AN8(P70), AN9(P71), AN10(XT1), AN11(XT2)	変換時間算出方法参照 (注 6-2)	4.0~5.5	32		100	μs
				3.0~5.5	40		100	
アナログ入力 電圧範囲	VAIN				V <sub>SS</sub>		V <sub>DD</sub>	V
アナログポート 入力電流	I <sub>AINH</sub>		VAIN=V <sub>DD</sub>				1	μA
	I <sub>AINL</sub>		VAIN=V <sub>SS</sub>	5	-1			

< 8ビットAD変換モード/Ta= - 30 ~ + 70 >

項目	記号	適用端子 ・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
分解能	N	AN0(P80) ~		3.0~5.5		8		bit
絶対精度	ET	AN7(P87),	(注 6-1)	3.0~5.5			1.5	LSB
変換時間	tCAD	AN8(P70), AN9(P71), AN10(XT1) AN11(XT2)	変換時間算出方法参照 (注 6-2)	4.0~5.5	20		90	μs
				3.0~5.5	40		90	
アナログ入力 電圧範囲	VAIN			3.0~5.5	V <sub>SS</sub>		V <sub>DD</sub>	V
アナログポート 入力電流	I <sub>AINH</sub>		VAIN=V <sub>DD</sub>	3.0~5.5			1	μA
	I <sub>AINL</sub>		VAIN=V <sub>SS</sub>	3.0~5.5	-1			

< 変換時間算出方法 >

12ビットAD変換モード：tCAD(変換時間) = ((52/(分周比)) + 2) × (1/3) × tCYC

8ビットAD変換モード：tCAD(変換時間) = ((32/(分周比)) + 2) × (1/3) × tCYC

<推奨動作条件>

外部発振 FmCF[MHz]	電源電圧範囲 V <sub>DD</sub> [V]	システム分周 (SYSDIV)	サイクルタイム tCYC[ns]	AD分周比 (ADDIV)	変換時間(tCAD)[μs]	
					12ビットAD	8ビットAD
12	4.0~5.5	1/1	250	1/8	34.8	21.5
	3.0~5.5	1/1	250	1/16	69.5	42.8

注 6-1：絶対精度は量子化誤差(±1/2LSB)を除く。また、絶対精度はAD変換時、アナログ入力チャンネルに隣接する端子の入出力変化がない状態。

注 6-2：変換時間は変換をスタートさせる命令が出てからアナログ入力値に対する完全なデジタル変換値がレジスタに設定されるまでの時間をさす。

変換時間は下記のとおり、2倍となる。

- ・システムリセット後、12ビットAD変換モードで最初のAD変換を行った時。
- ・AD変換モードを8ビット変換モードから12ビット変換モードに切替え、最初のAD変換を行った時。

# LC87F76C8A

消費電流特性/Ta= - 20 ~ + 85 , VSS1=VSS2=VSS3=0V

項目	記号	適用端子 ・備考	条件	規格				
				VDD[V]	min	typ	max	unit
通常動作時 消費電流 (注 7-1)	IDDOP(1)	VDD1 =VDD2 =VDD3	・FmCF=12MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 12MHz 側	4.5~5.5		8.2	18.0	mA
	IDDOP(2)		・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/1 分周時	3.0~3.6		4.8	10.6	
	IDDOP(3)		・FmCF=8MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		6.4	13.9	
	IDDOP(4)		・システムクロックは 8MHz 側 ・内蔵 RC 発振は停止	3.0~3.6		3.8	8.8	
	IDDOP(5)		・周波数可変 RC 発振は停止 ・1/1 分周時	2.5~3.0		3.0	6.7	
	IDDOP(6)		・FmCF=4MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		3.9	8.5	
	IDDOP(7)		・システムクロックは 4MHz 側 ・内蔵 RC 発振は停止	3.0~3.6		2.5	5.2	
	IDDOP(8)		・周波数可変 RC 発振は停止 ・1/2 分周時	2.2~3.0		2.1	4.3	
	IDDOP(9)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		0.7	1.6	
	IDDOP(10)		・システムクロックは内蔵 RC 発振 ・周波数可変 RC 発振は停止	3.0~3.6		0.4	0.9	
	IDDOP(11)		・1/2 分周時	2.2~3.0		0.3	0.7	
	IDDOP(12)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		7.6	16.7	
	IDDOP(13)		・内蔵 RC 発振は停止 ・システムクロックは周波数可変 RC 発振で 10MHz 設定	3.0~3.6		4.3	9.5	
	IDDOP(14)		・1/1 分周時					
	IDDOP(15)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		4.1	8.9	
	IDDOP(16)		・内蔵 RC 発振は停止 ・システムクロックは周波数可変 RC 発振で 4MHz 設定	3.0~3.6		2.3	5.0	
	IDDOP(17)		・1/1 分周時	2.2~3.0		2.0	4.1	
	IDDOP(18)		・FmCF=0Hz(発振停止) ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		41.8	171.4	μA
	IDDOP(19)		・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止 ・周波数可変 RC 発振は停止 ・1/2 分周時	3.0~3.6		17.7	84.3	
				2.2~3.0		13	67.2	

注 7-1 : 消費電流は出力 Tr. および内蔵プルアップ抵抗に流れる電流を含まない。

次ページへ続く。

# LC87F76C8A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格					
				V <sub>DD</sub> [V]	min	typ	max	unit	
HALT モード 消費電流 (注 7-1)	IDDHALT(1)	V <sub>DD1</sub> =V <sub>DD2</sub> =V <sub>DD3</sub>	HALT モード ・FmCF=12MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 12MHz 側	4.5~5.5		3.7	8.2	mA	
	IDDHALT(2)			3.0~3.6		1.9	4.3		
	IDDHALT(3)		HALT モード ・FmCF=8MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 8MHz 側 ・内蔵 RC 発振は停止	4.5~5.5		6.4	13.9		
	IDDHALT(4)			3.0~3.6		3.8	8.8		
	IDDHALT(5)			2.5~3.0		3.0	6.7		
	IDDHALT(6)		HALT モード ・FmCF=4MHz セラミック発振時 ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 4MHz 側 ・内蔵 RC 発振は停止	4.5~5.5		3.9	8.5		
	IDDHALT(7)			3.0~3.6		2.5	5.2		
	IDDHALT(8)			2.2~3.0		2.1	4.3		
	IDDHALT(9)		HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは内蔵 RC 発振 ・周波数可変 RC 発振は停止	4.5~5.5		0.4	0.9		
	IDDHALT(10)			3.0~3.6		0.18	0.4		
	IDDHALT(11)			2.2~3.0		0.13	0.3		
	IDDHALT(12)		HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止	4.5~5.5		3.4	7.3		
	IDDHALT(13)			3.0~3.6		1.7	3.7		
	IDDHALT(14)			4.5~5.5		1.7	3.9		
	IDDHALT(15)		HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・内蔵 RC 発振は停止 ・システムクロックは周波数可変 RC 発振で 4MHz 設定	3.0~3.6		0.8	1.8		
	IDDHALT(16)			2.2~3.0		0.6	1.4		
	IDDHALT(17)			4.5~5.5		25.7	141.9		
	IDDHALT(18)		HALT モード ・FmCF=0Hz (発振停止) ・FmX'tal=32.768kHz 水晶発振時 ・システムクロックは 32.768kHz 側 ・内蔵 RC 発振は停止	3.0~3.6		8.3	66.6		μA
	IDDHALT(19)			2.2~3.0		5.2	52.3		

注 7-1: 消費電流は出力 Tr. および内蔵プルアップ抵抗に流れる電流を含まない。 次ページへ続く。

# LC87F76C8A

前ページより続く。

項目	記号	適用端子 ・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
HOLD モード 消費電流	IDDHOLD(1)	V <sub>DD1</sub>	HOLD モード ・CF1=V <sub>DD</sub> またはオープン (外部クロック時)	4.5~5.5		0.14	28.0	μA
	IDDHOLD(2)			3.0~3.6		0.03	19.0	
	IDDHOLD(3)			2.2~3.0		0.03	16	
時計 HOLD モード 消費電流	IDDHOLD(4)		時計 HOLD モード ・CF1=V <sub>DD</sub> またはオープン (外部クロック時) ・FmX'tal=32.768kHz 水晶発振時	4.5~5.5		21.9	80	
	IDDHOLD(5)			3.0~3.6		6.3	37	
	IDDHOLD(6)			2.2~3.0		3.6	30	

F-ROM 書き込み特性/T<sub>a</sub>= +10 ~ +55 , V<sub>SS1</sub>=V<sub>SS2</sub>=V<sub>SS3</sub>=0V

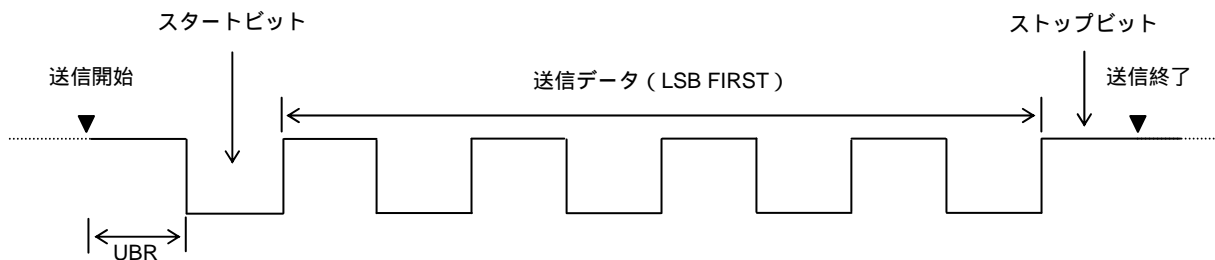
項目	記号	適用端子 ・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
オンボード 書き込み電流	IDDFW(1)	V <sub>DD1</sub>	・128 バイト書き込み ・消去電流も含む	3.0~5.5				mA
書き込み時間	tFW(1)		・128 バイト書き込み ・消去動作も含む ・128 バイトのデータをそろえる 時間は除く	3.0~5.5				ms

UART(全二重)動作条件/T<sub>a</sub>= -20 ~ +85 , V<sub>SS1</sub>=V<sub>SS2</sub>=V<sub>SS3</sub>=0V

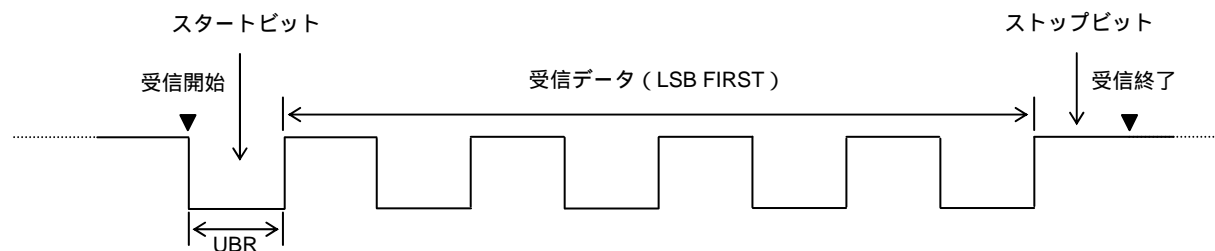
項目	記号	適用端子 ・備考	条件	規格				
				V <sub>DD</sub> [V]	min	typ	max	unit
転送レート	UBR	UTX(P00), URX(P01)		2.2~5.5	16/3		8192/3	tCYC

- ・データ長 : 7/8/9 ビット (LSB FIRST)
- ・ストップビット長 : 1 ビット (連続送信時は 2 ビット)
- ・パリティビット : なし

8 ビットデータ送信モードの例 (送信データ=55H)



8 ビットデータ受信モードの例 (受信データ=55H)



\* UART 使用時は POLDDR (PODDR:BIT0)=0 に設定。

# LC87F76C8A

## メイン・システム・クロック発振回路特性例

メイン・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表1 セラミック発振子を使用したメイン・システム・クロック発振回路特性例  $T_a = -20 \sim 85$

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲 [V]	発振安定時間		備考
			C1 [pF]	C2 [pF]	Rf1 [ $\Omega$ ]	Rd1 [ $\Omega$ ]		typ [ms]	max [ms]	
12MHz	村田製作所	CSTCE12M0G52-R0	(10)	(10)	Open	2.2k	2.8 ~ 5.5			( )内は発振子に内蔵されている容量
8MHz	村田製作所	CSTCE8M00G52-R0	(10)	(10)	Open	1.0k	2.5 ~ 5.5			( )内は発振子に内蔵されている容量
		CSTLS8M00G52-B0	(15)	(15)	Open	1.0k				
4MHz	村田製作所	CSTCR4M00F53-R0	(15)	(15)	Open	2.2k	2.1 ~ 5.5			( )内は発振子に内蔵されている容量
		CSTLS4M0053-B0	(15)	(15)	Open	2.2k				

発振安定時間は、 $V_{DD}$ が動作電圧下限を上回ってから、発振が安定するまでに必要な時間である。(図4参照)

## サブ・システム・クロック発振回路特性例

サブ・システム・クロック発振回路特性例は、当社指定の発振特性評価用基板を用いて、発振子メーカーによって安定に発振することを確認した回路定数と、この回路定数を外付けしたときの特性例である。

表2 水晶発振子を使用したサブ・システム・クロック発振回路特性例

公称周波数	メーカー名	発振子名	回路定数				動作電圧範囲 [V]	発振安定時間		備考
			C3 [pF]	C4 [pF]	Rf2 [ $\Omega$ ]	Rd2 [ $\Omega$ ]		typ [s]	max [s]	
32.768kHz										

発振安定時間は、サブクロック発振回路を開始させる命令を実行後、発振が安定するまでに必要な時間と、HOLDモードを解除後、発振が安定するまでに必要な時間である。(図4参照)

(注意) ・回路パターンの影響を受けるので、発振に関わる部品はできるだけパターン長を伸ばさないように近くに配置すること。

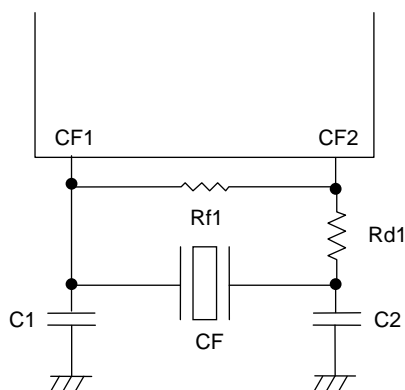


図1 CF発振回路

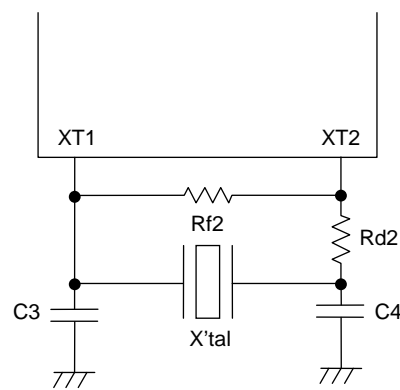


図2 XT発振回路

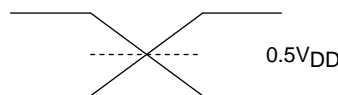
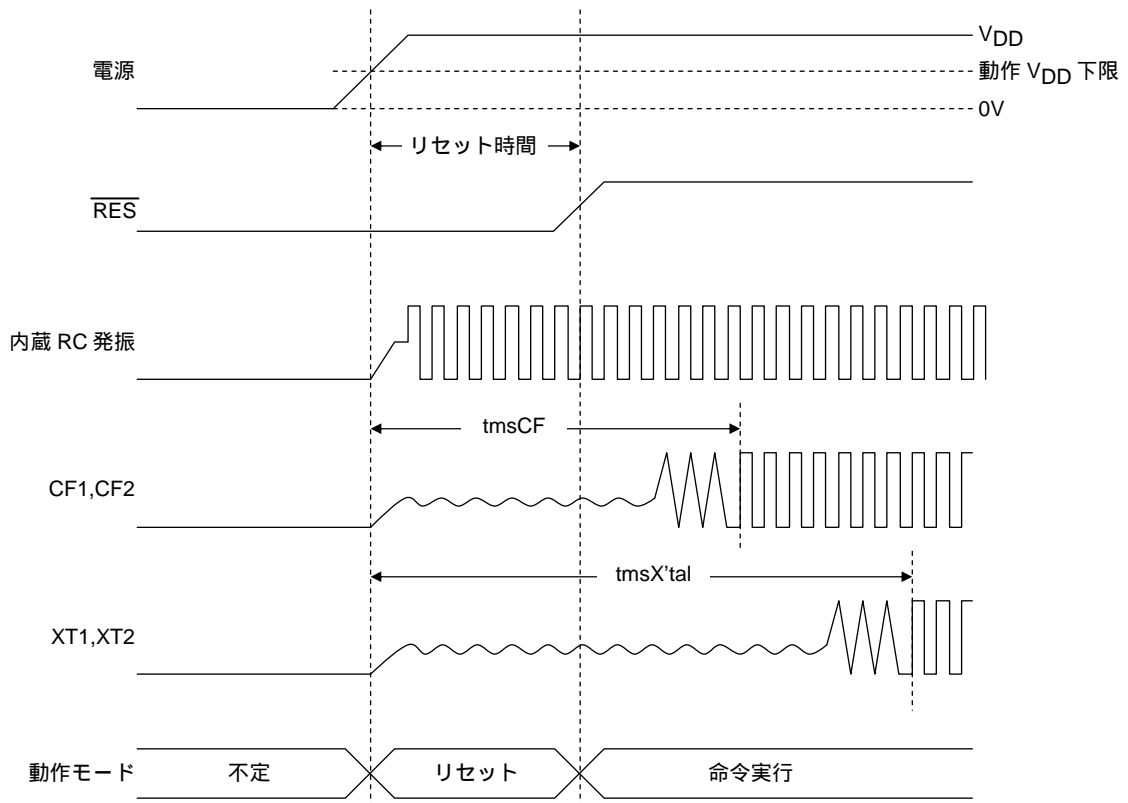


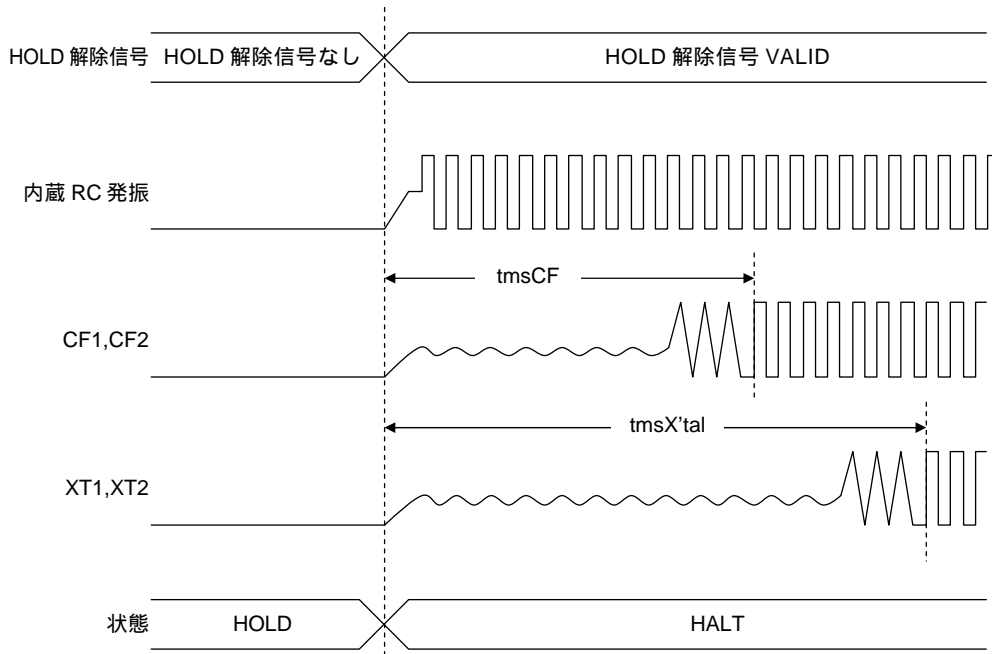
図3 ACタイミング測定点



# LC87F76C8A



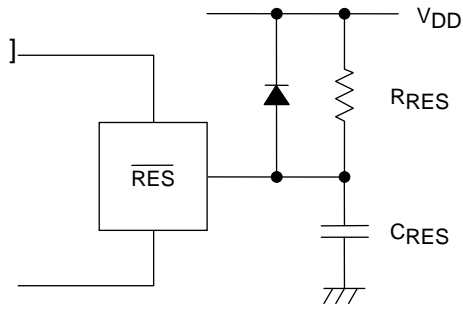
リセット時間と発振安定時間



HOLD 解除信号と発振安定時間

図4 発振安定時間

# LC87F76C8A



(注意)電源が動作電源電圧の下限を上回ってから  
200 $\mu$ s の期間リセットがかかるように  
CRES , RRES の値を決めること。

図5 リセット回路

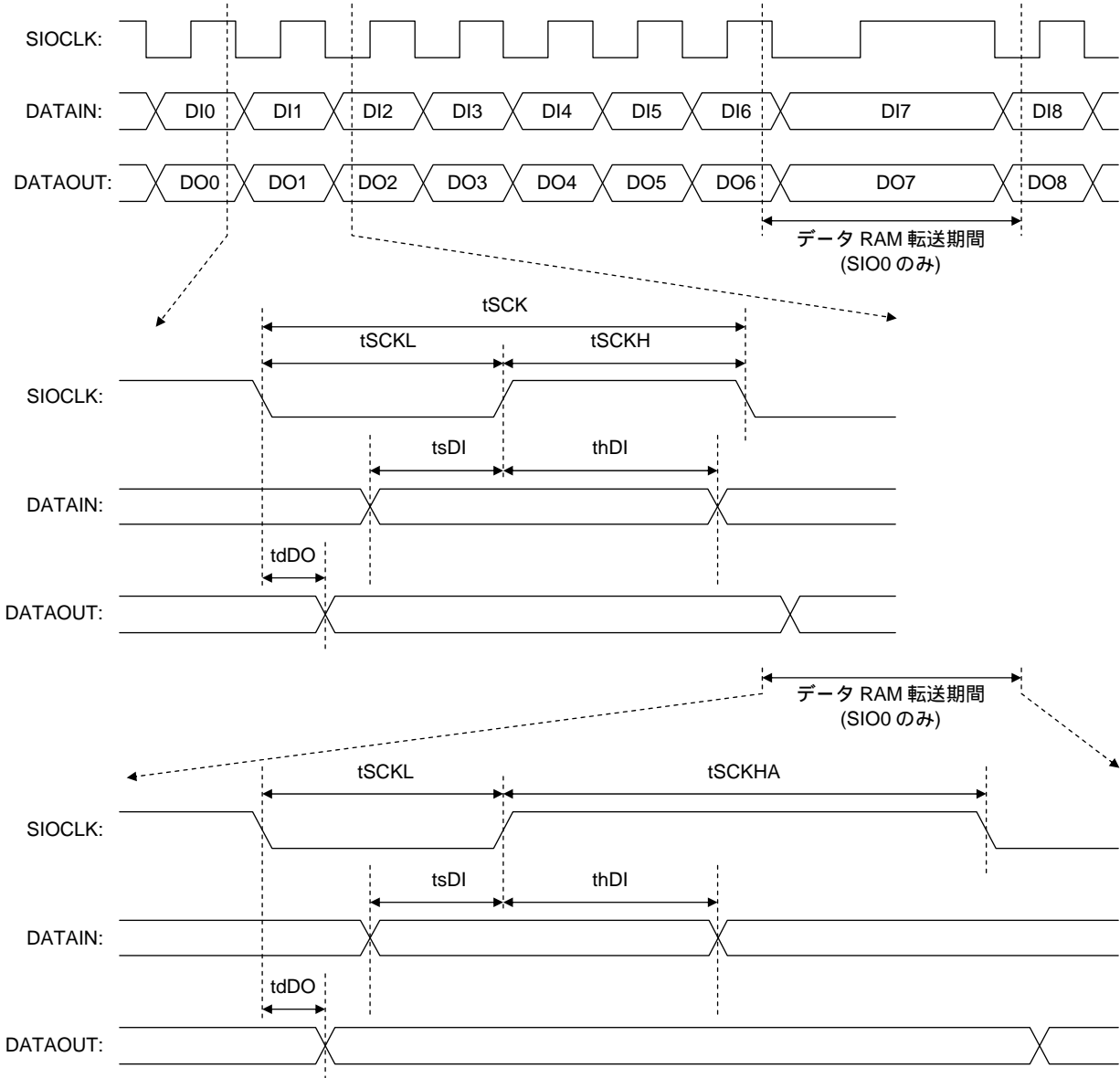


図6 シリアル入出力波形

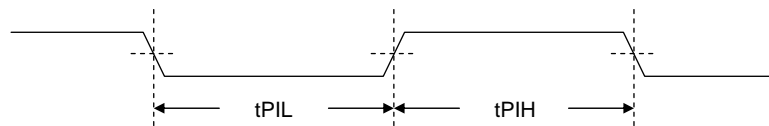


図7 パルス入力タイミング波形

# LC87F76C8A

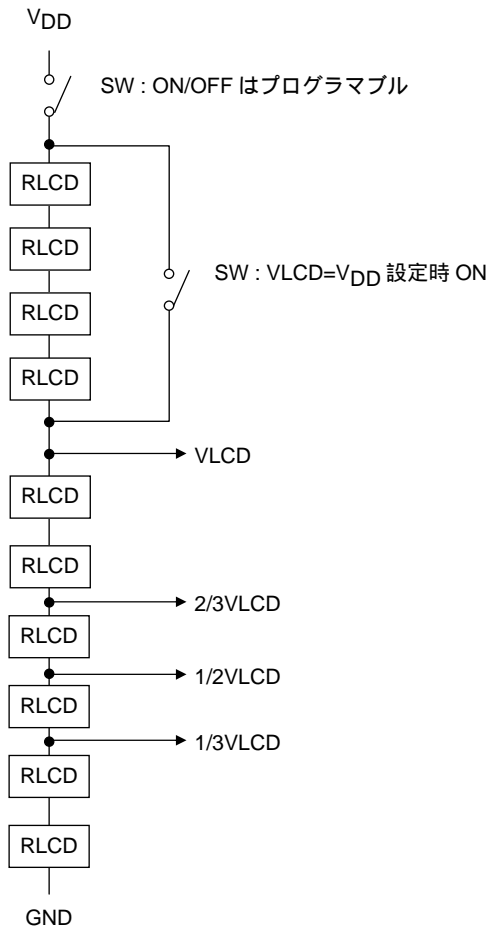


図8 LCDバイアス抵抗

ON Semiconductor and the ON logo are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of SCILLC's product/patent coverage may be accessed at [www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

(参考訳)

ON Semiconductor及びONのロゴはSemiconductor Components Industries, LLC (SCILLC)の登録商標です。SCILLCは特許、商標、著作権、トレードシークレット(営業秘密)と他の知的所有権に対する権利を保有します。SCILLCの製品/特許の適用対象リストについては、以下のリンクからご覧いただけます。[www.onsemi.com/site/pdf/Patent-Marking.pdf](http://www.onsemi.com/site/pdf/Patent-Marking.pdf)。SCILLCは通告なしで、本書記載の製品の変更を行うことがあります。SCILLCは、いかなる特定の目的での製品の適合性について保証しておらず、また、お客様の製品において回路の応用や使用から生じた責任、特に、直接的、間接的、偶発的な損害に対して、いかなる責任も負うことはできません。SCILLCデータシートや仕様書に示される可能性のある「標準的」パラメータは、アプリケーションによっては異なることもあり、実際の性能も時間の経過により変化する可能性があります。「標準的」パラメータを含むすべての動作パラメータは、ご使用になるアプリケーションに応じて、お客様の専門技術者において十分検証されるようお願い致します。SCILLCは、その特許権やその他の権利の下、いかなるライセンスも許しません。SCILLC製品は、人体への外科的移植を目的とするシステムへの使用、生命維持を目的としたアプリケーション、また、SCILLC製品の不具合による死傷等の事故が起こり得るようなアプリケーションなどへの使用を意図した設計はされておらず、また、これらを使用対象としておりません。お客様が、このような意図されたものではない、許可されていないアプリケーション用にSCILLC製品を購入または使用した場合、たとえ、SCILLCがその部品の設計または製造に関して過失があったと主張されたとしても、そのような意図せぬ使用、また未許可の使用に関連した死傷等から、直接、又は間接的に生じるすべてのクレーム、費用、損害、経費、および弁護士料などを、お客様の責任において補償をお願いいたします。また、SCILLCとその役員、従業員、子会社、関連会社、代理店に対して、いかなる損害も与えないものとします。

SCILLCは雇用機会均等/差別撤廃雇用主です。この資料は適用されるあらゆる著作権法の対象となっており、いかなる方法によっても再販することはできません。